

ビジュアルメモリ ハードウェアマニュアル

Visual Memory Hardware Manual Revision 1.00



Dreamcast™

はじめに

弊社のハードウェア用アプリケーション開発にご協力いただき誠にありがとうございます。
本書は、Dreamcast (以下、Katana と記します) 用のメモリカード「ビジュアルメモリ」
のハードウェア仕様をまとめた技術資料です。

本書の内容

概要編

ビジュアルメモリの概要についてまとめたものです。企画・ゲームデザインおよびグラフィック担当の方は、ここをご覧ください。ビジュアルメモリの概要がお分りいただけます。

ハードウェア詳細仕様編

プログラム担当の方は、ここをご覧ください。ビジュアルメモリの各種デバイス、インターフェイスなどの詳細仕様を掲載しました。

BIOS 編

ビジュアルメモリには、ゲームデータを保存するフラッシュメモリ領域を読み書きしたり、内蔵時計から年月日および時刻を取得するための OS プログラム (BIOS) が用意されています。これらの OS プログラムの使い方とリファレンスを掲載しました。

ご注意

本書は『ビジュアルメモリ Specifications Revision 0.90』『ビジュアルメモリ ハードウェアマニュアル Version 1.00』『ビジュアルメモリ Sound Development Specifications Revision 0.60』(株式会社セガ・エンタープライゼス著) を元に作成しました。

ビジュアルメモリの仕様、および本書に記載されている事項は、将来予告なしに変更することがあります。

ビジュアルメモリおよびマニュアルを運用した結果の影響については、いっさい責任を負いかねますのでご了承ください。

商標

ドリームキャスト、ビジュアルメモリは、株式会社セガ・エンタープライゼスの登録商標です。

その他、本文中に記載する製品名は、一般に開発メーカーの商標または登録商標です。なお、本文中では TM よび (R) マークは明記しておりません。

改版履歴

1998 年 8 月 31 日 初版発行

Copyright (C) 1998 株式会社セガ・エンタープライゼス

編集・製作 株式会社アスキー AAP 書籍編集部

他のマニュアルとの関係

ビジュアルメモリ関連のマニュアル

『ビジュアルメモリ ハードウェアマニュアル』

本書です。ビジュアルメモリのハードウェア詳細仕様とシステム BIOS の仕様をまとめた技術資料です。巻頭の概要編には、ビジュアルメモリのスペックを簡単にまとめたものを掲載しています。

ゲームデザイン担当の方は概要編を、プログラム担当の方は全般をご覧ください。

『ビジュアルメモリ プログラマーズガイド』

ビジュアルメモリに搭載されている三洋電機社製 LC86700 用のアセンブラ、リンカ、ライブラリマネージャ、ビジュアルメモリ用の実行ファイルを作成する E2H86K.EXE のインストールから使い方までをまとめたマニュアルです。また、LC86700 の命令セットも解説しています。

『ビジュアルメモリ用アプリケーション開発マニュアル』

ビジュアルメモリ用アプリケーションを開発するための手順、Katana またはコンピュータからビジュアルメモリにアプリケーションを転送する方法などを解説しています。また、詳細なコメント付きサンプルプログラムを掲載しています。

『ビジュアルメモリ チュートリアル』

ビジュアルメモリ用アプリケーションを開発するための手順、Katana またはコンピュータからビジュアルメモリにアプリケーションを転送する方法などを解説しています。また、詳細なコメント付きサンプルプログラムを掲載しています。

『ビジュアルメモリシミュレータガイド』

LC86700 用の実行ファイルをフェッチし、ビジュアルメモリの動作をソフトウェアにてエミュレーションする「ビジュアルメモリシミュレータ」を解説しています。

インストール方法から、使い方までをまとめたマニュアルです。

制限事項

PC とビジュアルメモリを接続する装置は、まだリリースされていません。

一般のコンピュータからビジュアルメモリへプログラムを転送するための装置は、現在リリースされていません。Katana を経由してプログラムを転送してください。

テクニカルサポートご案内

開発にあたって技術的なご質問や装置の不具合、またマニュアルの不備や装置の故障などがございましたら、下記連絡先までご一報ください。

株式会社セガ・エンタープライゼス
テクニカルサポートセンター
〒144-8531 東京都大田区羽田 1-2-12
電 話：03-5736-7355
F A X：03-5736-5357
E-mail：katana@sft.sega.co.jp

contents

目次

はじめに	2
他のマニュアルとの関係	3
制限事項	4
テクニカルサポートご案内	5

第 1 部

ビジュアルメモリ概要編

15

第1章

ビジュアルメモリの概要

17

1.1	ビジュアルメモリのスペック	18
1.2	ビジュアルメモリの機能	20
1.3	モード設定	23
1.4	ファイル管理	24
1.5	LCD 表示	26
1.6	実行ファイルの起動	28
1.7	通信機能	31
1.8	時計機能	31

1.9	アラーム機能	31
1.10	スリープ機能	32
1.11	ボタン	32
1.12	電池	32

第2部

ハードウェア編

35

第2章

CPU の特長

37

2.1	一般的なCPUとの違い	37
2.2	スペック一覧	38
2.3	システムブロック図	42

第3章

内部システム構成

43

3.1	メモリ空間	43
3.2	プログラムカウンタ(PC)	44
3.3	ROM 空間	45
3.4	RAM 空間	45
3.4.1	間接アドレスレジスタ	46
3.4.2	特殊機能レジスタ(SFR)	48

3.5	フラッシュメモリ	49
3.6	アキュムレータ	49
3.7	Bレジスタ Cレジスタ	50
3.8	プログラムステータスワード(PSW).....	51
3.9	スタックポインタ	52
3.10	テーブル参照レジスタ(TRR).....	53
3.11	CHANGE 命令	53

第4章

周辺システム構成

55

4.1	入出力ポート	55
4.1.1	ポート1	56
4.1.2	ポート3	60
4.1.3	ポート7	62
4.2	タイマー / カウンタ α (T0).....	63
4.2.1	機能	63
4.2.2	回路構成	64
4.2.3	関連レジスタ	66
4.2.4	回路構成と動作説明	74
4.3	タイマー 1(T1).....	80
4.3.1	機能	80
4.3.2	回路構成	81
4.3.3	関連レジスタ	82
4.3.4	回路構成と動作説明	86
4.4	ベースタイマー	98
4.4.1	機能	98
4.4.2	回路構成	99
4.4.3	関連レジスタ	100
4.4.4	ベースタイマーの使い方	103

4.5	シリアルインターフェイス	104
4.5.1	機能	104
4.5.2	回路構成	106
4.5.3	関連レジスタ	107
4.5.4	シリアルインターフェイスの動作	113
4.5.5	動作モードの設定	114
4.5.6	シリアル転送クロック	115
4.5.7	シリアル転送のタイミング	118
4.5.8	LSB/MSB 先頭切り換え機能	118
4.5.9	オーバーラン検出機能	120
4.5.10	転送ビット長制御機能	121
4.5.11	プログラム例	121
4.6	ドットマトリクスLCDコントローラ	125
4.6.1	機能	125
4.6.2	表示用 RAM(XRAM)	125
4.6.3	表示コントロール制御レジスタ	126
4.7	外部割り込み機能	132
4.7.1	回路構成	133
4.7.2	関連レジスタ	134
4.8	ポート割り込み機能	138
4.8.1	機能	138
4.8.2	回路構成	139
4.8.3	動作説明	140
4.8.4	状態遷移	141
4.8.5	プログラム例	143
4.9	ビジュアルメモリ用作業 RAM	144
4.9.1	作業用 RAM 制御レジスタ	144
4.9.2	作業用 RAM へのアクセス	146
4.9.3	作業用 RAM 用アドレスレジスタ使用時の注意事項	146
4.10	フラッシュEEPROM	148
4.10.1	機能	148
4.10.2	プログラム / データ領域のEEPROMのアクセス	148

5.1	割り込み機能	149
5.1.1	割り込みの種類	150
5.1.2	割り込み機能の動作	151
5.1.3	回路構成	152
5.1.4	関連レジスタ	152
5.1.5	割り込み優先順位	154
5.2	システムクロック発生機能	156
5.2.1	機能	156
5.2.2	回路構成	157
5.2.3	関連レジスタ	159
5.2.4	システムクロックの動作モード	162
5.3	スリープ機能	163
5.3.1	関連レジスタ	164
5.3.2	スタンバイ時の動作状況	164
5.3.3	HALTモード	165
5.3.4	HOLDモード	166
5.4	ハードウェアリセット機能	167
5.4.1	端子による外部リセット機能	168
5.4.2	リセット時のハードウェア状態	168

第3部

システム BIOS 編

171

第6章

ROM 内のプログラム

173

- 6.1 システムプログラム 173
- 6.2 OSプログラム 174
- 6.3 ヘッダ 174

第7章

メモリ空間

175

第8章

システム BIOS の機能

177

第9章

サブルーチン呼び出し手順

179

- 9.1 各ラベルの処理内容 180
- 9.2 システム BIOSとアプリケーションの連携 181

第10章	MODE ボタンによるアプリケーションの終了手順	183
------	--------------------------	-----

10.1	各ラベルの処理内容	184
------	-----------	-----

10.2	システムアプリケーションとの連携	185
------	------------------	-----

第11章	ビジュアルメモリの初期化	187
------	--------------	-----

第12章	サブルーチンリファレンス	189
------	--------------	-----

12.1	フラッシュメモリへのアクセス機能	189
------	------------------	-----

12.2	サブルーチン使用時の注意	189
------	--------------	-----

フラッシュメモリ関連		191
------------	--	-----

fm_prd_ex	ORG 0120H	フラッシュメモリのページデータ読み出し	191
-----------	-----------	---------------------	-----

fm_wrt_ex	ORG 0100H	フラッシュメモリへの書き込み	193
-----------	-----------	----------------	-----

fm_vrf_ex	ORG 0110H	フラッシュメモリとのベリファイ	195
-----------	-----------	-----------------	-----

時計機能		197
------	--	-----

timer_ex	クロック用カウントアップタイマー		197
----------	------------------	--	-----

第13章	ローバッテリー自動検出機能について	199
------	-------------------	-----

第14章	定義変数一覧	201
------	--------	-----

第 4 部

PWM 音源編

203

第 15 章

音声出力の方法

205

15.1	タイマー 1 概要	205
15.1.1	タイマー1ブロック構成	205
15.1.2	関連レジスタ	206
15.1.3	モード設定	207
15.2	8ビットカウンタモード	208
15.2.1	出力波形とパラメータの設定	208
15.2.2	8ビットカウンタモード設定	208
15.2.3	周波数特性	210
15.2.4	出力可能周波数表	210

第 16 章

サンプルプログラム

213

第 5 部

付録編

215

第 17 章

ビット長可変パルスジェネレータ

217

第 18 章

シンボル一覧表

221

第 19 章

ビジュアルメモリのモード選択

223



第 1 部

ビジュアル メモリ 概要編

ここでは、ビジュアルメモリの仕様を簡単にまとめています。

プログラム担当の方はもちろん、企画・ゲームデザイン・グラフィック担当は、ご一読ください。

第 1 章

ビジュアルメモリの概要

「ビジュアルメモリ」は、データを保存するための装置でありながら、そのデータを視覚的に表現するために液晶ディスプレイ（LCD）を搭載したメモリカートリッジです。

ドリームキャストコントローラ（以下、コントローラと記します）に接続し、ゲーム中のサブ画面表示や、ゲームデータを保存するためのメモリカードとして使用できます。また、Katana の電源が ON の状態でもビジュアルメモリの脱着が可能です。

コントローラに接続しない状態では、ビジュアルメモリのデータファイル表示や消去ができます。また、ビジュアルメモリ同士を接続して、ファイルコピーなどが行なえます。

また、Katana や一般のコンピュータに接続し、ビジュアルメモリ用のアプリケーションを転送することで、持ち運び可能な小型携帯ゲーム機として利用できます。さらにビジュアルメモリ同士を接続することで、対戦ゲームが実現できます。



図 1-1 対戦ゲームも可能なビジュアルメモリ

1.1 ビジュアルメモリのスペック

ビジュアルメモリは、次のようなハードウェアで構成されています。

表 1-1 ビジュアルメモリのスペック一覧

ビジュアルメモリ用 カスタムチップ 三洋製：LC86700	CPU	8ビット	命令サイクルタイムKatana接続時：6MHz（1μs） 単体動作時：32KHz（183μs） 注意：単体動作時は、電池の消費を抑えるため動作が極端に遅くなります。
	メモリ	ROM	16Kバイト システムBIOS、システムプログラム
		フラッシュメモリ	64Kバイト プログラム / データ領域
		EEPROM	64Kバイト データ領域（28Kバイトはシステム予約）
		RAM	256バイト アプリケーション用 256バイト システム予約
		作業用RAM	作業用RAM 512バイト。Katana接続時は、通信バッファとしてシステム予約。 単体動作時は、1バイトごとに読み書き可能。
		XRAM（LCD用）	96バイト LCD上半分 96バイト LCD下半分 6バイト アイコン用（システム予約）
	シリアルインターフェイス	下記で排他使用。 (1)Katana専用通信機能 (2)同期シリアル通信 8ビットシリアル転送2系統	
	タイマー	16ビット 時計用タイマー 16ビット（または8ビット×2）PWM音源としても利用	
LCD	I/Oポート	入出力16本（ボタン、シリアルインターフェイス） 入力4本（コントロール端子）	
	LCDコントローラ	コモン33本、セグメント48本	
電源	反射型液晶	横48ドット×縦32ドット 白黒2値 モード表示用アイコン4種類（ファイル、ゲーム、時計、警告）システム予約	
	圧電ブザー	アラーム用（PWM音源出力用）	
ボタン	ボタン電池	CR2032×2	
	外部入力 外部出力	+5V、3.3Vを入力 3.3Vを出力	
接続コネクタ	6ボタン	方向ボタン、Aボタン、Bボタン、モードボタン、スリープボタン、リセットボタン	
	14ピン	シリアルインターフェイス、電源	



図 1-2 外観図

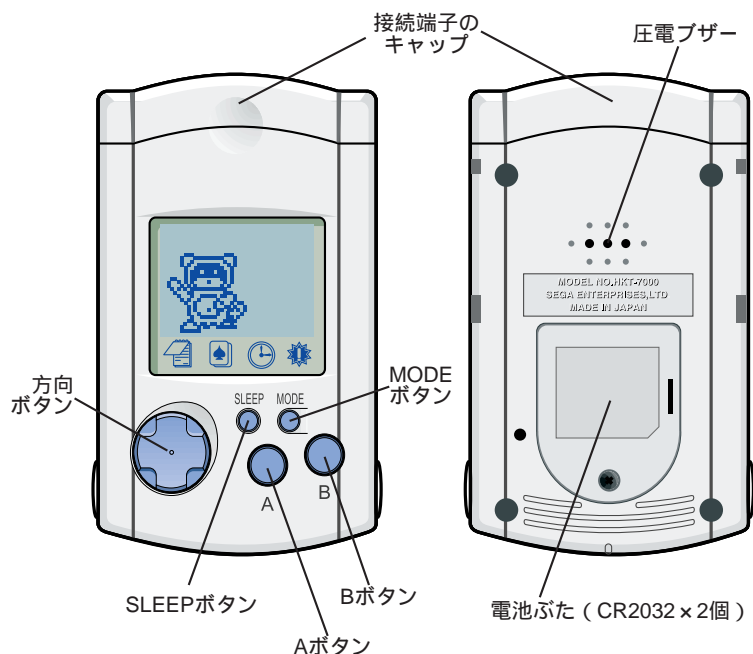


図 1-3 ビジュアルメモリの表と裏

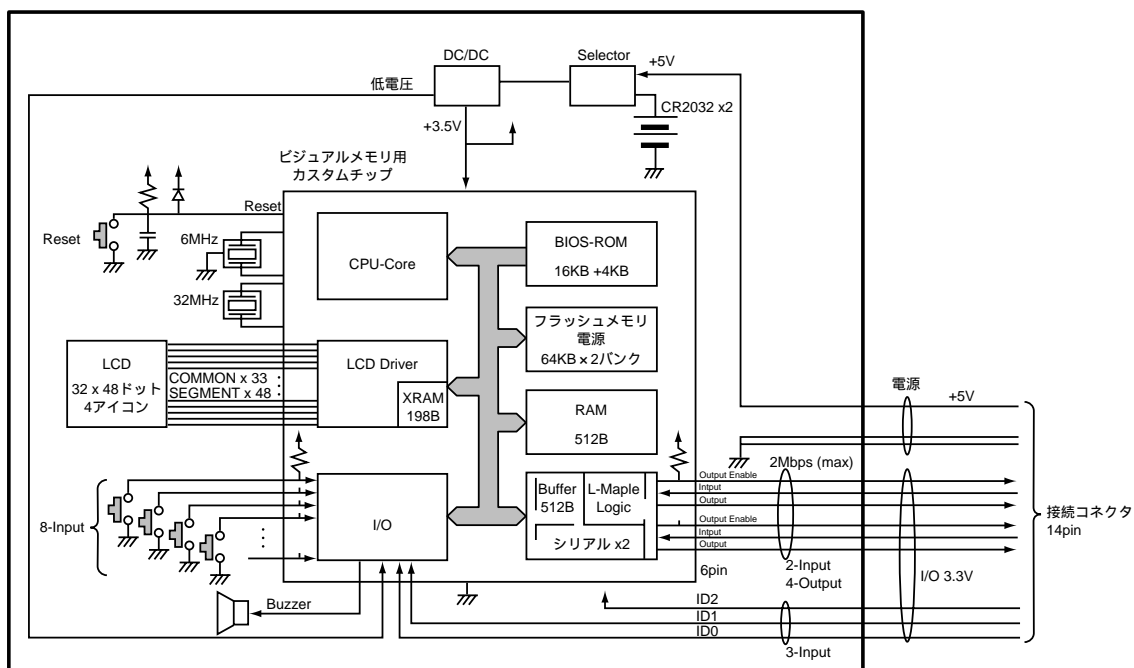


図 1-4 システムブロック図

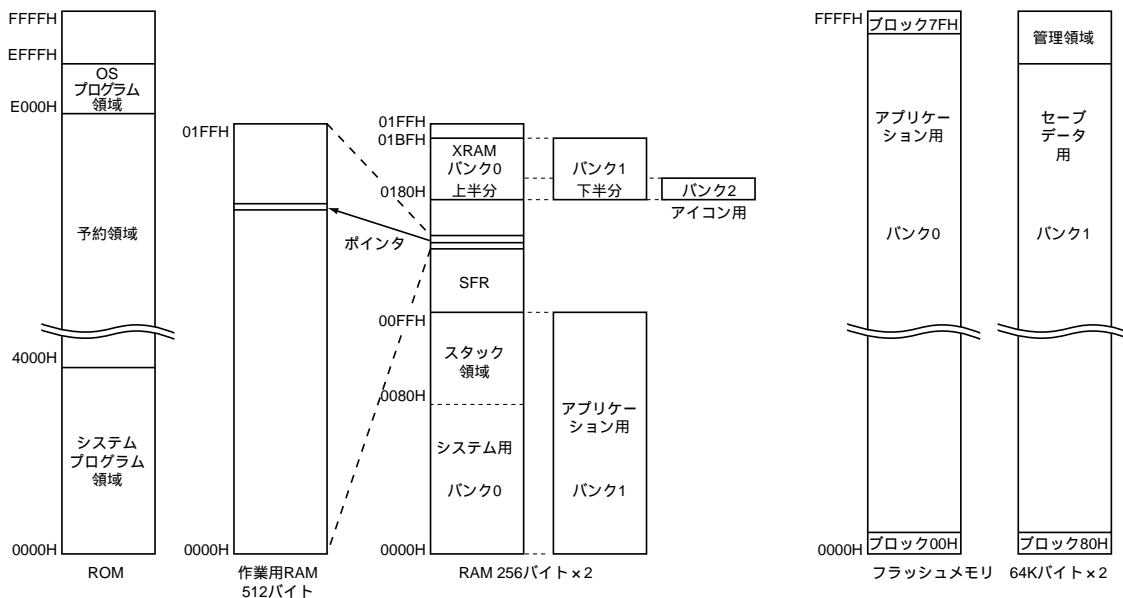


図 1-5 ビジュアルメモリのメモリマップ

1.2 ビジュアルメモリの機能

ビジュアルメモリが Katana に接続されているときは、Katana 専用インターフェイスにより、次の機能が Katana から制御できます。

Katana のコントロールポートには、標準コントローラやステアリングなどが接続できます。これらのうち、拡張デバイス用コネクタを持つ周辺装置には、ビジュアルメモリなどの拡張デバイスが接続できます。これら周辺装置は、Katana と通信するために「Maple バス」と呼ばれる Katana 独自の規格で接続されます。

- ① ゲームデータなどを保存する媒体
- ② コントローラと接続することで、コントローラごとに個別の液晶 (LCD) 画面を表示
- ③ ビジュアルメモリの時計を読み出しセットする

これらの制御は、ビジュアルメモリの ROM に内蔵されているプログラムが行ないます。この ROM に内蔵されたプログラムの総称は「システム BIOS」と呼びます。

このシステム BIOS は「システムプログラム」「OS プログラム」「ヘッダ」で構成されています。システムプログラムは、ビジュアルメモリに保存したファイルのコピーや消去、時計表示、Katana との通信処理を行ないます。一方 OS プログラムは、最も基本となるフラッシュメモリへのデータの読み書き、内蔵時計機能の制御、低電圧チェック機能を行ないます。また、OS プログラムのいくつかはアプリケーションから呼び出すことが可能です。

OS プログラムを呼び出す際には、フラッシュメモリのある領域に専用のプログラムを組み込む必要があり、このプログラムを「ヘッダ」と呼びます。

ビジュアルメモリに搭載されている、システムプログラムの機能は次のとおりです。

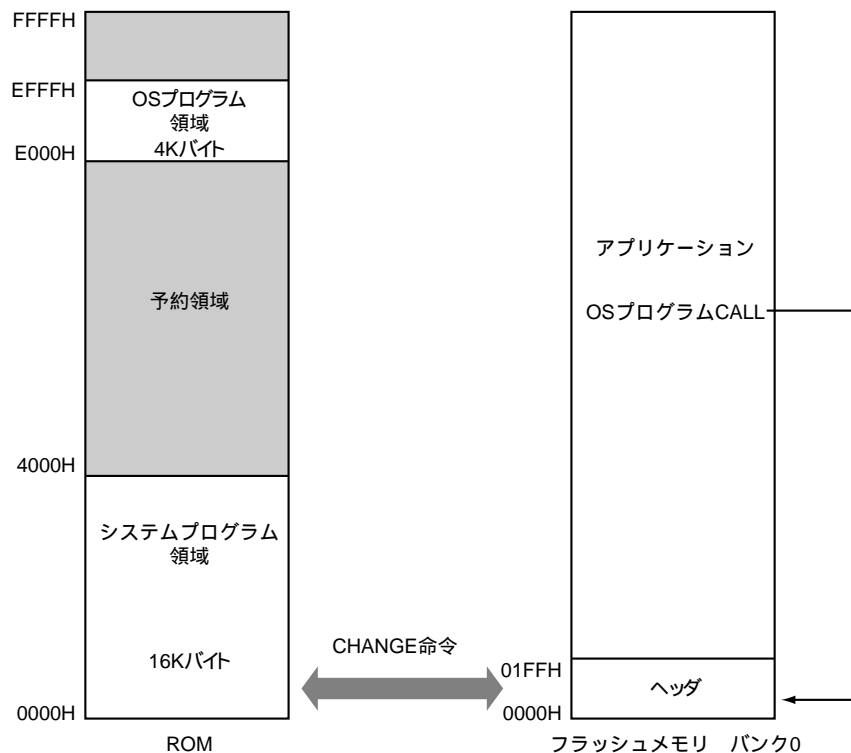


図 1-6 ROM 内プログラムのメモリマップ

ファイル管理

Katana で保存したゲームデータや、ビジュアルメモリ用アプリケーションの実行ファイルを管理や操作する機能です。

ファイルは 1 ブロック (512 バイト) 単位で管理され、ブロック単位での読み込みまたは、書き込みが可能です。

これらの読み書きにともなう、FAT 操作やファイル名などのファイル情報の管理は、すべてシステムプログラムが行ないます。

LCD 表示

Katana 接続時は、グラフィック描画 (画面イメージデータ転送) のみを行います。転送した画像イメージは、システムプログラムが受信し LCD に描画します。

単体動作時には、ビジュアルメモリの CPU から直接グラフィックの描画を行います。

LCD のドットマトリクス部分の画素数は、縦 32 ドット×横 48 ドットです。画像イメージのデータ量は、192 バイトとなります。これに加え LCD には、ビジュアルメモリの動作モードを示す 4 種類アイコンがあります。

アイコン	動作モード	機能
	ファイルモード	ビジュアルメモリのファイルを管理する
	ゲームモード	内蔵のゲームを起動する
	時計モード	時計を表示する
	アクセス中	フラッシュメモリにアクセス中

これらのアイコンは、ビジュアルメモリの動作モードを表すアイコンなので、アプリケーションから表示状態を変更してはなりません。

ビジュアルメモリ用アプリケーションの起動

Katana からビジュアルメモリに転送された、ビジュアルメモリ用アプリケーションを起動します。

アプリケーションは、単体動作時のみ実行でき Katana 接続中は実行できません。Katana に接続した時点でアプリケーションの実行は停止し、ビジュアルメモリはシステムモードとなります。

なお、OS プログラムには、アプリケーションから利用できるいくつかのサブルーチンがあります。詳細は、本書の「システム BIOS 編」を参照してください。

通信

Katana 接続時は、Katana 専用インターフェイスを経由して Katana からビジュアルメモリを制御できるようにします。

単体動作時には、8 ビットの同期シリアル通信ができ、他のビジュアルメモリとデータ交換が可能です。

時計

ビジュアルメモリは、時計機能を搭載しています。時計機能は、Katana 接続中、アプリケーション実行中、スリープ状態でも動作しています。

アプリケーションは、OS プログラムを利用して日時を取得することが可能です。

ブザー

ビジュアルメモリに内蔵の圧電ブザーは、パルスジェネレータ (PWM) に接続されており、発声する周波数を変更できます。発声できる周波数は、理論値で 21Hz ~ 5.5KHz (推奨 170Hz ~ 2.7KHz) までで PWM を制御することで調整できます。

Katana 接続中は、Katana からブザーの制御が可能です。

単体動作中は、PWM を制御することで周波数を変更し、ブザーの ON/OFF を制御できます。

動作モード切り換え

Katana への接続状態と MODE ボタンにより、ビジュアルメモリの動作モードを切り換えることができます。現在の動作モードは、LCD にアイコンで表示されます。

単体動作時は、2 分間ボタン操作がなかったり、通信が行われない状態が続いた場合、オートパワーオフ機能が働き、自動的にスリープ状態になります。

ビジュアルメモリには、下記の動作モードが存在します。

- ・ファイルモード (ゲームの保存データを管理)
- ・ゲームモード (ビジュアルメモリ内のゲームを実行)
- ・時計モード (時計の表示、設定)
- ・システムモード (Katana 接続中)

表 1-2 Katana への接続状態と動作モード

接続状態	モードボタン アイコン表示	状態	動作モード
Katanaへ接続	ゲーム ファイル 時計	常に消灯	システムモード
	警告	点灯	フラッシュEEPROMアクセス中
単体動作	ゲーム	点灯	アプリケーション実行中
	ファイル	点灯	ファイル操作
	時計	点灯	時計表示
	警告	点灯	フラッシュEEPROMアクセス中

キャラクタフォントの搭載

縦 8 ドット×横 6 ドットのアルファベット、カタカナ、数字、記号 (ANK) フォントを搭載しています。ただし、ANK フォントはシステム専用で、Katana 接続中または単体動作にかかわらずアプリケーションからは利用できません。

文字表示を行う場合は、文字のイメージを XRAM に転送してください。

1.3 モード設定

ビジュアルメモリの動作モードは、Katana への接続状態と MODE ボタン + A ボタンによって切り換えが可能です。ただし、ゲームモードでは、アプリケーションで MODE ボタンを無効化し、動作モードの変更を抑止することができます。

なお、フラッシュメモリ書き込み中は、モードを切り替えられません。

警告アイコンは、フラッシュメモリの読み書き中に点灯します。

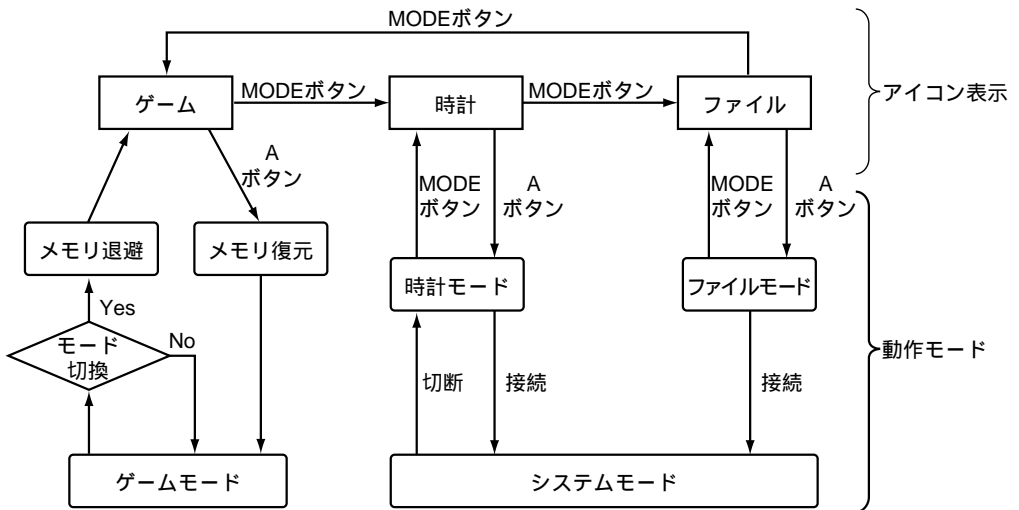


図 1-7 モード遷移

各動作モードの詳細は、次のとおりです。

システムモード

外部コントロールプログラム (Katana) が制御するモードです。

ビジュアルメモリは、Maple バスに準拠した通信とメモリ管理、LCD 表示、時計管理を行います。

ゲームモード

フラッシュメモリに読み込まれた、ビジュアルメモリ用アプリケーションを実行するモードです。

Maple バス以外の処理が、アプリケーションから制御できます。他の動作モードへの移行は、実行ファイルから禁止または許可できます。

アプリケーション実行中に MODE ボタンが押されると、RAM と特殊機能レジスタの内容が自動的にフラッシュメモリに退避されます。退避には約 8 秒ほどかかります。

再びゲームモードになると、フラッシュメモリに待避した内容を書き戻し、アプリケーションの実行を再開します。

ファイルモード

ビジュアルメモリに保存されたゲームデータを管理する動作モードです。

ファイル管理の機能は、システムプログラムが行います。

フラッシュメモリに書き込まれているファイルの表示、コピー、削除がボタン操作で行なえます。

時計モード

ビジュアルメモリの LCD にデジタル時計を表示する動作モードです。時刻は、時分秒まで表示されます。このモードでは、ユーザーが時刻の設定を自由に行えます。時刻の設定は、Katana 接続中に Katana 側からも行うことが可能です。

時計機能は、システムプログラムと OS プログラムが行います。

システムモードから復帰した場合 (Katana から切り離した場合) は、常にこの動作モードになります。

1.4 ファイル管理

ビジュアルメモリに搭載されているフラッシュメモリの総容量は、128K バイト (64K バイト × 2 バンク) です。このうち、28K バイトはシステムで予約されています。

このフラッシュメモリは、512 バイトを 1 ブロックとしてシステムに管理されます。したがって、ファイルの最小読み書き単位は、1 ブロック (= 512 バイト) となり、最大 200 ブロックのデータが保存できます。

ビジュアルメモリには、アプリケーションの実行ファイル 1 つを転送できます。実行ファイルは、必ずフラッシュメモリのブロック番号 00H から連続したブロックに転送する必要があります。最大 64K バイト (= 128 ブロック) の実行ファイルを転送し、実行することが可能です。

ビジュアルメモリに複数のアプリケーションを転送・実行したり、64K バイトを越える実行ファイルを転送・実行することはできません。



フラッシュメモリの管理領域

システム領域は、Katana から行なうビジュアルメモリのフォーマットを除いて書き込み禁止です。

FAT 領域は、2 バイト (16 ビット) で 1 つのブロックを管理し、ブロックのチェーン構造を保持しています。

ファイル情報は、1 ファイルあたり 32 バイトの情報を持ち、最大 200 ファイルまで管理できます。32 バイトのうち 12 バイト (半角文字換算で 12 文字まで: ASCII コード) は、ファイル名を示しています。なお、階層構造はサポートされていないので、サブディレクトリを作ることはできません。

ファイルが格納できるデータ領域は、ブロック番号 00H~0C7H の 200 ブロックです。ファイルは 0C7H から 00H に向けて格納され、アプリケーションは 00H から格納されます。



グラムで自動的に行われます。

フラッシュメモリの読み書きは、必ず OS プログラムを呼び出してください。

予約領域

システムプログラムおよびシステムモードで使用される領域です。この領域は、書き込み禁止です。

1.5 LCD 表示

ビジュアルメモリの LCD には、横 48 ドット×縦 32 ドットのドットマトリクス液晶画面と、動作モードを示す 4 つのアイコンがあります。

LCD への描画は、描画専用の XRAM に描画データを格納します。

XRAM

LCD 描画専用の RAM を XRAM といいます。一般のコンピュータのビデオ RAM に相当します。

XRAM は 3 バンクで構成されており、バンク 0, 1 はアプリケーションからの描画も可能です。ただし、バンク 2 は動作モード表示用アイコンの XRAM なので、アプリケーションからは利用できません。

XRAM のバンク 0 は、LCD の上半分 (48 × 16 ドット) に対応し、バンク 1 は下半分 (48 × 16 ドット) に対応します。

LCD の 1 ドットが、XRAM の 1 ビットに対応します。XRAM の 1 バイトが LCD の横 8 ドットになり、6 バイトで横 1 ラインを表示します。

画面モード

Katana 接続中は、Katana から受け取った描画データをシステムプログラムが XRAM に転送します。したがって、ゲームのサブ画面などに使用する場合は、画面イメージをそのままビジュアルメモリに転送します。画像を転送するにあたって、ビジュアルメモリの上下の向きに注意してください。イメージの上下反転は、Ninja ライブラリで変更可能です。

ビジュアルメモリには、ANK のキャラクタフォントが搭載されていますが、システムプログラム専用なので、アプリケーションから利用してはなりません。

LCD の描画は、LCD を黒く表示させたいドット対応する XRAM のビットをセットします。

アイコン

アイコンは、ビジュアルメモリの動作モードを表示するためのものなので、アプリケーションでは使用しないでください。

画面構成

ビジュアルメモリの LCD は、次のような画面です。

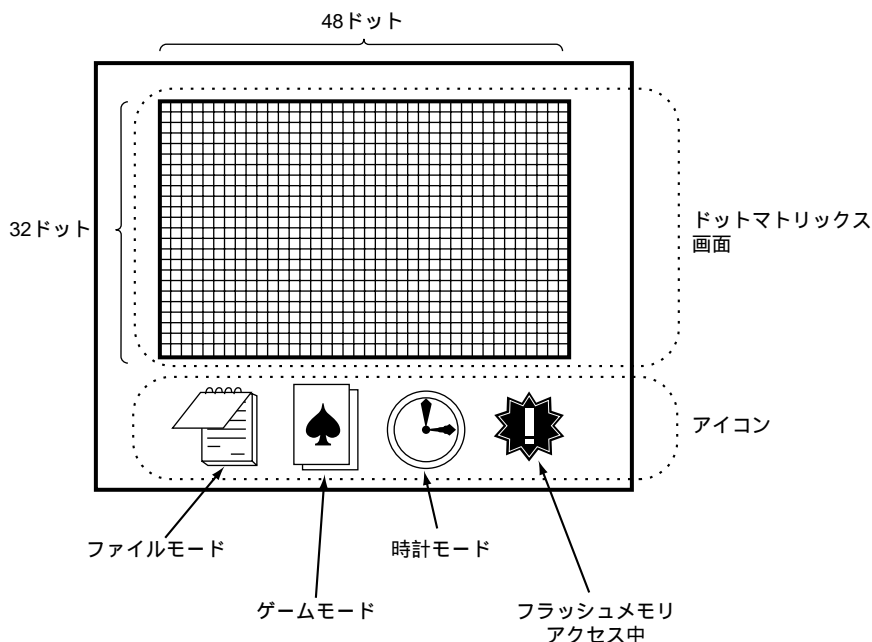


図 1-9 LCD 画面

LCD 特性

LCD ディスプレイは、CRT 型のディスプレイと画面リフレッシュの概念が異なります。

XRAM へのデータ転送が終わるとただちに LCD への表示を行います。実際は LCD の反応速度による応答遅れが発生します。LCD の応答が遅れた場合、残像現象やフリッカーが発生し、表示が大変見にくくなります。

また、単体動作時と Katana 接続時ではクロックが異なるため、単体動作時は LCD の表示速度が遅くなります。

ビジュアルメモリの LCD 画面リフレッシュの推奨値は、単体動作時で 1Hz (1 秒)、Katana 接続時で 4Hz (0.25 秒) です。

その他注意事項

下記の点に注意して、アプリケーション開発にあたってください。

- ・コントラスト調整はできません (液晶の ON/OFF 制御のみ)
- ・ブライト (輝度) 調整はできません
- ・バックライトはありません
- ・LCD の光反射用の反射板付き偏光板 (裏紙) に模様 (絵など) は入れられません

1.6 実行ファイルの起動

Katana または通常のコンピュータから、アプリケーションの実行ファイルを転送し、その実行ファイルをビジュアルメモリ単体で動作できる機能です。

1 つのビジュアルメモリには、1 つの実行ファイルのみを転送できます。したがって、同時に実行できるアプリケーションも 1 つのみとなります。

アプリケーション用に公開されている OS プログラムがいくつかあり、これらを利用することが可能です。

ビジュアルメモリ用アプリケーションの開発

ビジュアルメモリ用アプリケーションの開発は、MS-DOS (汎用) のアセンブラ、リンカを用います。リンカによって生成された実行ファイルは、E2H86K.EXE でビジュアルメモリ用の実行ファイルに変換します。

ビジュアルメモリ用の実行ファイルは、Windows95 以上で実行可能な「ビジュアルメモリシミュレータ」でデバックできます。この「ビジュアルメモリシミュレータ」は、ビジュアルメモリのハードウェアをすべてソフトウェアでエミュレーションします。詳細については『ビジュアルメモリ シミュレータマニュアル』を参照してください。

実行ファイルの転送

実行ファイルは、フラッシュメモリのブロック番号 00H ~ 7FH に格納されます。また、実行ファイルの先頭は、ブロック番号 00H から順番に格納されます。

Katana またはコンピュータからビジュアルメモリにアプリケーションを転送する場合、ブロック番号 00H から連続した空き領域を確保 (デフラグ) してから転送を開始してください。

空き容量がアプリケーションより少なかったり、連続した空き領域を確保できない場合は転送できません。

転送には、Ninja ライブラリや転送ユーティリティを利用してください。空き領域のチェックやデフラグが自動的に行なわれます。

実行ファイルのサイズ

実行ファイルのサイズは、64K バイトまでです。実行ファイルのサイズがこれ以上の場合、ビジュアルメモリに転送することはできません。

プログラム実行中にフラッシュメモリをアロケートすることはできません。フラッシュメモリ中にデータ領域を確保する場合は、あらかじめ実行ファイル中にその領域を確保する必要があります。

注意

実行ファイルには、OS プログラムの呼び出しや、割り込みベクトルが記述された「プログラムヘッダ領域」が含まれます。SDK に添付の“ GHEAD.ASM ”では、0000H-01FFH までがプログラムヘッダ領域として確保されています。

アプリケーションから利用できる OS プログラム

アプリケーションから利用できる OS プログラムの一覧です。

OS プログラムを呼び出すと、ワークエリアとして使用される RAM があります。

1. ローバッテリー自動検出 : 電池容量が少なくなった場合、自動的にその旨を警告するかどうかを指定できます。
2. 時計の読み出し : ビジュアルメモリ内蔵の時計から日時を読み出します。
3. フラッシュメモリ書き込み : フラッシュメモリにブロック単位でデータを書き込みます。
4. フラッシュメモリの読み込み : フラッシュメモリからブロック単位でデータを読み込みます。
5. フラッシュメモリのペリファイ : フラッシュメモリに書き込んだ内容の整合性をチェックします。

RAM

アプリケーションが利用できる RAM は、次のとおりです。

RAM : 00H~0FFH (バンク 1)

RAM のバンク 0 は、システム専用なのでアプリケーションからの利用はできません。

作業用 RAM : 00H~1FFH (アドレス指定して 1 バイト単位で読み書きします)

XRAM : バンク 0, バンク 1

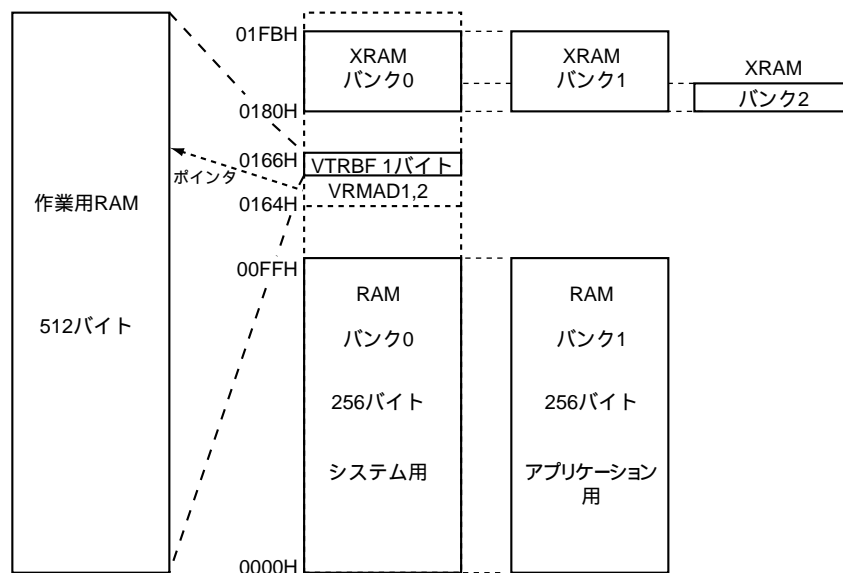


図 1-10 RAM のメモリマップ

アプリケーションのデータを保存する

ビジュアルメモリ用アプリケーションの途中経過やパラメータなどを保存したい場合は、その実行ファイル内にデータ領域を確保してください。実行ファイルは、フラッシュメモリに読み込まれますので、データ領域もフラッシュメモリに確保されます。Katana の保存データと同形式のファイルを作成することはできません。

Katana 用アプリケーションとリンクして、ビジュアルメモリで保存したデータを利用する場合は、ビジュアルメモリ用アプリケーション自身を読み込み、データが保存されているアドレスを参照するように設計してください。

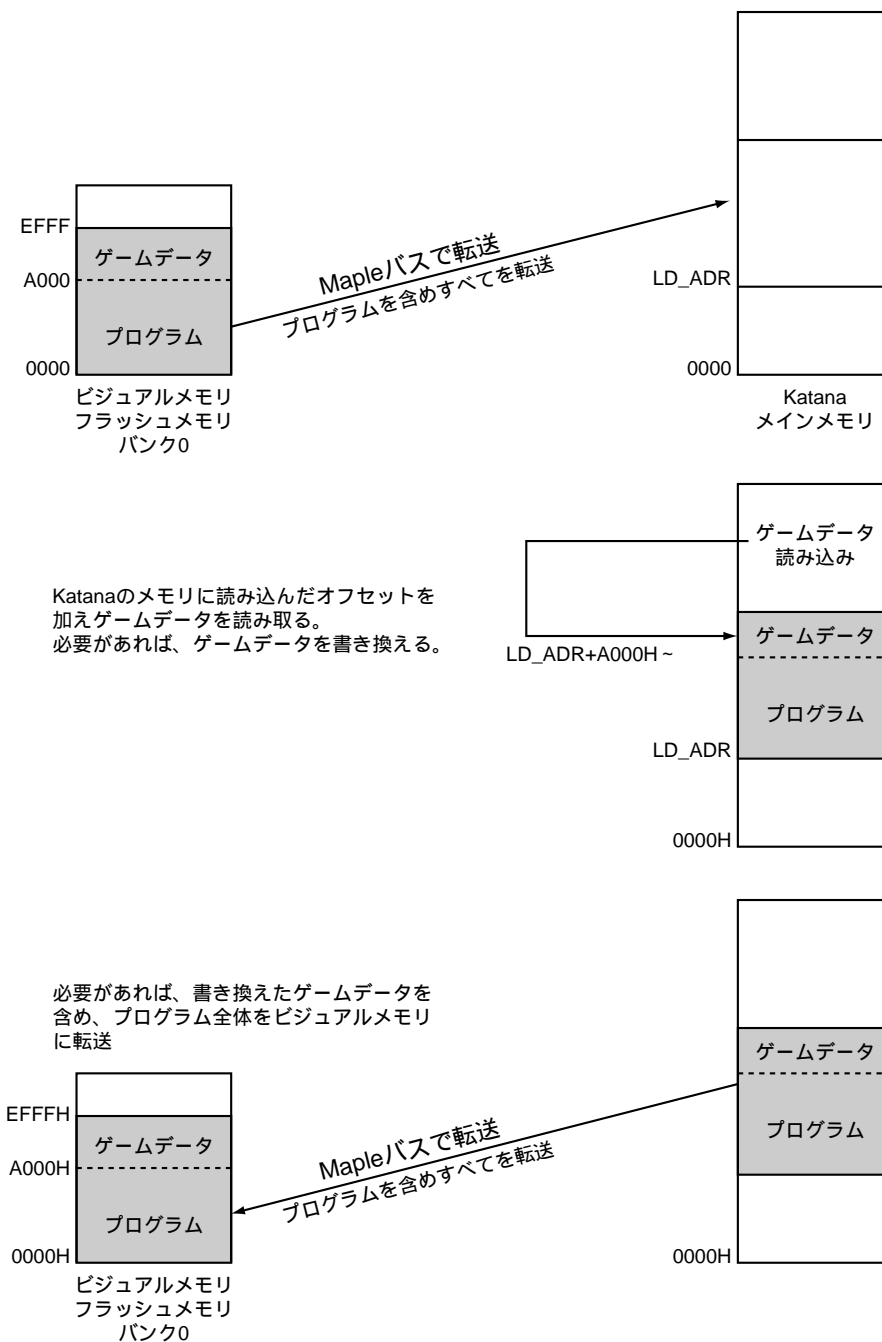


図 1-11 ビジュアルメモリと Katana のセーブデータをリンクする

オートパワーオフ

2 分間にわたりボタン操作や通信が行なわれない場合は、自動的にスリープ状態になる「オートパワーオフ機能」が組み込まれています。スリープ状態のビジュアルメモリについては「1.10 スリープ機能」を参照してください。

なお、ゲームモード中にスリープ状態に移行するかどうかは、アプリケーションによって

制御可能です。詳しくは「5.3 スリープ機能」を参照してください。

1.7 通信機能

ビジュアルメモリは、他の装置とシリアル通信が可能です。

割り込み名称	トリガ
低電圧割り込み	電源電圧 3.3V 未満の場合に発生
タイマ割り込み	タイマカウンタがオーバーフローした瞬間に発生
モードチェンジ割り込み	モードボタンが押された瞬間に発生
スリープ割り込み	スリープボタンが押された瞬間に発生
シリアル通信割り込み	受信、送信バッファにデータが溜まると発生
VMS 検知割り込み	他の VMS が接続された瞬間に発生
受信終了割り込み	コントローラバス経由にてデータ通信終了で発生

シリアル通信のプロトコルには、Maple バス方式と全 2 重同期シリアル通信方式の 2 種類があります。

Katana 接続中は Maple バス、単体動作時は同期シリアル通信となります。プロトコルの切り替えは、Katana への接続状況をシステムプログラムが検知し自動的に行ないます。

Maple バスのプロトコル

Katana 接続中、通信端子は転送速度 2Mbps の Maple バス方式に切り替わります。

作業用 RAM は、すべて送受信バッファになります。アプリケーションで作業用 RAM をワークエリアに利用していた場合、その内容はすべて破壊されますので、設計段階から注意してください。

アプリケーションから Maple バスを利用することはできません。

同期シリアル通信

単体動作時、ビジュアルメモリ同士の接続中、コンピュータとの接続中は、通信端子が同期シリアル通信に切り替わります。

同期シリアル通信には 2 系統あり、全 2 重通信が可能です。1 バイト単位のデータ転送が可能で、最大転送速度は約 2.4Kbps です。

1.8 時計機能

32KHz の水晶発振子と専用のカウンタで 500 ミリ秒単位の時間の計測ができます。

日時データは、OS プログラムが管理しています。アプリケーションからの読み込みは可能ですが、書き込みはできません。

時刻の設定画面にて年、月、日、時刻の設定をします。Katana 接続中は、Katana からビジュアルメモリの時刻を設定することが可能です。

1.9 アラーム機能

ビジュアルメモリに内蔵の圧電ブザーを鳴らすことができます。同時発音数は 1 音です。

発生周波数は、理論値 21Hz ~ 5.5KHz (推奨 170Hz ~ 2.7KHz) で、圧電ブザーに接続されているタイマー (パルスジェネレータ) を設定することで、任意の周波数を出力できます。

また、ブザーの ON/OFF は可能ですが、音量の調整はできません。

Katana 接続時は、Katana からビジュアルメモリのブザーを制御することが可能です。このとき発声する周波数の設定も可能です。

1.10 スリープ機能

ビジュアルメモリは、単体動作時の消費電力を押さえるためにスリープ機能を持っています。

スリープ状態になると、I/O ポートの状態および RAM の内容を保持したまま、CPU、LCD 表示が停止します。

なお、ゲームモードの場合は、スリープ状態に移行するかどうかをアプリケーションで制御できます。時計モード、ファイルモードの場合は、下記の条件でスリープ状態に移行します。

- ・ SLEEP ボタンを押したとき
- ・ オートパワーオフ機能が働いたとき
- 2 分間ボタン操作がなく、かつ通信がなかったとき

スリープ状態を解除するには、SLEEP ボタンを押します。これ以外のキーは無視されます。RAM およびレジスタメモリの内容は、時計用のレジスタメモリを除いて保持されます。

1.11 ボタン

ビジュアルメモリには、下記のボタンが実装されています。

なるべく、下記のインターフェイスを守ってアプリケーションを設計してください。

ボタン名称	主な機能
方向ボタン(上)	カーソル移動や画面スクロール
方向ボタン(下)	カーソル移動や画面スクロール
方向ボタン(左)	カーソル移動や画面スクロール
方向ボタン(右)	カーソル移動や画面スクロール
A ボタン	主に「決定用」として利用
B ボタン	主に「キャンセル用」として利用
モードボタン	単体動作時のモード切り替え用 押すごとに「ファイル」「ゲーム」「時計」「ファイル」...モードに切り替わります
スリープボタン	単体動作時、スリープ状態への移行・解除
リセットボタン	フラッシュメモリ以外(時計を含む)の内容をすべてリセット

1.12 電池

ビジュアルメモリは、単体動作用のボタン電池 (CR2032) を 2 個内蔵しています。Katana 接続中は、Katana より電源が供給され、電池の消耗はありません。

電池寿命は、アプリケーションの動作状態によって異なりますが、下記の条件下で 2 週間の動作が可能です。

- ・ ビジュアルメモリ単体動作
- ・ LCD 表示 (リフレッシュ 1Hz)

- ・ アラーム出力なし
- ・ 通信機能未使用
- ・ フラッシュメモリへの書き込みなし

電池の消耗

ビジュアルメモリの動作によって、電池の消耗がこととなります。下記の表を参考にして、アプリケーションの設計を行ってください。

動作	電池の消耗	補足説明
プログラム実行中	基準	フラッシュメモリの読み込みと CPU の電池消費を基準とします
LCD 表示の更新	基準の 5 倍	頻繁な XRAM 書き換え（画面の更新）は電池を消耗します
アラーム出力	基準 + ごくわずか	ごくわずかに電池を消費します
フラッシュメモリのライト	基準の 25 倍	フラッシュメモリへの書き込みは、非常に電池を消耗します。データの保存処理は、最低限に設計してください
通信中		電池の消費が激しくなります。受信側はフラッシュメモリの書き込み処理を伴うため、電池の消費が激しくなります。大きなファイルを転送する場合は、電池の消耗を考慮してください

電池がなくなったときの処理

OS プログラムは常に電池の電圧を監視しています。電池寿命に近づくときアプリケーション実行中でもオートパワーオフ機能が働きます。このとき RAM およびレジスタメモリの内容は、OS プログラムが自動的に保持します。

電池の交換

電池を交換すると時計の設定が初期化されます。フラッシュメモリの内容は、そのまま保持されます。



第 2 部

ハードウェア 編

ここでは、ビジュアルメモリの細かな仕様についてを説明します。
プログラム設計 / 開発担当の方向けの情報です。
これ以降、次ページのような用語を使用します。

用語	説明
ACC (A)	アキュムレータ
B	B レジスタ
C	C レジスタ
CY	キャリーフラグ (PSW のビット 7)
AC	補助キャリーフラグ (PSW のビット 6)
OV	オーバーフローフラグ (PSW のビット 2)
PC	プログラムカウンタ
ROM	プログラムメモリ
RAM	RAM
SFR	特殊機能レジスタ
PSW	プログラムステータスワード
TRL	テーブル参照レジスタ下位バイト
TRH	テーブル参照レジスタ上位バイト
TRR	テーブル参照レジスタ (TRH , TRL で表される 16 ビット)
SP	スタックポインタ
Pn	ポート n
Pmn	ポート m のビット n
Rj	カレントバンク内の間接アドレスレジスタ (内部 RAM の一部)
D9	直接アドレッシングデータ
# i8	イミディエイトデータ
B3	ビットアドレッシングデータ
R8	相対アドレッシングデータ [符号付き 8 ビット : - 128 ~ + 127]
R16	相対アドレッシングデータ [符号なし 16 ビット : 0 ~ + 65535]
A12	絶対アドレッシングデータ
A16	絶対アドレッシングデータ
	転送方向
	論理積
	論理和
	排他的論理和
Mod	剰余
ビット	2 進数で表したときの各々の桁 (0 か 1)
クリア	全部 0 にすること
キャリー	上位桁への桁上げ
ボロー	上位桁からの借り
サイクルクロック	命令実行時に発生する 1 サイクルの信号
バイト数 (BYTES)	8 ビットで 1 単位 (1 バイト) , 命令が何単位でできるかを示す
サイクル数 (CYCLES)	命令がいくつの基本命令サイクルで動作を完了するかという数
?? H	16 進数
???????? B	2 進数
MSB	最上位ビット (ビット 7)
LSB	最下位ビット (ビット 0)
R	READ (読み出し) 可能 (表中で使用)
W	WRITE (書き込み) 可能 (表中で使用)
X	不定 (表中で使用)
H	使用されていない (読み出した場合は ' 1 ') (表中で使用)

第2章

CPUの特長

Katana 用メモリシステムであるビジュアルメモリのメインコアとなるカスタムチップは、最小バスサイクルタイム 0.5 μ s で動作する CPU 部を核に、128K バイトフラッシュEEPROM、20K バイト ROM、710 バイト RAM、ドットマトリクス LCD 自動表示コントローラ/ドライバ、16 ビットタイマー/カウンタ/パルスジェネレータ、16 ビットタイマー（または2チャンネル \times 8 ビットタイマー）2チャンネル \times 8 ビット同期式シリアルインターフェイス、Katana との専用インターフェイス、13 要因 10 ベクトル割り込み機能などを集積した LSI です。

2.1 一般的な CPU との違い

一般的な CPU は、CPU 内部にアキュムレータや汎用レジスタ、フラグレジスタがあります。また、シリアルポートなど周辺デバイスのコントロールレジスタやデータレジスタは、I/O ポートにマッピングされています。

ビジュアルメモリ用カスタムチップは、CPU や周辺デバイスのレジスタすべてが、メモリ上にマッピングされています。このメモリ上にマッピングされたレジスタは「特殊機能レジスタ (SFR)」と呼び、RAM と区別します。

「特殊機能レジスタ」という表記でも、CPU 内部のレジスタではないことを十分に注意してお読みください。

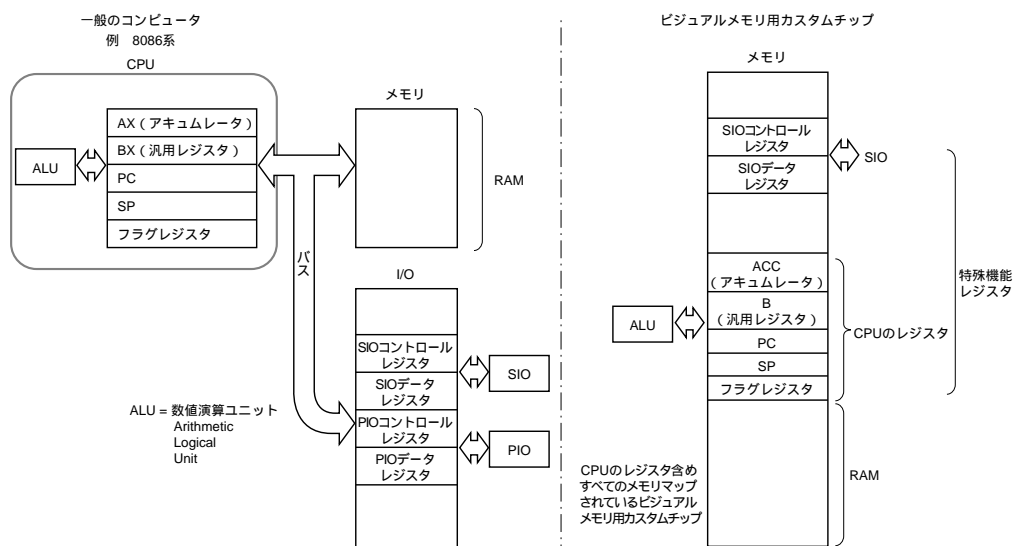


図 2-1 一般の CPU との違い

2.2 スペック一覧

ここでは、ビジュアルメモリのスペック概要を掲載します。

メモリ関連

フラッシュメモリ (EEPROM)

65536 バイト：プログラム / データ領域

65536 バイト：データ領域

ROM

16384 バイト：プログラム領域

4096 バイト：システム BIOS 用プログラム領域

RAM

計算領域：256 バイト × 2 バンク

表示領域：198 バイト (LCD 表示用 XRAM)

作業領域：256 バイト × 2 バンク (作業用 RAM)

作業領域の作業用 RAM は、Katana との接続時に専用インターフェイスの送受信バッファとして占有されます。

バスサイクルタイム / 命令サイクルタイム

バスサイクルタイムは ROM の読み出し時間を表します。

バスサイクルタイム	命令サイクルタイム	システムクロック 発振源	発振周波数	電源電圧	その他
0.5 μ s	1.0 μ s	セラミック (CF) 発振	6MHz	3.15 ~ 3.8V	OCR7 = 1 ^{*1}
3.8 μ s	7.5 μ s	内蔵 RC 発振	800KHz	3.15 ~ 3.8V	OCR7 = 1 ^{*1}
91.5 μ s	183.0 μ s	水晶 (Xtal) 発振	32KHz	3.15 ~ 3.8V	OCR7 = 1 ^{*1}

注意

OCR7：発振制御レジスタ (OCR) のビット 7 で、システムクロック発生回路を制御し、サイクルタイムの制御を行います。「5.2 システムクロック発生機能」を参照してください。
OCR7 = 1：システムクロックの 1/6 分周がサイクルタイムとして使用されます。

ポート

入出力ポート：2 ポート (P1 , P3)
入力ポート：1 ポート (P7)
液晶表示 (LCD) 駆動用セグメント出力ポート：48 本
LCD 駆動用コモン出力ポート：33 本

LCD コントローラ

表示デューティ：1/33 デューティ
表示バイアス：1/5 バイアス
液晶インストラクション：表示 / 非表示
グラフィック表示：縦 32 ドット × 横 48 ドット + アイコン 4 種類

シリアルインターフェイス

8 ビットシリアルインターフェイス × 2 チャンネル (同期式)
8 ビットボーレートジェネレータ内蔵 (ボーレートジェネレータは 2 チャンネルシリアルインターフェイスで共用)
Katana 専用インターフェイス (スタートパターン / エンドパターン自動判別)

注意

同期式シリアルインターフェイスと Katana 専用シリアルインターフェイスの同時使用はできません。

タイマー

タイマー 0

16 ビットタイマー / カウンタ
8 ビットプログラマブルプリスケアラ内蔵

タイマー 1

16 ビットタイマー / パルスジェネレータ
ベースタイマー：クロック選択機能
32.768kHz 水晶発振、システムクロック、タイマー 0 のプログラマブルプリスケアラ出力より選択
時計用 500ms オーバーフロー信号発生機能 (32.768kHz 水晶発振選択時)
976 μ s、3.9ms、15.6ms、62.5ms のいずれかの周期ごとのオーバーフロー信号発生機能 (32.768kHz 水晶発振選択時)

割り込み

割り込みには、13 要因、10 ベクトルがあります。

- (1) 外部割り込み INT0 : Katana 専用インターフェイスへの接続検出
- (2) 外部割り込み INT1 : 低電圧割り込み
- (3) 外部割り込み INT2 : タイマー / カウンタ T0L (タイマー 0 下位 8 ビット)
- (4) 外部割り込み INT3 : ベースタイマー
- (5) タイマー / カウンタ T0H (タイマー 0 上位 8 ビット)
- (6) タイマー T1L (下位 8 ビット) タイマー T1H (上位 8 ビット)
- (7) シリアルインターフェイス 0 (SIO0)
- (8) シリアルインターフェイス 1 (SIO1)
- (9) Katana 専用インターフェイス
- (10) ポート 3

これらの割り込みに優先順位をつけることが可能です。

割り込みは、低レベル、高レベル、最高レベルの 3 レベルの多重割り込みが可能です。外部割り込み INT2、タイマー / カウンタ T0L (タイマー 0 下位 8 ビット) から、ポート 3 の 11 の割り込み要因は、割り込み優先レジスタにより低レベル、高レベルの割り込み優先が指定できます。また、外部割り込み INT0、INT1 は、低レベル、最高レベルの割り込み優先が指定できます。

スタック領域

RAM バンク 0 の 80H ~ 0FFH までの 128 バイト。このうち内蔵時計で 20 バイトを消費します。スタックは 80H から上位に向かって消費されます。

高速乗除算命令内蔵

- 16 ビット \times 8 ビット (実行時間 : 7 命令サイクルタイム)
- 16 ビット \div 8 ビット (実行時間 : 7 命令サイクルタイム)

3 種類の発振回路

- RC 発振回路 (内蔵) : システムクロック (600KHz)
- CF 発振回路 : システムクロック (6MHz)
- 水晶発振回路 : 時計、システムクロック、液晶表示用クロック (32KHz)

スタンバイ機能

・HALT モード

命令の実行を停止するモードであり、リセットまたは割り込みの発生により解除可能です。ビジュアルメモリのスリープ状態は、このモードです。

内蔵時計機能のみ動作します。SLEEP ボタンでモードが解除されます。

・HOLD モード

CF 発振、RC 発振、水晶発振を停止するモードです。HOLD モードを解除するには、次の3つの方法があります。

- (1) リセット端子に 'L' レベルを入力する。
- (2) P70/INT0 端子、または P71/INT1 端子に指定されたレベルを入力する。
- (3) ポート 3 割り込み条件を入力する。

フラッシュメモリのスペック

メモリ種別：EEPROM (電氣的に書き換え可能な ROM)

容量：128K バイト

書き換え方法：OS プログラム使用

書き換えブロックサイズ：128K バイト

消去 / 書き込み電圧：3.15 ~ 3.8V

書き換え可能回数：5 万回 (FFH 書き込み、00H 書き込みをそれぞれ 1 回とする)

Ta = 25℃、プログラムでのメモリ管理による。)

プログラムメモリ空間：64K バイト

システム BIOS (ROM) / アプリケーション (EEPROM) の切り換え

CHANGE 命令を使用する。リセット時はシステム BIOS が起動。

アプリケーションからシステム BIOS への切り替え許可 / 禁止が設定可能 (EXT レジスタ)

2.3 システムブロック図

ビジュアルメモリのシステムブロック図は、下記のようになっています。

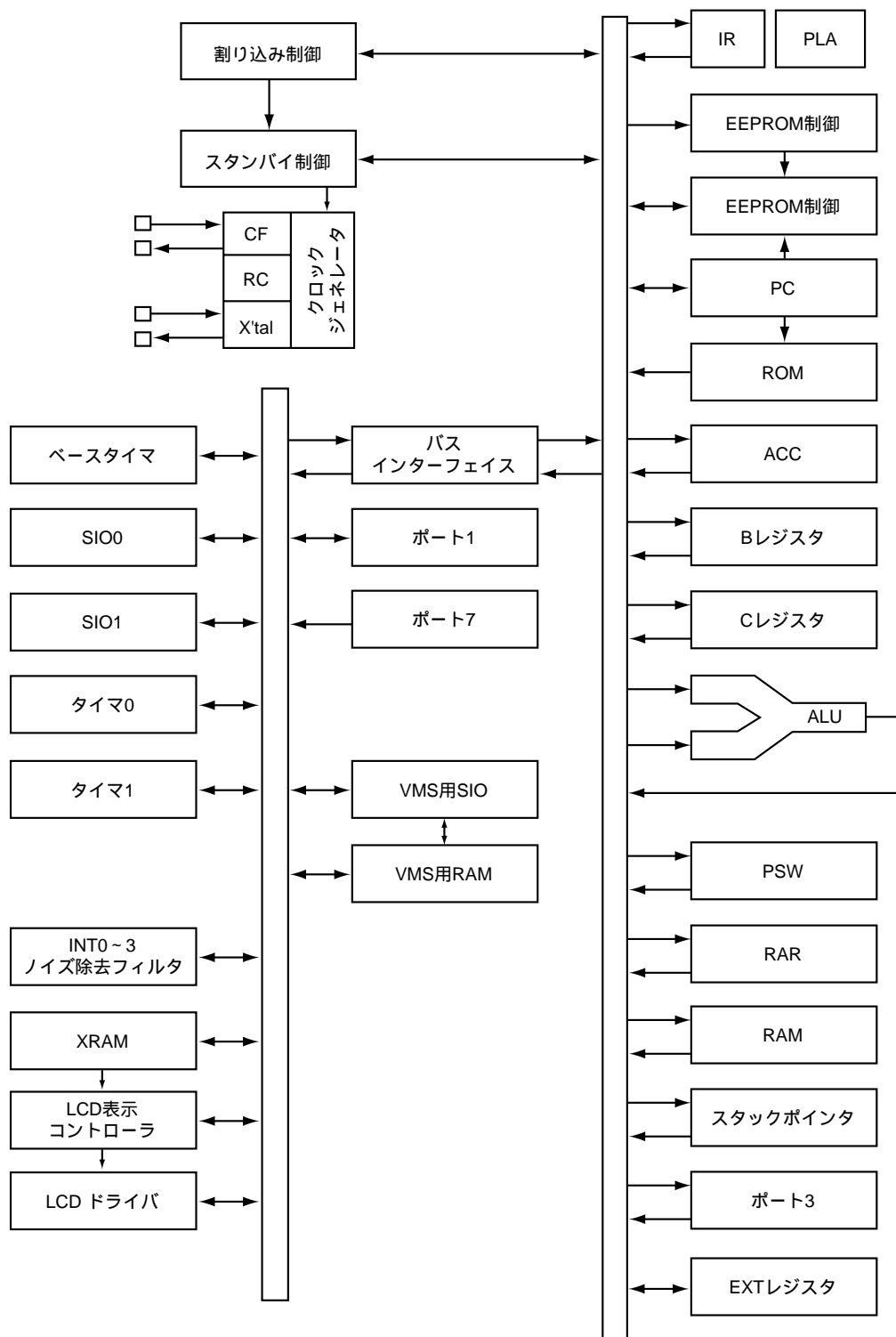


図 2-2 ビジュアルメモリのシステムブロック図

第 3 章

内部システム構成

ビジュアルメモリは、一般の CPU とは異なり、アキュムレータやレジスタがすべて RAM にマッピングされています。ここでは、CPU 相当の機能と特殊機能レジスタ関連を説明します。

3.1 メモリ空間

ビジュアルメモリ用カスタムチップは、内部メモリ空間とフラッシュメモリ空間を持ちます。

内部メモリ空間は、ROM (64K バイト) と RAM (512 バイト) を持ちます。ROM は、通常命令実行ごとに順次アドレスがインクリメントされ、リニアに 64K バイトをアクセスできます。RAM の 000 ~ 0FFH 番地には、256 バイトの汎用の RAM が割り当てられています。また、100 ~ 1FFH 番地の 256 バイトには、特殊機能レジスタ (SFR) が割り当てられています。汎用の RAM は、2 バンクで構成され、特殊機能レジスタ (SFR) のプログラムステータスワード (PSW) のビット 1 (RAMBK0) によりバンクが指定できます。バンク 0 はスタック領域としても使用されます。SFR には、アキュムレータ (ACC)、PSW、タイマー、入出力ポートなどが割り当てられ、完全メモリマップド I/O の構成となっています。

フラッシュメモリ空間は、128K バイトの空間を持ちます。1 バンクあたり 64K バイトの 2 バンクで構成されています。また、バンク 0 のみ、64K バイトのアプリケーションプログラム領域として利用できます。ROM のシステム BIOS とフラッシュメモリ内のプログラムの切り換えは専用のマクロ命令 (CHANGE) を使用します。フラッシュメモリ空間へのデータの書き込みは、必ず OS プログラムを呼び出して行います。

ROM 内の OS プログラムには、フラッシュメモリへのデータ書き込み、データのベリファイ、読み出しプログラムがサブルーチンとして書き込まれています。

ビジュアルメモリ用アプリケーションは、必ずフラッシュメモリのバンク 0 へ格納されます。

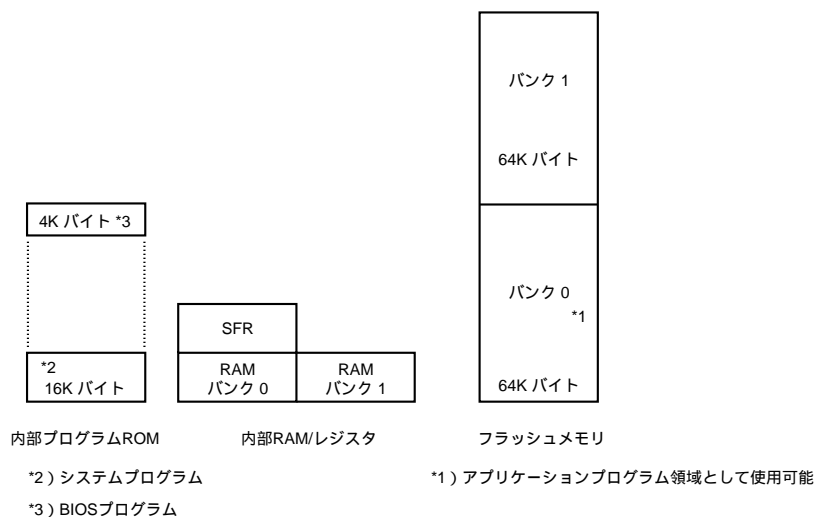


図 3-1 3つのメモリ空間

3.2 プログラムカウンタ (PC)

プログラムカウンタ (PC) は 16 ビットで構成されており、次に実行すべき命令が格納されているプログラムメモリ (ROM) のアドレスを保持し、CPU は PC の値を基に一連のプログラムを実行します。通常、PC は 1 命令ごとにインクリメントされ、分岐命令、サブルーチン命令の実行時、割り込み受け付け時やリセット時には、各動作に応じた値が PC に設定されます。

各動作における PC の設定値は、次の表のとおりです。

表 3-1 プログラムカウンタ設定値

動作の種類			プログラムカウンタの値
リセット			0000H (内部プログラム空間)
外部割り込み0			0003H
外部割り込み1			000BH
外部割り込み2, タイマー/カウンタT0L割り込み			0013H
外部割り込み3, ベースタイマー割り込み			001BH
タイマー/カウンタT0H割り込み			0023H
タイマーT1L, タイマーT1H割り込み			002BH
SIO0割り込み			0033H
SIO1割り込み			003BH
ビジュアルメモリ用SIO割り込み			0043H
ポート3割り込み			004BH
無条件分岐命令	JMP	a12	PC15 ~ 12 = カレントページ PC11 ~ 00=a12
	JMPF	a16	C15 ~ 00=a16
	BR	r16	(PC+2) + r8 [-128 ~ +127]
	BRF	r16	(PC+2) + r16 [0 ~ +65535]
条件分岐命令	BZ, BNZ, BP, BNE		(PC+2または+3)
	BPC, BN, DBNZ, BE		+r8 [-128 ~ +127]
CALL命令	CALL	a12	C15 ~ 12=カレントページ PC11 ~ 00=a12
	CALLF	r16	PC15 ~ 00=a16
	CALLR	16	(PC+2) + r16 [0 ~ +65535]
マクロ命令	CHANGEラベル名 (or アドレス)		別プログラムモードのラベルまたはアドレスで指定された値

注意

便宜上、4K バイトごとの ROM 空間を「ページ」といいます。

「カレントページ」とは、ROM 空間において現在実行中の次の命令に続いて記述されている命令が含まれるページのことをいいます。

ROM のプログラム動作実行中に割り込みが発生した場合は、ROM 内部の割り込みベクトル (先の表のアドレス) が CALL されます。フラッシュメモリのアプリケーション実行中に割り込みが発生した場合には、フラッシュメモリのバンク 0 の割り込みベクトル (表のアドレス) が CALL されます。アプリケーションでは、一部の割込ベクトルを任意に設定することはできません。必ず指定されたプログラムを組み込む必要があります。詳しくは「5.1 割り込み機能」を参照してください

3.3 ROM 空間

64K バイトの ROM 空間には、16K バイトのシステムプログラムと、4K バイトの OS プログラムがあります。

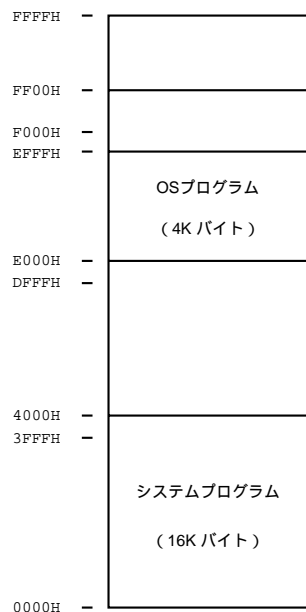


図 3-2 ROM 空間

3.4 RAM 空間

LCD 表示用 XRAM の 198 バイト、作業用 RAM 用 VTRBF の 512 バイトを含む 1222 バイトの RAM を内蔵しています。また、特殊機能レジスタ (SFR) が RAM の上位にあたる 100H ~ 1FFH 番地に存在しています。

表 3-2 RAM の構成

メモリ	容 量
RAMサイズ	1222バイト
XRAM	バンク0 180H - 1FBH (96バイト)
	バンク1 180H - 1FBH (96バイト)
	バンク2 180H - 185H (6バイト)
メインRAM	バンク0 000H - 0FFH (256バイト)
	バンク1 000H - 0FFH (256バイト)
VTRBF	166H (256バイト × 2/バンク)

3.4.1 間接アドレスレジスタ

RAM の 00H ~ 0FH までの 16 バイトの領域は、4 バンクからなる間接アドレスレジスタです。この間接アドレスレジスタは、下位アドレスから順に @ R0、@ R1 (RAM 用)、@ R2、@ R3 (SFR 用) で構成されています。アドレッシングに使用する間接アドレスレジスタのバンクは、プログラムステータスワード (PSW) のビット 3、4 (間接アドレスレジスタバンクフラグ : IRBK0、1) により指定します。また、この 16 バイトの領域は通常の RAM としても使用可能です。

間接アドレスレジスタと RAM の関係は、次の表に示します。

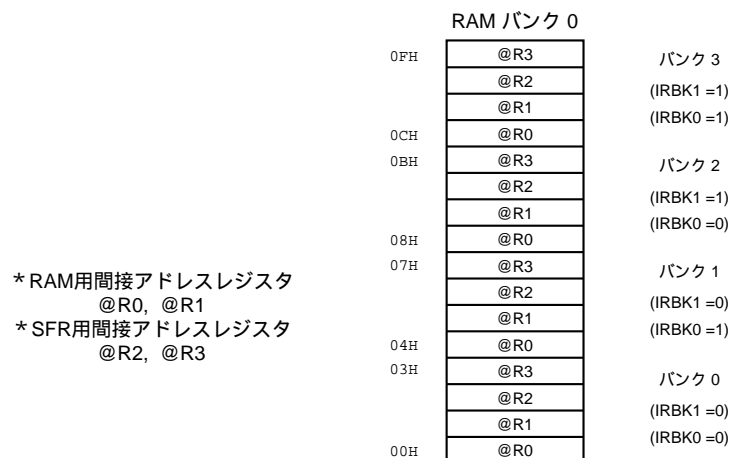


図 3-3 間接アドレスレジスタ配置

表 3-3 間接アドレスレジスタマップ

間接アドレスレジスタ名	機能	バンク 0 (IRBK1 = 0) (IRBK0 = 0)	バンク 1 (IRBK1 = 0) (IRBK0 = 1)	バンク 2 (IRBK1 = 1) (IRBK0 = 0)	バンク 3 (IRBK1 = 1) (IRBK0 = 1)
@ R0	RAM アクセス	RAM 00H	RAM 04H	RAM 08H	RAM 0CH
@ R1	RAM アクセス	RAM 01H	RAM 05H	RAM 09H	RAM 0DH
@ R2	SFR アクセス	RAM 02H	RAM 06H	RAM 0AH	RAM 0EH
@ R3	SFR アクセス	RAM 03H	RAM 07H	RAM 0BH	RAM 0FH

(1) 直接アドレッシングモード時

MOV #i8, d9 などの命令実行時

RAM バンク 0 (PSW 21=0) のとき

RAM バンク 1 (PSW 21=1) のとき

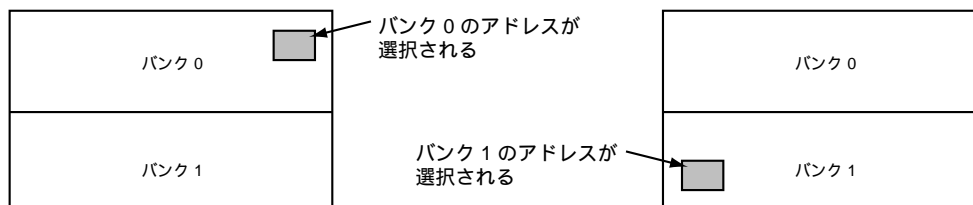


図 3-4 直接アドレッシングモード時

(2) 間接アドレッシングモード時

MOV #i8, @Rj などの命令実行時

RAM バンク 0 (PSW 21=0) のとき

RAM バンク 1 (PSW 21=1) のとき

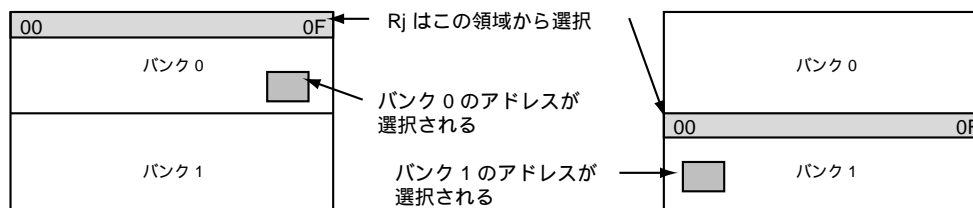


図 3-5 間接アドレッシングモード時

3.4.2 特殊機能レジスタ (SFR)

RAM, SFR の一覧を表 3-4 に示します。SFR 内の各種レジスタの内容は、各項目を参照してください。

R = READ X = 不定
W = WRITE H = 存在しない

表 3-4 RAM のメモリマップ

シンボル	アドレス	R/W	名称	初期値
RAM (バンク0)	000H-0FFH	R/W	データメモリ	XXXXXXXX (リセット時は保持)
RAM (バンク1)	000H-0FFH	R/W	データメモリ	XXXXXXXX (リセット時は保持)
ACC	100H	R/W	アキュムレータ	00000000
PSW	101H	R/W	プログラムステータスワード	00000000
B	102H	R/W	Bレジスタ	00000000
C	103H	R/W	Cレジスタ	00000000
TRL	104H	R/W	テーブル参照レジスタ下位バイト	00000000
TRH	105H	R/W	テーブル参照レジスタ上位バイト	00000000
SP	106H	R/W	スタックポインタ	XXXXXXXX
PCON	107H	R/W	パワー制御レジスタ	HHHHHH00
IE	108H	R/W	マスター割り込み許可制御レジスタ	0HHHHH00
IP	109H	R/W	割り込み優先順位制御レジスタ	00000000
EXT	10DH	R/W	外部メモリ制御レジスタ	HHHH0000
OCR	10EH	R/W	発振制御レジスタ	0H00HH00
T0CNT	110H	R/W	タイマー0制御レジスタ	00000000
T0PRR	111H	R/W	タイマー0プリスケアラデータ	00000000
T0L	112H	R	タイマー0下位	00000000
T0LR	113H	R/W	タイマー0下位リロードデータ	00000000
T0H	114H	R	タイマー0上位	00000000
T0HR	115H	R/W	タイマー0上位リロードデータ	00000000
T1CNT	118H	R/W	タイマー1制御レジスタ	00000000
T1LC	11AH	R/W	タイマー1下位比較データ	00000000
T1L	11BH	R	タイマー1下位	00000000
T1LR	11CH	W	タイマー1下位リロードデータ	00000000
T1HC		R/W	タイマー1上位比較データ	00000000
T1H	11DH	R	タイマー1上位	00000000
T1HR		W	タイマー1上位リロードデータ	00000000
MCR	120H	W	モード制御レジスタ	00000000
STAD	122H	R/W	スタートアドレスレジスタ	00000000
CNR	123H	W	文字数レジスタ	H0000000
TDR	124H	W	時分割レジスタ	HH000000
XBNK	125H	R/W	バンクアドレスレジスタ	HHHHHH00
VCCR	127H	W	液晶コントラスト制御レジスタ	00000000
SCON0	130H	R/W	SIO0制御レジスタ	00H00000
SBUF0	131H	R/W	SIO0バッファ	00000000
SBR	132H	R/W	SIOポーレートジェネレータ	00000000
SCON1	134H	R/W	SIO1制御レジスタ	H0H00000
SBUF1	135H	R/W	SIO1バッファ	00000000

3.5 フラッシュメモリ

ビジュアルメモリ用カスタムチップは、128K バイトのフラッシュメモリ空間を持ちます。

フラッシュメモリ空間は、1 バンクあたり 64K バイトの 2 バンクで構成され、OS プログラムを呼び出してデータの読み書きが可能です。また、ROM テーブル参照命令 (LDC) を使用し、各バンクごとに ROM 空間のデータを参照することができます。また、アプリケーションは、必ずバンク 0 の 64K バイトのメモリ空間に格納します。システム BIOS (ROM) とアプリケーションプログラム (フラッシュメモリ) の切り換えは、専用のマクロ命令 CHANGE を使用します。

注意

LDC 命令は、ROM 内プログラム動作時とフラッシュメモリ内プログラム動作時で異なるので注意が必要です。

フラッシュメモリサイズ： 64K バイト × 2 バンク
バンク： バンク 0 - バンク 1
各バンクのアドレス： 0000H - FFFFH

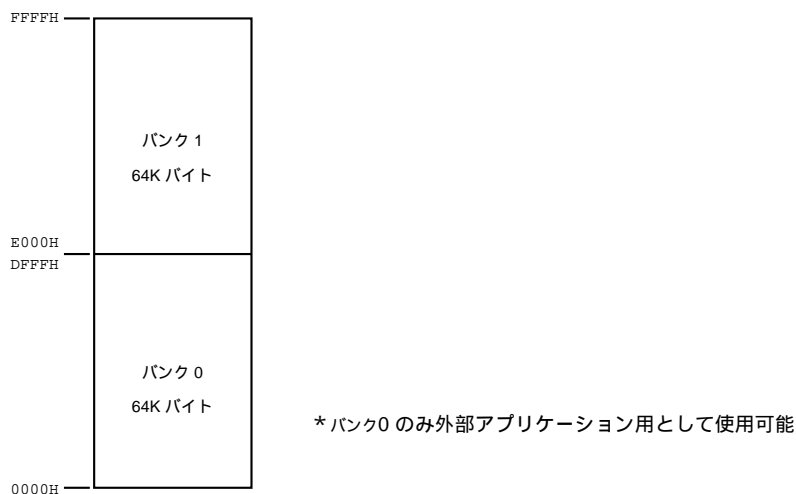


図 3-6 フラッシュメモリのメモリマップ

フラッシュメモリへの書き込み / 読み出しは OS プログラムを呼び出して行います。詳細については「システム BIOS 編」の「第 12 章 サブルーチンリファレンス」を参照してください。

3.6 アキュムレータ

アキュムレータ (ACC) は、データの演算、転送、入出力などの処理を行う際に使用する 8 ビットのレジスタです。SFR の 100H 番地に割り当てられ、リセット時には 00H に初期化されます。

一般のコンピュータ用の CPU と異なり、メモリの一部がアキュムレータとして機能します。

アキュムレータ (ACC)

シンボル	アドレス	R/W	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
ACC	100H	R/W	ACC7	ACC6	ACC5	ACC4	ACC3	ACC2	ACC1	ACC0
リセット時			0	0	0	0	0	0	0	0

3.7 Bレジスタ Cレジスタ

BレジスタとCレジスタは、ACCと組み合わせて乗除算命令で使用する8ビットのレジスタです。SFRの102H番地(Bレジスタ)と103H番地(Cレジスタ)に割り当てられ、リセット時には00Hに初期化されます。

乗除算命令以外の実行時には、汎用レジスタとして使用可能です。

Bレジスタ

シンボル	アドレス	R/W	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
B	102H	R/W	B7	B6	B5	B4	B3	B2	B1	B0
リセット時			0	0	0	0	0	0	0	0

Cレジスタ

シンボル	アドレス	R/W	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
C	103H	R/W	C7	C6	C5	C4	C3	C2	C1	C0
リセット時			0	0	0	0	0	0	0	0

乗算は、16ビット×8ビットの演算が行なえます。被乗数(16ビット)は、上位8ビットをACCに、下位8ビットをCレジスタに格納します。乗数(8ビット)は、Bレジスタに格納します。演算結果(積)は24ビットで構成され、最上位8ビットはBレジスタに、上位8ビットはACCに、下位8ビットはCレジスタに格納されます。つまり、(ACC)(C)×(B)=(B)(ACC)(C)となります。

除算は、16ビット÷8ビットの演算が行なえます。被除数(16ビット)は、上位8ビットをACCに、下位8ビットをCレジスタに格納します。除数(8ビット)は、Bレジスタに格納します。演算結果(商)は16ビットで構成され、最上位8ビットはACCに、下位8ビットはCレジスタに格納され、剰余はBレジスタに格納されます。つまり、(ACC)(C)÷(B)=(ACC)(C)mod(B)となります。

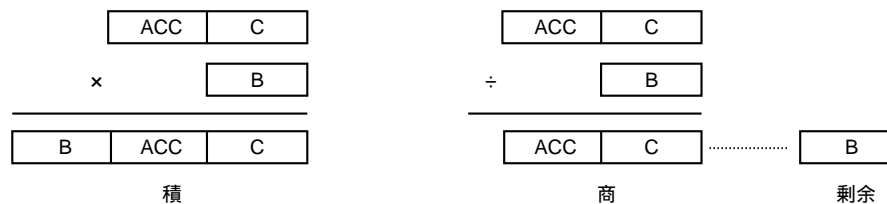


図 3-7 乗除演算時のレジスタ内容

3.8 プログラムステータスワード (PSW)

プログラムステータスワード (PSW) は、演算結果の状態を示すフラグと、RAM バンクおよび間接アドレスレジスタのバンク指定フラグから構成されています。SFR の 101H 番地に割り当てられ、リセット時には各ビットが '0' に初期化されます。

プログラムステータスワード (PSW)

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
PSW	101H	R/W	CY	AC	-	IRBK1	IRBK0	OV	RAMBK0	P
リセット時			0	0	0	0	0	0	0	0

CY (ビット 7): キャリーフラグ

CY は、演算結果で桁上がり (キャリー) あるいは減算や比較で桁下がり (ボロー) が発生するとセットされ (1) 発生しないとリセット (0) されます。CY を含むローテート命令実行に影響を受け、乗除算命令実行時にはリセット (0) されます。

AC (ビット 6): 補助キャリーフラグ

AC は、演算結果で ACC ビット 3 より桁上がり (キャリー) あるいは減算で桁下がり (ボロー) が発生するとセット (1) され、発生しないとリセット (0) されます。

IRBKx: 間接アドレスレジスタバンクフラグ

IRBK1 (ビット 4) と IRBK0 (ビット 3) で構成され、それぞれ間接アドレスレジスタバンクフラグ 1、間接アドレスレジスタバンクフラグ 0 を示しています。

RAM の各バンク内の間接アドレッシング命令用の間接アドレスレジスタとして使用される 4 バンクからなるレジスタ群のバンク指定を行います。

バンク	IRBK1	IRBK0
0	0	0
1	0	1
2	1	0
3	1	1

OV (ビット 2): オーバーフローフラグ

OV は、オーバーフローが発生するとセット (1) され、発生しないとリセット (0) されます。

負数 + 負数、または負数 - 正数の演算結果が正数、正数 + 正数、または正数 - 負数の演算結果が負数となった場合セット (1) され、それ以外ではリセット (0) されます。乗除算の結果で、B レジスタの内容が 0 でないときにセットされ (1) 0 のときにリセット (0) されます。

RAMBK0 (ビット 1): RAM バンクフラグ

RAM のバンク指定を行います。RAM へのアクセス命令実行時には指定されているバンク内の RAM アドレスがアクセスされます。

バンク	RAMBK0
0	0
1	1

P (ビット 0): アキュムレータ (ACC) のパリティフラグ

ACC にセットされているビットの総数が、奇数個の場合セット (1) され、偶数個の場合リセット (0) されます。このビットは、読み出し専用です。書き込みはできません。

3.9 スタックポインタ

RAM のバンク 0 をスタックメモリとして使用しています。このスタック領域のアドレス指定を行う 8 ビットレジスタがスタックポインタ (SP) です。

SP は、SFR の 106H 番地に割り当てられており、スタックメモリへの退避動作に先だってインクリメントされ、スタックメモリからの復帰動作後に、デクリメントされます。

リセット時には、SP の値は不定となりますが、システムプログラムが 80H に初期化します。SP は初期化された状態でアプリケーションが呼び出されます。

注意

スタックは、RAM バンク 0 の 80H から 0FFH (上位) に向けて消費されます。また、時計機能がスタックを最大 20 バイト利用します。したがって、アプリケーションは 108 バイトのスタックが利用できます。

PUSH 命令を実行すると SP はインクリメントされ、POP 命令を実行すると SP はデクリメントされることに注意してください。

スタックポインタ (SP)

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
SP	106H	R/W	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0
リセット時			X	X	X	X	X	X	X	X

PUSH 命令実行時は、SP をインクリメントし、オペランドで指定する SFR および RAM のデータを退避します。POP 命令実行時は、オペランドで指定する SFR および RAM ヘデータを格納した後、SP をデクリメントします。

RAM バンクを 1 に指定し PUSH、POP 命令を実行しても、RAM バンク 0 にスタックされます。また、RAM アドレスをオペランドにすると、バンク 1 ではなく、バンク 0 の RAM がアクセスされます。

CALL 命令実行時は、SP をインクリメントし、プログラムカウンタ (PC) の下位 8 ビットをスタックに退避した後、SP をインクリメントし、PC の上位 8 ビットを退避します。RET 命令実行時は、SP で指定されるデータを PC の上位 8 ビットに格納した後、SP をデクリメントし、この SP で指定されるデータを PC の下位 8 ビットに格納した後、SP をデクリメントします。

割り込み受け付け時は、SP をインクリメントし、PC の下位 8 ビットをスタックに退避した後、SP をインクリメントし、PC の上位 8 ビットを退避します。割り込み処理から戻るための RETI 命令実行時は、SP で指定されるデータを、PC の上位 8 ビットに格納した後、SP をデクリメントし、この SP で指定されるデータを PC の下位 8 ビットに格納した後、SP をデクリメントします。

3.10 テーブル参照レジスタ(TRR)

テーブル参照レジスタ(TRR)は、ROM、フラッシュメモリのアドレス指定を行う 16 ビット構成のレジスタです。下位バイト(TRL)が SFR の 104H 番地に、上位バイト(TRH)が SFR の 105H 番地に割り当てられ、リセット時に 00H に初期化されます。

テーブル参照命令(LDC)の実行時は、TRR に格納されているデータと ACC に格納されているデータを加算し、その値をアドレスとして読み出されるデータが、ACC に転送されます。

フラッシュメモリの書き込み / 読み込み(いずれも OS プログラムを利用)の実行時には、TRR に格納されているデータが指定バンク内のアドレスとして参照されます。

テーブル参照レジスタ(下位)(TRL)

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
TRL	104H	R/W	TRL7	TRL6	TRL5	TRL4	TRL3	TRL2	TRL1	TRL0
リセット時			0	0	0	0	0	0	0	0

テーブル参照レジスタ(上位)(TRH)

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
TRH	105H	R/W	TRH7	TRH6	TRH5	TRH4	TRH3	TRH2	TRH1	TRH0
リセット時			0	0	0	0	0	0	0	0

3.11 CHANGE 命令

CHANGE 命令の実行によりシステム BIOS とアプリケーションの切り換えを行ないます。システムプログラム動作時は、アプリケーションにモードが移行し、ラベルまたはアドレスにより指定されたアドレスにプログラムカウンタがセットされます。

書式

CHANGE ラベル名またはアドレス

動作

システムプログラムで CHANGE 命令が実行された場合と、アプリケーションで実行した場合では、次のように動作が異なります。なお、モードの移行は専用マクロ命令の実行後に移行されます。

(1) システムプログラムの実行中

システムプログラム アプリケーション(ゲームモード)へ移行します。

ラベルまたはアドレスで指定されたアプリケーションのアドレスにプログラムカウンタがセットされます。

(2) アプリケーションの実行中

アプリケーション(ゲームモード) システムプログラムへ移行します。

ただし、外部メモリ制御レジスタ(EXT)のビット1(LDCEXT)がセットされている場合には、CHANGE 命令を実行してもシステムプログラムへは移行されません。したがって、アプリケーションはそのまま実行されます。

ラベルまたはアドレスで指定されたシステムプログラムのアドレスにプログラムカウンタがセットされます。

プログラム例

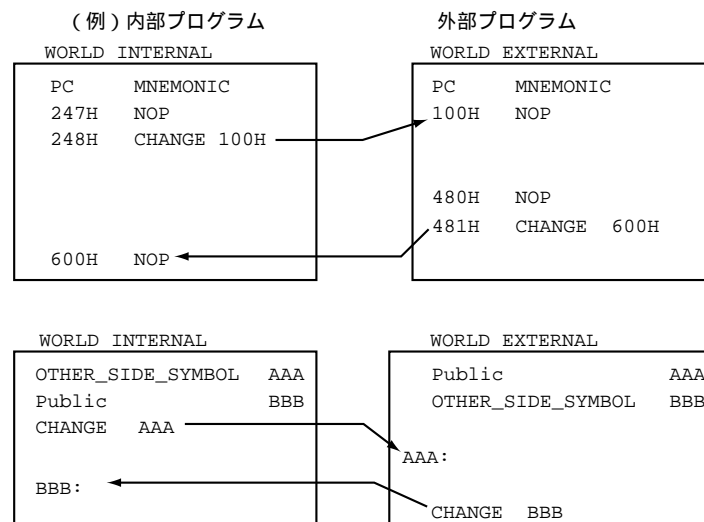


図 3-8 システムプログラム アプリケーションの遷移

第 4 章

周辺システム構成

ここでは、入出力ポートやタイマー、シリアル通信などの周辺デバイスの詳細を説明します。

4.1 入出力ポート

ビジュアルメモリ用カスタムチップは、3つの I/O ポートを持っており、それぞれメモリマップされた、特殊機能レジスタ (SFR) に割り当てられています。ポート 1 と 3 は、データディレクションレジスタ (PnDDR) により入出力方向が決定されます。ポート 1 は、シリアルインターフェイス / Katana 専用インターフェイスで利用します。また、ビジュアルメモリのボタン入力専用ポートとしてポート 7 が用意されています。

リセット後は、すべてのポートが入力モードになり、ポートラッチは '0' になります。

入出力ポートを使用するためには、次に示す特殊機能レジスタの操作が必要です。

ポート 1 (P1)	• P1	• P1DDR	• P1FCR	
ポート 3 (P3)	• P3	• P3DDR	• P3INT	• EXT
ポート 7 (P7)	• P7	(入力専用)		

注意

I/O ポートを読み出す場合、命令によってはラッチ (一時的に保持) されたデータを読み出す (図 4-1 の左図) 命令と、ポートのデータを直接読み出す (図 4-1 の右図) 命令があります。I/O ポートのポートデータを読み出す場合には、注意が必要です。次に示す命令は、ポートラッチデータを読み出します。

BPC, DBNZ, INC, DEC, SET1, CLR1, NOT1

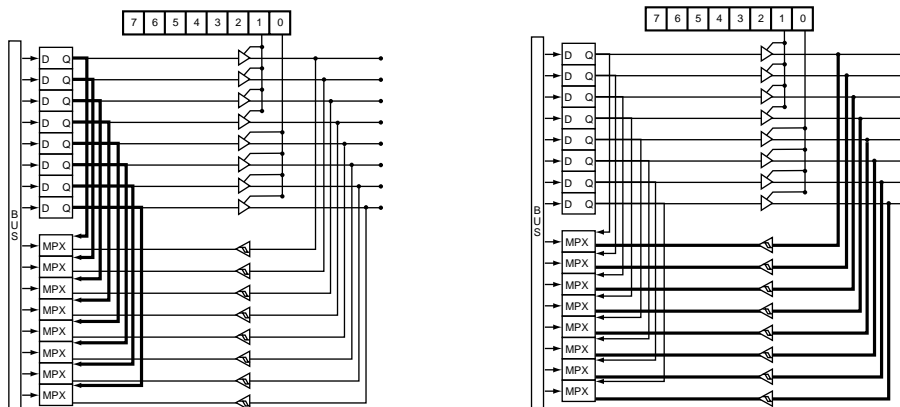


図 4-1 命令とデータ経路

4.1.1 ポート 1

ポート 1 は、ビジュアルメモリのシリアルインターフェイス用入出力として使用できます。また、Katana 専用インターフェイス用入出力としても使用されます。アプリケーションは、SIO (P10 ~ P15) のみ使用できます。このレジスタを操作する場合は、必ずビット操作命令を使ってください。SIO 出力については「4.5 シリアルインターフェイス」を参照してください。

注意

ビジュアルメモリ用アプリケーションをコーディングするにあたり、次の処理を必ず行うようにしてください。

単体 (SIO を利用しない) で動作する場合

1. ポート 7 の 5V 検出を監視する。
2. ポート 1 のビット 2 とビット 5 の値を保持する。
3. 5V が検出されたら、ポート 1 のビット 2 とビット 5 をポートデータ出力モードに変更し、それぞれのビットから ' 0 ' を出力する。
4. 保持しておいた、ポート 1 のビット 2 とビット 5 の値を設定しなおす。
これらの処理を行なわなかった場合、Katana 接続時にビジュアルメモリが正しく認識 / 接続されなくなる場合があります。

ポート 1 ラッチ (P1): 144H

ポート1	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
	P17	P16	P15	P14	P13	P12	P11	P10
ファンクション	パルス出力	TEST	SCK1	SB1	SO1	SK0	SB0	SO0

注意

ポート 1 関連のレジスタは、シリアル通信を行なう場合を除き、アプリケーションから操作しないでください。

ポート 1 データディレクションレジスタ (P1DDR): 145H

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
P1DDR	145H	W	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
リセット時			0	0	0	0	0	0	0	0

注意

ポート 1 データディレクションレジスタは、データラッチのビットごとに対応している書き込み専用レジスタです。

書き込み専用レジスタにビット操作命令や、INC , DEC 命令 , DBNZ 命令を使用すると、指定したビット以外のビットが ' 1 ' になるので注意してください。P1DDR には、次の命令を使用します。

MOV , MOV @ , ST , ST @ , POP

ビット名	機能
P17DDR (ビット7)	入力制御
	0 : 入力モード
P10DDR (ビット0)	1 : 出力モード

P1nDDR (ビット7~0): P17~P10 入出力制御

ポート1の7~0ビットをデータ入力用に使うか出力用に使うかを設定します。

1をセットすると、P1nは出力モードになります。

0にリセットすると、P1nは入力モードになります。

ポート1 機能制御レジスタ (P1FCR): 146H

シンボル	アドレス	R/W	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
PIFCR	146H	W	P17FCR	P16FCR	P15FCR	P14FCR	P13FCR	P12FCR	P11FCR	P10FCR
リセット時			0	0	0	0	0	0	0	0

注意

ポート1 機能制御レジスタは、書き込み専用レジスタです。書き込み専用レジスタにビット操作命令、INC 命令、DEC 命令、DBNZ 命令を使用すると、指定したビット以外のビットが'1'になるので注意が必要です。P1FCR には次の命令を使用します。

MOV, MOV @, ST, ST @, POP

ビット名	機能
P17FCR (ビット7)	P17制御機能
	0 : ポートデータ (P17) 出力
	1 : PWM出力
P16FCR (ビット6)	使用不可
	0 : ポートデータ (P16) 出力 固定
	1 : 使用不可
P15FCR (ビット5)	P15制御機能
	0 : ポートデータ (P15) 出力
	1 : シリアルインタフェース用データ (SCK1) 出力
P14FCR (ビット4)	P14制御機能
	0 : ポートデータ (P14) 出力
	1 : シリアルインタフェース用データ (SB1) 出力
P13FCR (ビット3)	P13制御機能
	0 : ポートデータ (P13) 出力
	1 : シリアルインタフェース用データ (SO1) 出力
P12FCR (ビット2)	P12制御機能
	0 : ポートデータ (P12) 出力
	1 : シリアルインタフェース用データ (SCK0) 出力
P11FCR (ビット1)	P11制御機能
	0 : ポートデータ (P11) 出力
	1 : シリアルインタフェース用データ (SB0) 出力
P10FCR (ビット0)	P10制御機能
	0 : ポートデータ (P10) 出力
	1 : シリアルインタフェース用データ (SO0) 出力

P17FCR (ビット7): P17 機能選択

P17 に割り当てられている PWM を制御します。

1 にセットすると、PWM 信号とポートラッチデータの論理和を出力します。

0 にリセットすると、ポートラッチデータを出力します。

P16FCR (ビット6): P16 機能選択

このビットは 0 固定です。アプリケーションからこのビットを操作しないでください。

P15FCR (ビット5): P15 機能選択

P15 に割り当てられているシリアル通信 1 用のクロックを制御します。

1 をセットすると、シリアルインターフェイス用クロック (SCK1) とポートラッチデータの論理和を出力します。

0 にリセットすると、ポートラッチデータを出力します。

P14FCR (ビット4): P14 機能選択

P14 に割り当てられているシリアル通信 1 のデータを制御します。

1 をセットすると、シリアルインターフェイス用データ (SB1) とポートラッチデータの論理和を出力します。

0 にリセットすると、ポートラッチデータを出力します。

なお、シリアルインターフェイスのデータは、つねに入力可能です。

P13FCR (ビット3): P13 機能選択

P13 に割り当てられているシリアル通信 1 のデータを制御します。

1 にセットすると、シリアルインターフェイス用データ (SO1) とポートラッチデータの論理和を出力します。

0 にリセットすると、ポートラッチデータを出力します。

P12FCR (ビット2): P12 機能選択

P12 に割り当てられているシリアル通信 0 のクロックを制御します。

1 をセットすると、シリアルインターフェイス用クロック (SCK0) とポートラッチデータの論理和を出力します。

0 にリセットすると、ポートラッチデータを出力します。

P11FCR (ビット1): P11 機能選択

P11 に割り当てられているシリアル通信 0 のデータを制御します。

1 をセットすると、シリアルインターフェイス用データ (SB0) とポートラッチデータの論理和を出力します。

なお、シリアルインターフェイスのデータは、つねに入力可能です。

P10FCR (ビット0): P10 機能選択

P10 に割り当てられているシリアル通信 1 のデータを制御します。

1 をセットすると、シリアルインターフェイス用データ (SO0) とポートラッチデータの論理和を出力します。

0 をセットすると、ポートラッチデータを出力します。

注意

- ・ポート 1 に割り当てられている機能を使用するときには、対応するポートラッチを 0 にリセットする必要があります。
たとえば、PWM を使用するときには P17FCR を 1 にセットし、P17 を 0 にリセットします。
- ・BPC , DBNZ , INC , DEC , SET1 , CLR1 , NOT1 命令では、ポートラッチデータが読み出されます。それ以外の命令では、ポートに加えられたデータが読み出されます。

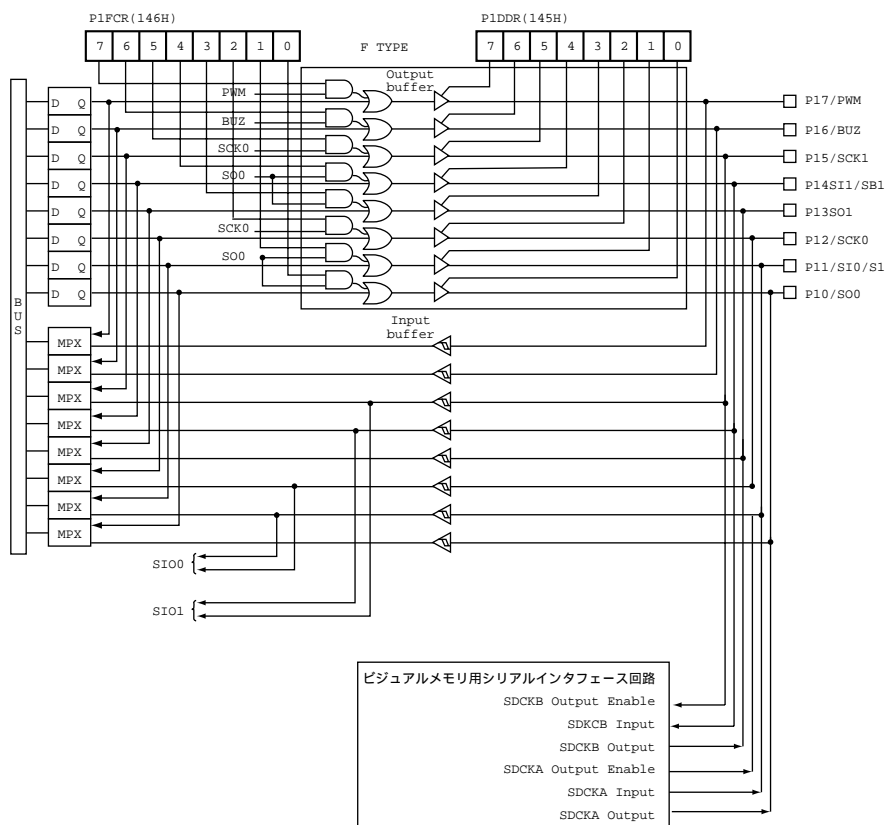


図 4-2 ポート 1 ブロック図

4.1.2 ポート 3

ポート 3 は、ビジュアルメモリの方向ボタン、A ボタン、B ボタン、MODE ボタン、SLEEP ボタンが割り当てられている、入力専用ポートです。

ポート 3 ラッチ (P3)

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
P3	14CH	R/W	P37	P36	P35	P34	P33	P32	P31	P30
ファンクション			SLEEP	MODE	ボタン B	ボタン A	RIGHT	LEFT	DOWN	UP
リセット時			0	0	0	0	0	0	0	0

ポート 3 のビット 0~7 は、プログラマブルプルアップとなっています。アプリケーションにて、検出するボタンに対応するビットを ' 1 ' にセットする必要があります。ボタンが押されると対応するビットが ' 0 ' にリセットされます。

注意

方向ボタンの同時押し回避は、アプリケーション側で行なってください。

ポート 3 データディレクションレジスタ (P3DDR): 14DH

このレジスタは、アプリケーションから操作しないでください。

ポート 3 割り込み制御レジスタ (P3INT)

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
P3INT	14EH	R/W	-	-	-	-	-	P32INT	P31INT	P30INT
リセット時			H	H	H	H	H	0	0	0

ビット名	機能
P32INT (ビット 2)	ポート 3 割り込み制御フラグ
	0 : ポート 3 による割り込み発生, HOLD モードの解除の禁止 1 : ポート 3 による割り込み発生, HOLD モードの解除の許可
P31INT (ビット 1)	ポート 3 割り込み要因フラグ
	0 : 割り込み要因なし 1 : 割り込み要因あり
P30INT (ビット 0)	ポート 3 割り込み要求許可
	0 : 割り込み要求禁止 1 : 割り込み要求許可

P32INT (ビット 2): ポート 3 割り込み発生選択フラグ

ポート 3 の変化 (ボタンが押された / 離された) で、割り込みを発生するかどうかを指定します。P30INT (ビット 0) フラグが、発生した割り込みを許可 / 禁止するのにに対し、このフラグは、割り込みそのものを発生するかないかを設定します。

- ‘ 0 ’にリセットすると、割り込みを発生しません。
- ‘ 1 ’をセットすると、割り込みが発生します。

P31INT (ビット 1): ポート 3 割り込み要因フラグ

P32INT のフラグがセットされている場合に、このフラグは意味を持ちます。ポート 3 からの割り込み要求を監視し、ポート 3 から割り込み要求が発生した場合にセット (1) され、発生しない場合変化しません。こうすることで、割り込み処理ルーチンにて、割り込みの発生源を特定できます。

注意

このフラグは、アプリケーションでリセットする必要があります。アプリケーションの割り込み処理ルーチンなどでリセットしてください。

P30INT (ビット 0): ポート 3 割り込み要求許可制御

ポート 3 からの割り込み要求を許可 (1) または禁止 (0) します。

‘ 0 ’にリセットすると、割り込みを禁止し、割り込み処理ルーチンが CALL されなくなります。

‘ 1 ’にセットすると、割り込み発生 (P31INT = 1) 時に、割り込みベクトル 004BH が CALL されます。

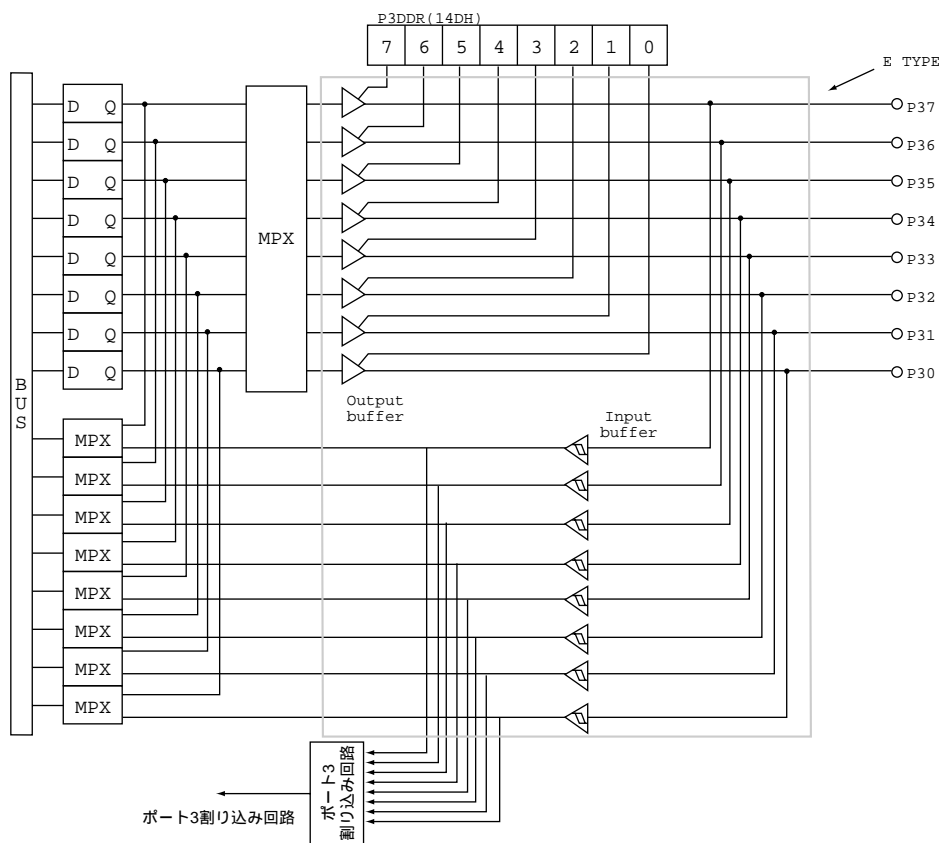


図 4-3 ポート 3 ブロック図

4.1.3 ポート 7

ポート 7 は、ビジュアルメモリの低電圧確認、Katana への接続確認用として使用する入力専用ポートです (図 4-4 参照)。

ポート 7 (P7)

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
P7	15CH	R	-	-	-	-	P73	P72	P71	P70
ファンクション			-	-	-	-	ID1	ID0	低電圧	5V 検出
リセット時			H	H	H	H	0	0	1	0

ポート 7 のビット 0 ~ ビット 3 は、プルアップされています。リセット直後は、ビット 1 が 1 にセットされ、それ以外のビットは 0 にリセットされます。

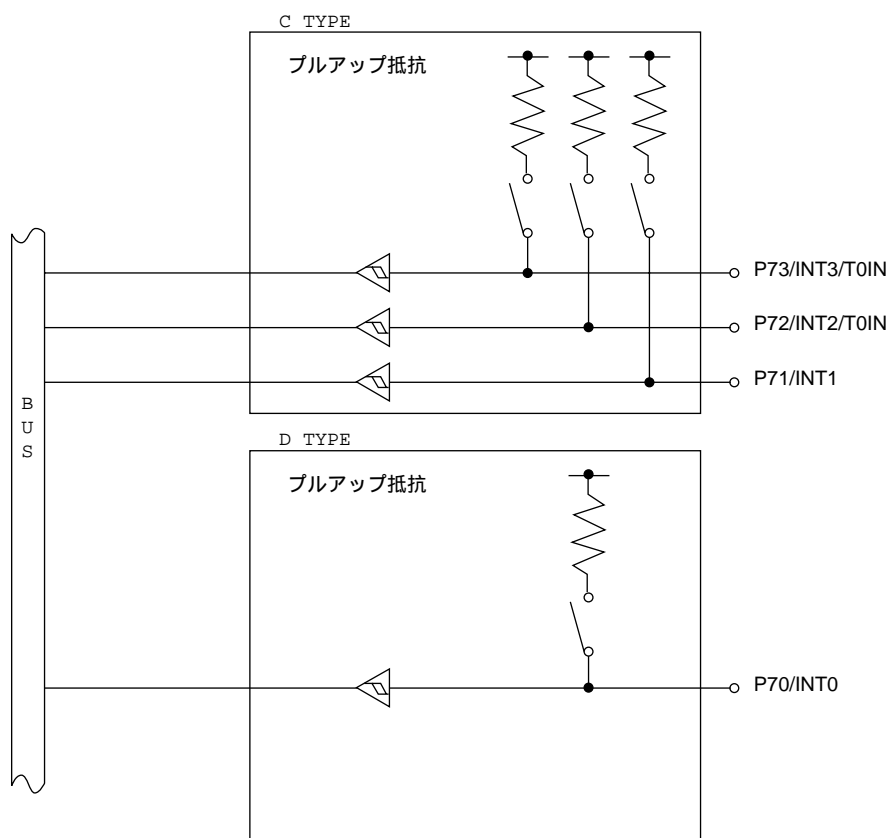


図 4-4 ポート 7 ブロック図

4.2 タイマー / カウンタ (T0)

ビジュアルメモリ用カスタムチップに内蔵しているタイマー / カウンタ 0 (T0) は、次に示す 4 つの機能を持った 16 ビットタイマー / カウンタです。また、タイマー 0 のプリスケールは、8 ビットプリスケール固定です。

タイマー / カウンタ 0 (T0) を制御するには、次に示す特殊機能レジスタを操作する必要があります。

T0H, T0HR, T0L, T0LR, T0CNT, T0PRR, ISL, I23CR

注意

ビジュアルメモリは、8 ビットプリスケール固定です。工場出荷時に、ハードウェア的に固定されていますので、10 ビットプリスケールおよび 1/4 分周回路は利用できません。

- ・モード 0: 8 ビットリロードタイマー × 2 チャンネル
- ・モード 1: 8 ビットリロードタイマー + 8 ビットリロードカウンタ
- ・モード 2: 16 ビットリロードタイマー
- ・モード 3: 16 ビットリロードカウンタ

4.2.1 機能

8 ビットリロードタイマー × 2 チャンネル (モード 0)

8 ビットプリスケールからのクロックによって、2 つの独立した 8 ビットリロードタイマー (T0H, T0L) が動作します。

8 ビットリロードタイマー + 8 ビットリロードカウンタ (モード 1)

T0H は、プリスケールからのクロックによって 8 ビットリロードタイマーとして動作します。T0L は、P72/INT2/T0IN 端子、P73/INT3/T0IN 端子からの外部入力信号を検出してカウントします。

16 ビットリロードタイマー (モード 2)

8 ビットプリスケールからのクロックによって 16 ビットリロードタイマー (T0H + T0L) が動作します。

16 ビットリロードカウンタ (モード 3)

T0L のオーバーフローを T0H のクロックとして使用し、16 ビットリロードカウンタとして動作します。T0L は、P72/INT2/T0IN 端子、P73/INT3/T0IN 端子からの外部入力信号をカウントします。

割り込みの発生

割り込み要求許可ビットがセットされている場合、レジスタ T0H または T0L のオーバーフローによって、T0H または T0L 割り込み要求が発生します。

4.2.2 回路構成

タイマー / カウンタ 0 (T0) は、図 3-2 - 1 のように構成されています。

プリスケアラ ①

プリスケアラは、8 ビットのプログラマブルカウンタです。

システムが動作している間、常にカウントが行なわれます。プリスケアラの値を変更すると 1/4 分周回路に ' 00 ' が設定され (10 ビットプリスケアラの場合)、変更したデータからカウントを始めます。

サイクルクロックは、命令実行時または HALT モード時に 1 サイクルごとに発生する信号です。

注意

ビジュアルメモリは、8 ビットプリスケアラ固定となっています。したがって、10 ビットプリスケアラおよび 1/4 分周回路は利用できません。

タイマー / カウンタ 0 下位 (T0L) ②

プリスケアラ出力、または外部端子の信号 (他のビジュアルメモリ) をクロックとする 8 ビットリロードタイマー / カウンタです。

モード 0 , 1 では T0L のオーバーフローで、モード 2 , 3 では T0H のオーバーフローで、T0LR (リロードレジスタ) の内容がそれぞれのカウンタにリロードされます。また、T0LRUN (T0CNT のビット 6) をリセットしてカウントを中止させた場合にもリロードされます。

タイマー / カウンタ 0 上位 (T0H) ③

プリスケアラ出力、または T0L のオーバーフローをクロックとする 8 ビットリロードタイマーです。

T0H のオーバーフローでタイマー 0 の上位リロードレジスタ (T0HR) から内容がリロードされます。T0HRUN (T0CNT のビット 7) をリセットしてカウントを中止させた場合にもリロードされます。

タイマー / カウンタ 0 制御レジスタ (T0CNT) ④

T0 のモード 0 ~ 3 設定や割り込み制御を行います。

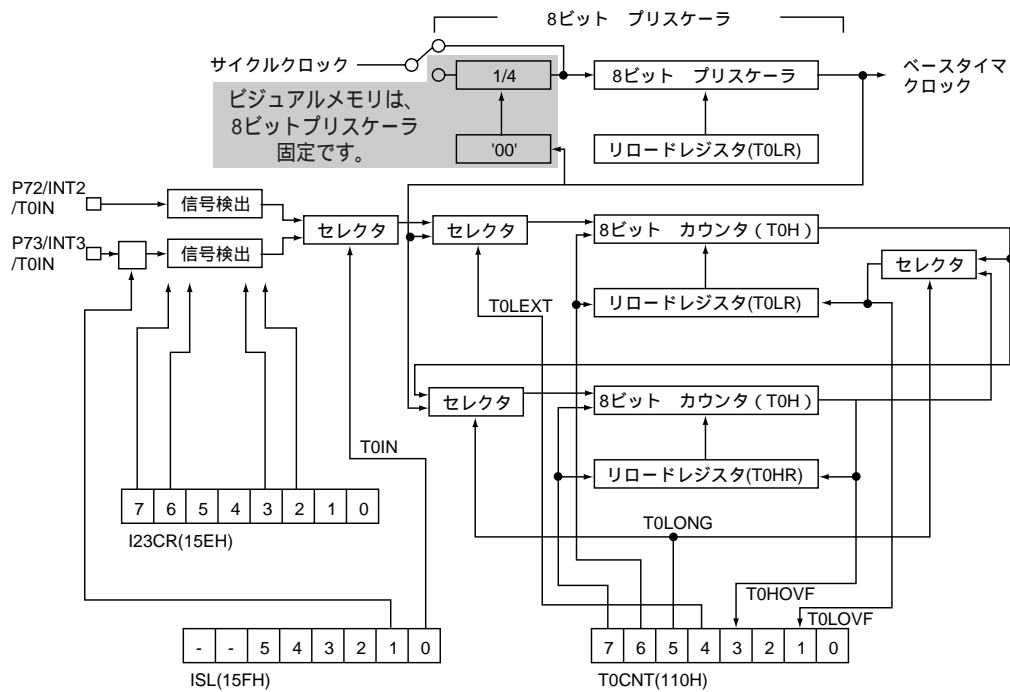


図 4-5 タイマー / カウンタ 0 ブロック図

4.2.3 関連レジスタ

タイマー / カウンタ 0 制御レジスタ (T0CNT)

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
T0CNT	14EH	R/W	T0HRUN	T0LRUN	T0LONG	T0LEXT	T0HOVF	T0HIE	T0LOVF	T0LIE
リセット時			0	0	0	0	0	0	0	0

ビット名	機能
P0HRUN (ビット 7)	T0H カウント制御
	0 : カウントストップ/データリロード 1 : カウントスタート
P0LRUN (ビット 6)	T0L カウント制御
	0 : カウントストップ/データリロード 1 : カウントスタート
P0LONG (ビット 5)	タイマー/カウンタ0ビット長選択
	0 : 8ビット 1 : 16ビット
P0LEXT (ビット 4)	T0L 入力クロック選択
	0 : プリスケアラ出力 1 : 外部端子入力信号 外部端子の場合、入力信号選択レジスタ (ISL) で端子を指定
P0HOVF (ビット 3)	T0H オーバーフローフラグ
	0 : オーバーフローフラグなし 1 : オーバーフローフラグあり
T0HIE (ビット 2)	T0H 割り込み要求許可
	0 : 割り込み要求禁止 1 : 割り込み要求許可
T0LOVF (ビット 1)	T0L オーバーフローフラグ
	0 : オーバーフローフラグなし 1 : オーバーフローフラグあり
T0LIE (ビット 0)	T0L 割り込み要求許可
	0 : 割り込み要求禁止 1 : 割り込み要求許可

T0HRUN (ビット 7): T0H カウント制御

タイマー / カウンタ 0 の上位 (T0H) に対して、カウントアップのスタート / ストップを制御します。カウントをスタートさせる場合は 1 をセットすることで、T0H へのクロック供給がはじまります。カウントをストップさせる場合は、0 にリセットすることで、クロックの供給が停止されると同時に、リロードデータ (T0HR) が T0H に転送されます。

T0LRUN (ビット 6): T0L カウント制御

タイマー / カウンタ 0 の下位 (T0L) に対して、カウントアップのスタート / ストップを制御します。カウントをスタートさせる場合は 1 をセットすることで、T0L へのクロック供給がはじまります。カウントをストップさせる場合は 0 にリセットすることで、クロックの供給が停止されると同時に、リロードデータ (T0LR) が T0L に転送されます。

T0LONG (ビット 5): タイマー / カウンタ 0 ビット長選択

T0 のビット長を指定します。16 ビットカウンタにする場合は 1 を、8 ビットカウンタにする場合は 0 を指定します。

モード 0 または 1 で使用する場合は '0' を、モード 2 または 3 で使用する場合は '1' を指定します。

モード	T0LONG	T0LEXT
0	0	0
1	0	1
2	1	0
3	1	1

T0LEXT (ビット 4): T0L 入力クロック選択

T0L へ共有するクロックを指定します。クロックは、外部端子入力信号 (他のビジュアルメモリを接続した場合) とプリスケアラからの出力のどちらかを選べます。

1 をセットすると外部端子入力信号が供給され、0 にリセットするとプリスケアラ出力が供給されます。

外部端子信号 (1) の場合、ポート P72 (INT2/T0IN 端子) か P73 (INT3/T0IN 端子) のどちらかを信号を T0L のクロックとして供給できます。P72 と P73 の切り替えは、入力信号選択レジスタ (ISL) によって行ないます。

T0HOVF (ビット 3): T0H オーバーフローフラグ

T0H のオーバーフローが発生した場合にセットされ、発生しない場合変化しません。

このフラグは、アプリケーションの T0H の割り込み処理ルーチンなどでリセットする必要があります。

T0HIE (ビット 2): T0H 割り込み要求許可制御

T0H のオーバーフローによる割り込み要求を許可または禁止します。

'1' をセットすると、T0H のオーバーフローによって割り込みベクトル 0023H が CALL されます。'0' にリセットすると、割り込み要求は発生しません。

T0LOVF (ビット 1): T0L オーバーフローフラグ

T0L のオーバーフローが発生した場合にセットされ、発生しない場合変化しません。

このフラグは、アプリケーションの T0L の割り込み処理ルーチンなどでリセットする必要があります。

16 ビットカウンタとして利用している場合は、T0L でオーバーフローが発生してもこのフラグはセットされません。T0H でオーバーフローが発生した場合に T0HOVF と同時にセッ

トされます。

TOLIE (ビット0): TOL 割り込み要求許可制御

TOL のオーバーフローによる割り込み要求を許可または禁止します。

‘1’をセットすると、TOL のオーバーフローによって割り込みベクトル 0013H が CALL されます。‘0’にリセットすると、割り込み要求は発生しません。

注意

- ・オーバーフローフラグ (T0HOVF、T0LOVF) は、アプリケーションのそれぞれの割り込み処理ルーチンにおいて‘0’にリセットしてください。
- ・16 ビットカウンタとして使用する場合は、T0HRUN と T0LRUN を同時に‘1’にセットしてください。
- ・16 ビットカウンタとして使用している場合は、T0HOVF と T0LOVF が同時に‘1’にセットされます。

入力信号選択レジスタ (ISL)

このレジスタでは、P73 (INT3/T0IN 端子) に接続されているノイズ除去フィルタの時定数選択、外部信号入力端子の選択に使用します。

注意

このレジスタは、アプリケーションから操作しないでください。

シンボル	アドレス	R/W	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
ISL	15FH	R/W	-	-	ISL5	ISL4	ISL3	ISL2	ISL1	ISL0
リセット時			H	H	0	0	0	0	0	0

ビット名	機能		
ISL5 (ビット5) ISL4 (ビット4)	ベースタイムクロック選択		
	ISL5	ISL4	
	1	1	タイマー/カウンタT0プリスケアラ
	0	1	サイクルクロック
ISL3 (ビット3)	X	0	サブクロック (水晶発振)
	使用不可		
	0: fBST/16 固定		
	1: 使用不可		
ISL2 (ビット2) ISL1 (ビット1)	ノイズ除去フィルタ時定数選択		
	ISL2	ISL1	
	1	1	16Tcyc
	0	1	64Tcyc
ISL0 (ビット0)	X	0	1Tcyc
	T0のクロック入力端子選択		
	0: P72/INT2/T0IN端子		
	1: P73/INT3/T0IN端子		

ISL5 ~ 4 (ビット 5 ~ 4): ベースタイマークロック選択

ベースタイマーの入力クロックを選択します。

ISL5	ISL4	ベースタイマーの入力クロック
0	0	サブクロック (水晶発振) 固定

ISL3 (ビット 3): 使用不可

このビットは使用不可能です。

ISL2 ~ 1 (ビット 2 ~ 1): ノイズ除去フィルタ時定数選択

ノイズ除去フィルタの時定数を選択します。

ISL2	ISL1	時定数
0	0	1Tcyc

次の表は、各時定数の信号、ノイズの範囲を示したものです。

時定数	ノイズ ^{*1}	ノイズ / 信号 ^{*2}	信号 ^{*3}
1Tcyc	< 1Tcyc	1Tcyc - 2Tcyc	2Tcyc <

注意

- ・記述されている時定数に満たない信号はノイズと判断され取り込まれません。
- ・記述されている時定数の範囲内にある信号はノイズと判断され取り込まれないことがあります。
- ・記述されている時定数を越える信号は「信号」として取り込まれます。

ISL0 (ビット 0): T0 のクロック入力端子選択

T0 の外部信号入力端子、P73 (INT3/T0IN 端子) または P72 (INT2/T0IN 端子) を選択します。

‘ 0 ’ にリセットすると P72 (INT2/T0IN 端子) が T0 のクロックとして供給されます。

‘ 1 ’ をセットすると P73 (INT3/T0IN 端子) が T0 のクロックとして供給されます。

タイマー 0 プリスケアラデータレジスタ (T0PRR)

タイマー 0 プリスケアラデータレジスタは、タイマー / カウンタ 0 のクロック周期の設定を行います。8 ビットのプログラマブルカウンタにより、256 とおりの設定が可能です。

8 ビットプリスケアラはサイクルクロックそのものがクロックとして入力されます。T0PRR (111H) に任意のデータを設定することによって、タイマー / カウンタ 0 のクロック周期 TPR を設定できます。

$$8 \text{ ビットプリスケアラ} : \text{TPR} = 1 \times \text{Tcyc} \times (256 - [\text{T0PRR}]) \quad (10 \text{ 進})$$

Tcyc: サイクルクロックの周期

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
T0PRR	111H	R/W	T0PRR7	T0PRR6	T0PRR5	T0PRR4	T0PRR3	T0PRR2	T0PRR1	T0PRR0
リセット時			0	0	0	0	0	0	0	0

タイマー 0 下位レジスタ (T0L)

8 ビットのタイマー / カウンタです。

プリスケアラからの出力もしくは、P72 (INT2/T0IN 端子) または P73 (INT3/T0IN 端子) の外部信号をクロックとして入力するかを選択できます。

クロックによりカウントアップし、オーバーフローするとオーバーフローフラグがセットされ割り込みが発生します。

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
T0L	112H	R	T0L7	T0L6	T0L5	T0L4	T0L3	T0L2	T0L1	T0L0
リセット時			0	0	0	0	0	0	0	0

タイマー 0 下位リロードレジスタ (T0LR)

タイマー / カウンタ 0 の下位 (T0L) にリロードされるデータをセットします。

8 ビットで使用しているときは、このリロードレジスタの内容が T0L にリロードされます。

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
T0LR	113H	R/W	T0LR7	T0LR6	T0LR5	T0LR4	T0LR3	T0LR2	T0LR1	T0LR0
リセット時			0	0	0	0	0	0	0	0

タイマー 0 上位レジスタ (T0H)

8 ビットのタイマー / カウンタです。

プリスケアラからの出力もしくは、T0L のオーバーフロー (T0LOVF) により、カウントアップされます。

オーバーフローするとオーバーフローフラグ (T0HOVF) がセットされ割り込みが発生します。

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
T0H	114H	R	T0H7	T0H6	T0H5	T0H4	T0H3	T0H2	T0H1	T0H0
リセット時			0	0	0	0	0	0	0	0

タイマー 0 上位リロードレジスタ (T0HR)

タイマー / カウンタ 0 の上位 (T0L) にリロードされるデータをセットします。

T0H のオーバーフローおよび、カウントをストップした (T0HRUN = 0) ときに、このレジスタの内容が T0H にリロードされます。

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
T0HR	115H	R/W	T0HR 7	T0HR6	T0HR5	T0HR4	T0HR3	T0HR2	T0HR1	T0HR0
リセット時			0	0	0	0	0	0	0	0

外部割り込み 2、3 制御レジスタ (I23CR)

外部入力信号の検出、割り込みを設定します。

ISL0	I23CR7	I23CR6	I23CR3	I23CR2	外部信号カウント条件
1	0	1	-	-	P73/INT3/T0IN 端子 立ち下がり カウント
1	1	0	-	-	P73/INT3/T0IN 端子 立ち上がり カウント
1	1	1	-	-	P73/INT3/T0IN 端子 両エッジ カウント
0	-	-	0	1	P72/INT2/T0IN 端子 立ち下がり カウント
0	-	-	1	0	P72/INT2/T0IN 端子 立ち上がり カウント
0	-	-	1	1	P72/INT2/T0IN 端子 両エッジ カウント
-	0	0	0	0	カウントしない

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
I23CR	15EH	R/W	I23CR7	I23CR6	I23CR5	I23CR4	I23CR3	I23CR2	I23CR1	I23CR0
リセット時			0	0	0	0	0	0	0	0

入力信号選択レジスタの ISL0 フラグと組み合わせて、カウントの条件を指定します。組み合わせは、次の表のとおりです。

ビット名	機能
I23CR7 (ビット7)	INT3立ち上がりエッジ検出制御
	0: 検出しない 1: 検出する
I23CR6 (ビット6)	INT3立ち下がりエッジ検出制御
	0: 検出しない 1: 検出する
I23CR5 (ビット5)	INT3割り込み要因
	0: 割り込み要因なし 1: 割り込み要因あり
I23CR4 (ビット4)	INT3割り込み要求許可制御
	0: 割り込み要求禁止 1: 割り込み要求許可
I23CR3 (ビット3)	INT2立ち上がりエッジ検出制御
	0: 検出しない 1: 検出する
I23CR2 (ビット2)	INT2立ち下がりエッジ検出制御
	0: 検出しない 1: 検出する
I23CR1 (ビット1)	INT2割り込み要因
	0: 割り込み要因なし 1: 割り込み要因あり
I23CR0 (ビット0)	INT2割り込み要求許可制御
	0: 割り込み要求禁止 1: 割り込み要求許可

I23CR7 (ビット7): INT3 立ち上がりエッジ検出制御

P73 (INT3/T0IN 端子) の割り込み信号で、立ち上がりエッジ割り込みを検出するかどうかを指定します。

‘1’ をセットすると、P73 からの割り込み信号 INT3 の立ち上がりエッジ割り込みを検出します。INT3 の割り込みが発生すると、I23CR5 が 1 にセットされ、割り込み要求が許可 (I23CR4 = 1) されていれば、割り込みベクトルで指定された、割り込み処理ルーチンが CALL されます。

‘0’ にリセットすると、割り込み信号の立ち上がりエッジを検出しません。

I23CR6 (ビット6): INT3 立ち下がりエッジ検出制御

P73 (INT3/T0IN 端子) の割り込み信号で、立ち下がりエッジ割り込みを検出するかどうかを指定します。

‘1’ をセットすると、P73 からの割り込み信号 INT3 の立ち下がりエッジ割り込みを検出します。INT3 の割り込みが発生すると、I23CR5 が 1 にセットされ、割り込み要求が許可 (I23CR4 = 1) されていれば、割り込みベクトルで指定された、割り込み処理ルーチンが CALL されます。

‘0’ にリセットすると、割り込み信号の立ち下がりエッジを検出しません。

I23CR5 (ビット 5): INT3 割り込み要因

P73 (INT3/T0IN 端子) のエッジ割り込みを検出した場合、このフラグがセットされます。
このフラグは、アプリケーションの割り込み処理ルーチンでフラグをリセットしてください。

I23CR4 (ビット 4): INT3 割り込み要求許可

INT3 割り込みを許可または禁止します。

‘ 1 ’ をセットすると、I23CR5 フラグがセットされたときに INT3 の割り込みベクトルが CALL されます。

‘ 0 ’ にリセットすると、割り込みが発生しても割り込み処理ルーチンへの CALL は行われません。

I23CR3 (ビット 3): INT2 立ち上がりエッジ検出制御

P72 (INT2/T0IN 端子) の割り込み信号で、立ち上がりエッジ割り込みを検出するかどうかを指定します。

‘ 1 ’ をセットすると、P72 からの割り込み信号 INT2 の立ち上がりエッジ割り込みを検出します。INT2 の割り込みが発生すると、I23CR1 が 1 にセットされ、割り込み要求が許可 (I23CR4 = 0) されていれば、割り込みベクトルが CALL されます。

I23CR2 (ビット 2): INT2 立ち下がりエッジ検出制御

P72 (INT2/T0IN 端子) の割り込み信号で、立ち下がりエッジ割り込みを検出するかどうかを指定します。

‘ 1 ’ をセットすると、P72 からの割り込み信号 INT2 の立ち下がりエッジ割り込みを検出します。INT2 の割り込みが発生すると、I23CR1 が 1 にセットされ、割り込み要求が許可 (I23CR4 = 0) されていれば、割り込みベクトルが CALL されます。

I23CR1 (ビット 1): INT2 割り込み要因

P72 (INT2/T0IN 端子) のエッジ割り込みを検出した場合、このフラグがセットされます。
このフラグは、アプリケーションの割り込み処理ルーチンでフラグをリセットしてください。

I23CR0 (ビット 0): INT2 割り込み要求許可制御

INT2 割り込みを許可または禁止します。

‘ 1 ’ をセットすると、I23CR1 フラグがセットされたときに INT2 の割り込みベクトルが CALL されます。

‘ 0 ’ にリセットすると、割り込みが発生しても割り込み処理ルーチンへの CALL は行われません。

注意

- I23CR7, 6 または I23CR3, 2 がともに ‘ 0 ’ の場合には、エッジ検出をしません。また、ともに ‘ 1 ’ の場合には両エッジを検出します。
- P73 (INT3/T0IN 端子) からの入力には、ノイズ除去フィルタが接続されています。

4.2.4 回路構成と動作説明

タイマー 0 のモード設定

モード	T0LONG	T0LEXT
0	0	0
1	0	1
2	1	0
3	1	1

モード 0 : 8 ビットリロードタイマー× 2 チャンネル

モード 0 の場合、タイマー 0 は 2 チャンネルの 8 ビットリロードタイマーとして機能します。タイマー値とリロードレジスタ (T0LR) 設定値の関係は、次のようになっています。

$$\begin{aligned} \text{T0HOVF がセット(1)されるまでの時間(10 進)} &= (256 - \text{T0HR 設定値}) \times \text{TPR} \\ \text{T0LOVF がセット(1)されるまでの時間(10 進)} &= (256 - \text{T0LR 設定値}) \times \text{TPR} \end{aligned}$$

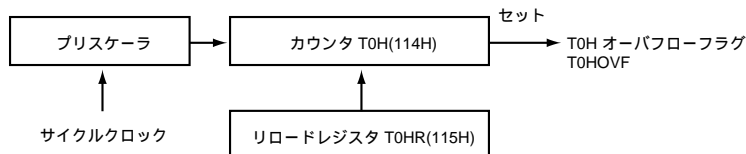
TPR : プリスケーラからのクロックの周期

カウント制御ビット (T0HRUN , T0LRUN) をセットすると、カウントを開始します。リセットすると、カウントを停止し、リロードレジスタ (T0HR , T0LR) の内容がカウンタ (T0H , T0L) に転送されます。

タイマー / カウンタ 0 (T0H , T0L) がオーバーフローすると、オーバーフローフラグ (T0HOVF , T0LOVF) がセットされ、リロードレジスタ (T0HR , T0LR) の内容がカウンタ (T0H , T0L) に転送されます。

また、オーバーフローフラグ (T0HOVF , T0LOVF) と、割り込み要求許可フラグ (T0HIE , T0LIE) が、ともにセットされていれば、割り込み制御回路に割り込み要求を知らせます。

・ T0H



・ T0L

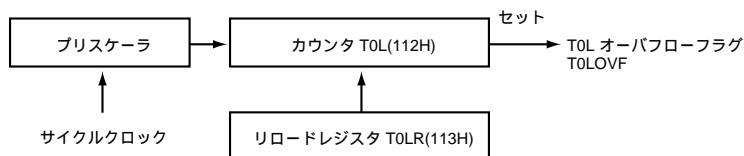


図 4-6 モード 0 : 8 ビットリロードタイマー× 2 チャンネルの回路構成

モード 0 のプログラム例

・モード0のプログラム例

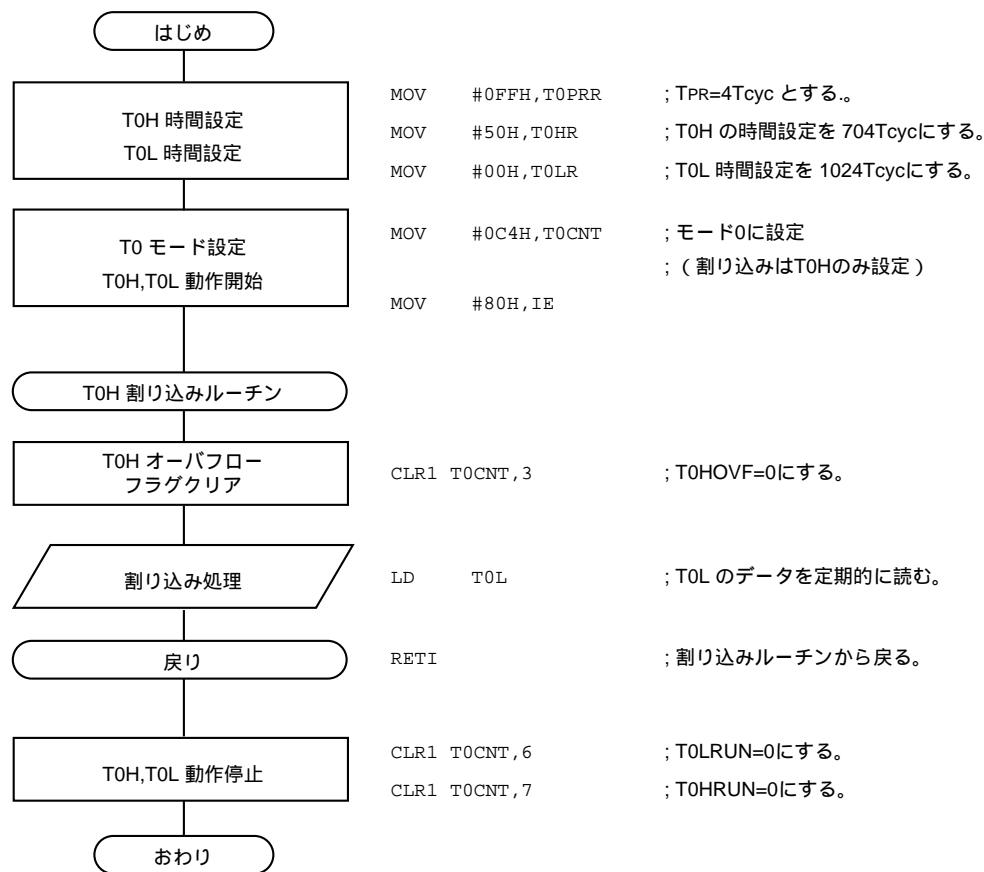


図 4-7 フローチャートとプログラム

モード 1 : 8 ビットリロードタイマー + 8 ビットリロードカウンタ

8 ビットリロードタイマー

タイマー 0 の上位 8 ビット (T0H) は、8 ビットリロードタイマーとして動作します。タイマー値とリロードレジスタ (T0HR) 設定値の関係は、次のようになります。

$$\text{T0HOVF がセット (1) されるまでの時間 (10 進)} = (256 - \text{T0HR 設定値}) \times \text{TPR}$$

TPR : プリスケアラからのクロックの周期

T0HOVF がセットされるごとに、リロードレジスタの値がカウンタ T0H に転送されます。

また、T0H カウント制御ビット (T0HRUN) をリセットするまでタイマー動作を続けます。操作方法は、モード 0 と同じです。

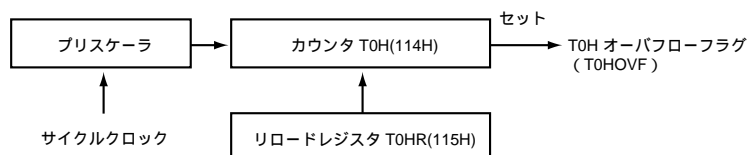


図 4-8 モード 1 : 8 ビットリロードタイマー (T0H) ブロック図

8 ビットリロードカウンタ

タイマー 0 の下位 8 ビット (TOL) は、外部端子から入力される信号をカウントアップします。

外部信号は、ノイズ除去フィルタによってフィルタリングされます。詳細は「4.2 タイマー / カウンタ 0 (T0)」の「入力信号選択レジスタ (ISL)」を参照してください。

計数値とリロードレジスタ (TOLR) 設定値の関係は、次のようになります。

$$\text{T0LOVF が 'セット (1)' されるまでの計数値 (10 進)} = 256 - (\text{T0LR 設定値})$$

T0L オーバーフローフラグ (T0LOVF) がセットされると、リロードレジスタ (T0LR) の値がカウンタ (T0L) に転送されます。また、T0L カウント制御ビット (T0LRUN) をリセットするまでタイマー動作を継続します。

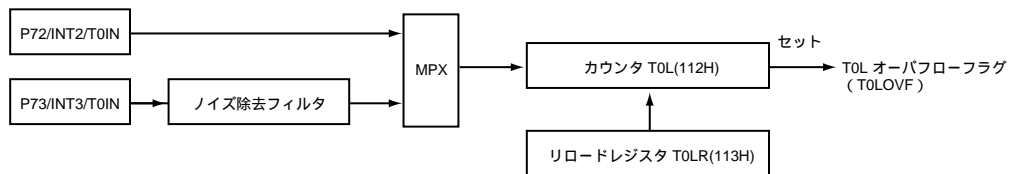


図 4-9 モード 1 : 8 ビットリロードカウンタ (TOL) ブロック図

モード 1 のプログラム例

・モード 1 のプログラム例

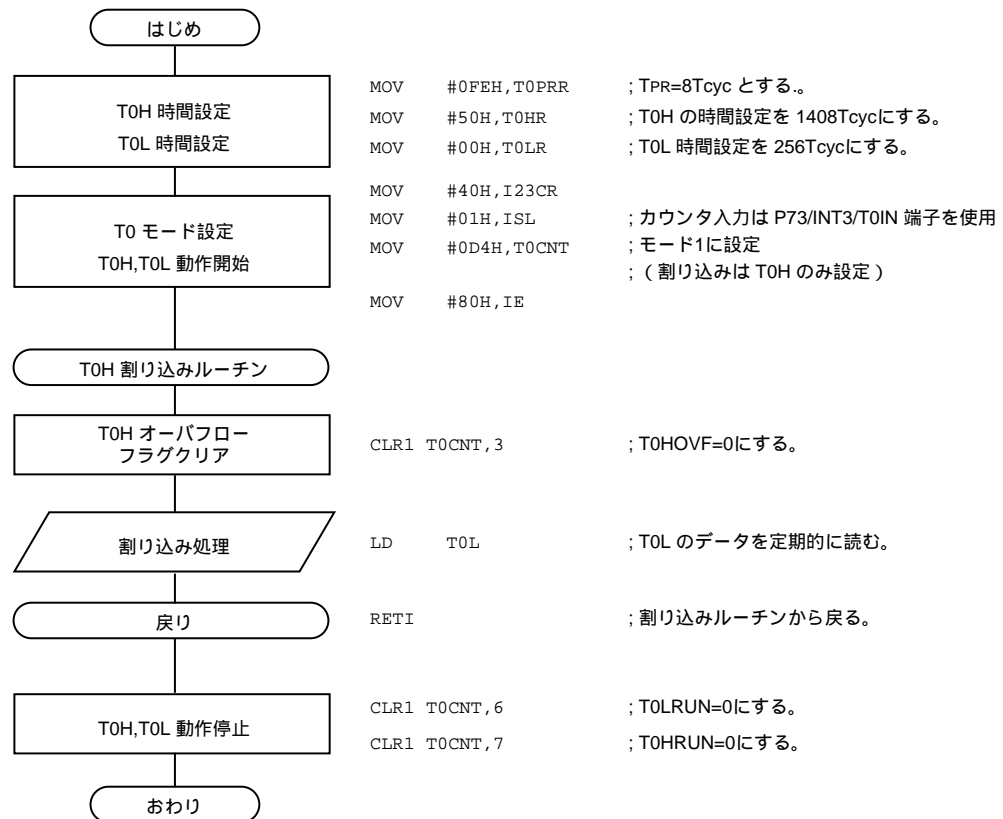


図 4-10 フローチャートとプログラム

モード 2 : 16 ビットリロードタイマー

モード 2 は、T0H と T0L をシリーズに接続し、16 ビットのタイマーとして使用します。

タイマーをスタートさせる場合は、T0H と T0L のカウント制御ビット(T0HRUN , T0LRUN) を同時にセットします。

タイマー値とリロードレジスタ(T0HR , T0LR) 設定値の関係は、次のようになります。

$$\begin{aligned} & \text{T0HOVF がセット(1) されるまでの時間(10 進)} \\ & = (65536 - 256 \times (\text{T0HR 設定値}) - (\text{T0LR 設定値})) \times \text{TPR} \end{aligned}$$

TPR : プリスケアラからのクロックの周期

T0LOVF と T0HOVF は同時にセットされ、T0HOVF が発生するごとにリロードレジスタ(T0LR , T0HR) の値が、T0L , T0H に同時に転送されます。カウント制御ビットをリセットするまでタイマー動作を継続します。操作方法は、モード 0 と同じです。

タイマー 0(T0) のデータを読み出す場合は、次の手順で読み出してください。

```

T0L  LD    T0L          ; T0L のデータ( 1 )を読みます。
      ST    020H
T0H  LD    T0H          ; T0H のデータを読みます。
      ST    021H
T0L  LD    T0L          ; もう一度 T0L( 2 ) のデータを読みます。
      BP    T0L,7,DES    ; T0L( 2 ) のビット 7 が ' 0 ' で、
      BN    020H,7,DES    ; T0L( 1 ) のビット 7 が ' 1 ' であるときは
      ST    020H
T0H  LD    T0H          ; T0H( 2 ) を読みます。
      ST    021H
DES:  - next program

```

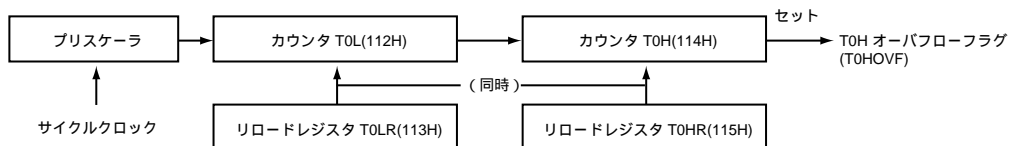


図 4-11 モード 2 : 16 ビットリロードタイマーブロック図

モード 2 のプログラム例

・モード2のプログラム例

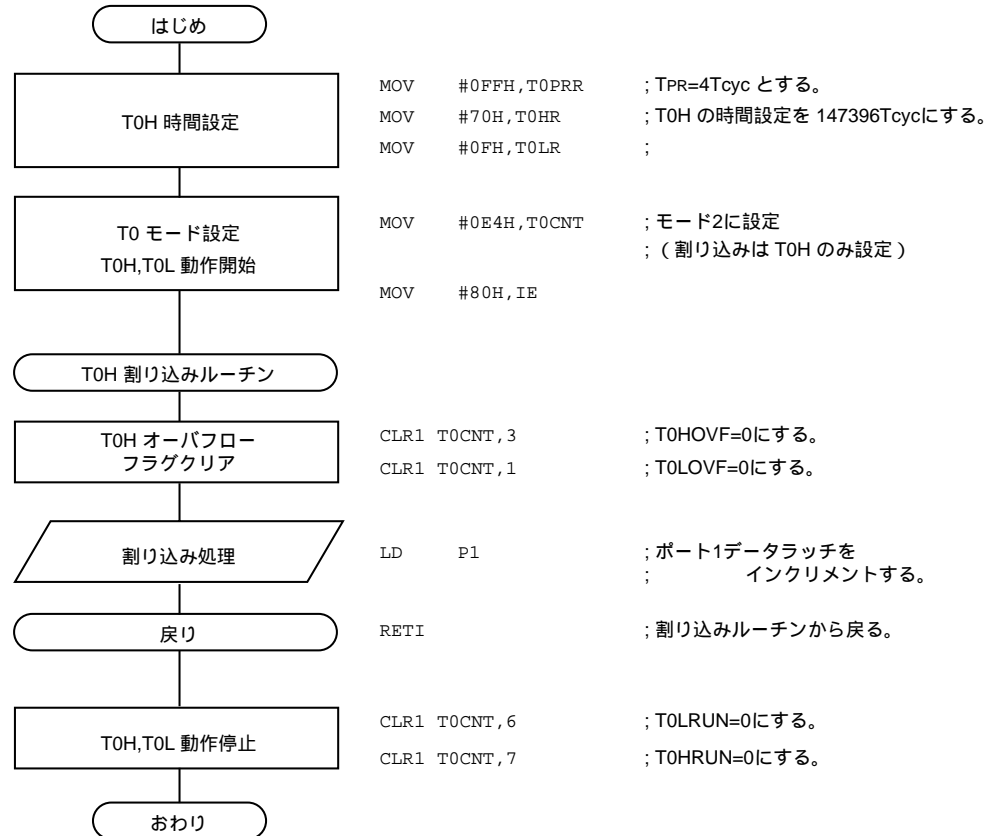


図 4-12 フローチャートとプログラム

モード 3 : 16 ビットリロードカウンタ

モード 3 は、T0H と T0L をカスケードに接続して 16 ビットのカウンタとして使用します。クロックは P72 (INT2/T0IN 端子) または P73 (INT3/T0IN 端子) から入力される外部信号です。外部入力端子の選択は、SFR の ISL レジスタで行います。なお P73 (INT3/T0IN 端子) にはノイズ除去フィルタが接続されています。

カウンタをスタートさせる場合は、T0H と T0L のカウンタ制御ビット (T0HRUN , T0LRUN) を同時にセットします。

計数値とリロードレジスタ (T0HR , T0LR) 設定値の関係は、次のようになります。

$\begin{aligned} & \text{T0HOVF がセット (1) されるまでの計数値} \\ & = 65536 - 256 \times (\text{T0HR 設定値}) - (\text{T0LR 設定値}) \end{aligned}$
--

T0LOVF と T0HOVF は同時にセットされ、T0HOVF が発生するごとにリロードデータ (T0LR , T0HR) が T0L , T0H に同時に転送されます。カウント制御ビットをリセットするまでカウントを継続します。操作方法は、モード 0 と同じです。

タイマー 0 (T0) のデータを読み出す場合は、次の手順で読み出してください。

```

T0L    LD      T0L      ; T0L のデータ ( 1 ) を読みます。
        ST      020H
T0H    LD      T0H      ; T0H のデータを読みます。
  
```

```

      ST      021H
T0L  LD      T0L      ; もう一度T0L( 2 )のデータを読みます。
      BP      T0L,7,DES ; T0L( 2 )のビット7が‘ 0 ’で、
      BN      020H,7,DES ; T0L( 1 )のビット7が‘ 1 ’であるときは
      ST      020H
T0H  LD      T0H      ; T0H( 2 )を読みます。
      ST      021H
DES:  - next program

```

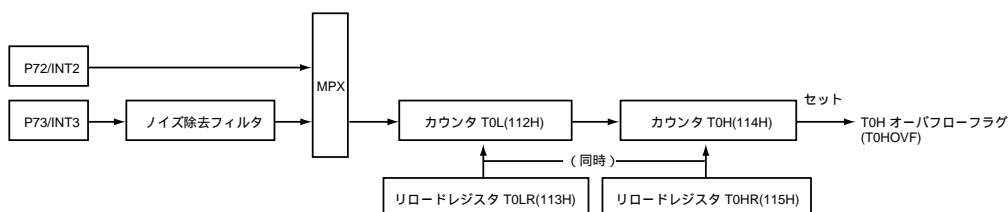


図 4-13 モード 3 : 16 ビットリロードカウンタブロック図

モード 3 のプログラム例

・モード3のプログラム例

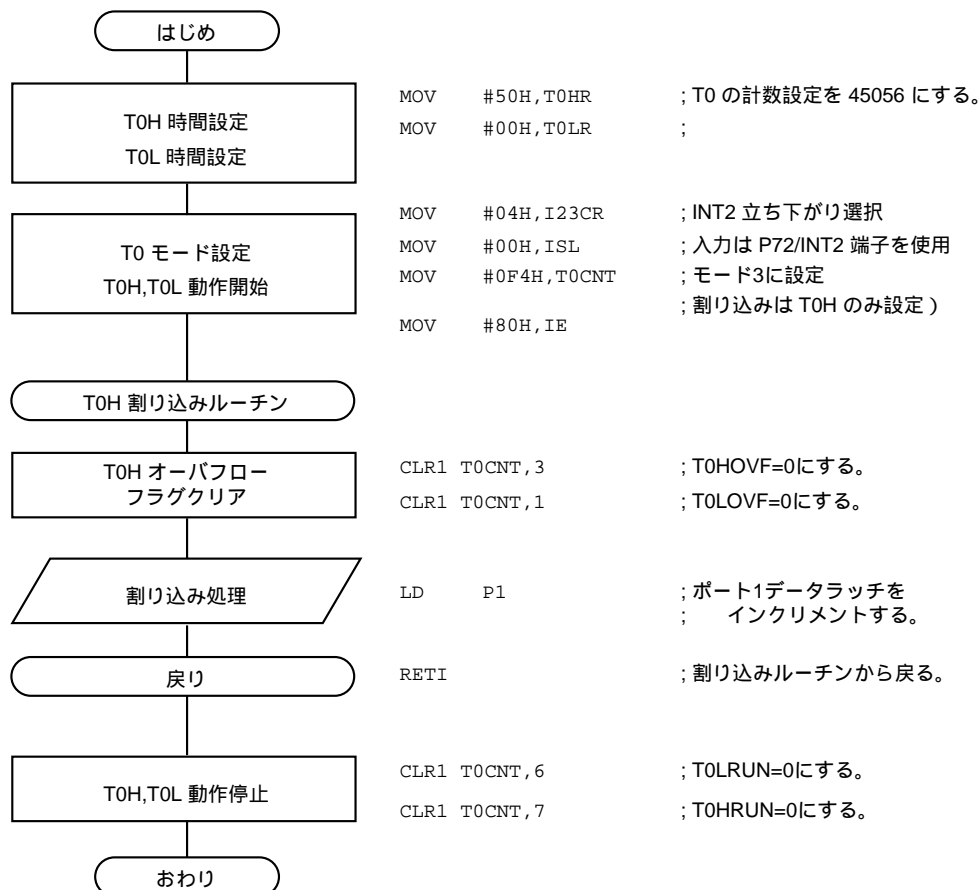


図 4-14 フローチャートとプログラム

4.3 タイマー 1(T1)

ビジュアルメモリ用カスタムチップが内蔵しているタイマー 1(T1)は、次に示す 4 つの機能を持った 16 ビットタイマーです。

- ・モード 0: 8 ビットリロードタイマー × 2 チャンネル
- ・モード 1: 8 ビットリロードタイマー + 8 ビットパルスジェネレータ
- ・モード 2: 16 ビットリロードタイマー
- ・モード 3: ビット長可変パルスジェネレータ (9 ~ 16 ビット)

4.3.1 機能

8 ビットリロードタイマー × 2 チャンネル (モード 0)

サイクルクロックをクロックとしたタイマーです。2 つの独立した 8 ビットリロードタイマー (T1H , T1L) として動作します。

8 ビットリロードタイマー + 8 ビットパルスジェネレータ (モード 1)

T1H は、サイクルクロックによって 8 ビットリロードタイマーとして動作します。T1L は 8 ビットパルスジェネレータとして動作します。パルス信号は、P17 / パルス信号出力端子から出力されます。

16 ビットリロードタイマー (モード 2)

T1L のオーバーフローを T1H のクロックとして使用し、16 ビットリロードタイマーとして動作します。T1L の入力クロックはサイクルクロックです。T1L のオーバーフローが発生するたびに、T1LR , T1HR のリロードデータが T1L , T1H にリロードされます。

T1L のクロックは、サイクルクロックかサイクルクロックの 1/2 の信号のいずれかが使用できます。

ビット長可変パルスジェネレータ (9 ~ 16 ビット) (モード 3)

T1L , T1H を使用して 9 ~ 16 ビットのパルス信号を発生します。パルス信号は、P17 / パルス信号出力端子から出力されます。

T1L のクロックは、サイクルクロックかサイクルクロックの 1/2 の信号のいずれかが使用できます。

割り込みの発生

割り込み要求許可ビットがセットされている場合、レジスタ T1H , T1L のオーバーフローによって、それぞれ T1H , T1L 割り込み要求が発生します。

タイマー 1(T1)を制御するには、次に示す特殊機能レジスタを操作する必要があります。

T1H , T1HR , T1HC , T1L , T1LR , T1LC , T1CNT , P1

4.3.2 回路構成

タイマー 1 (T1) は、図 3-3 - 1 のように構成されています。

タイマー 1 下位 (T1L) ①

サイクルクロックまたはサイクルクロックの 1/2 周期の信号をクロックとする 8 ビットリロードタイマーです。T1L のオーバーフローで T1LR の値がリロードされ、T1LRUN (T1CNT のビット 6) に '0' にリセットしタイマーを停止させると、T1LR のデータが T1L に転送されます。

タイマー 1 下位比較回路 (T1LC) ②

8 ビットのタイマー 1 下位比較データレジスタ (T1LC) と、8 ビットデータ比較回路で構成され、T1L と T1LC のデータを比較します。

タイマー 1 上位 (T1H) ③

サイクルクロックまたは T1L のオーバーフローをクロックとする 8 ビットリロードタイマーです。T1H のオーバーフローで T1HR の値がリロードされます。また、T1HRUN (T1CNT のビット 7) をリセットしタイマーを停止させた場合もリロードされます。

タイマー 1 上位比較回路 (T1HC) ④

8 ビットのタイマー 1 上位比較データレジスタ (T1HC) と、8 ビットデータ比較回路で構成され、T1H と T1HC のデータを比較します。

タイマー 1 制御レジスタ (T1CNT) ⑤

T1 の各モード設定や割り込み制御を行います。

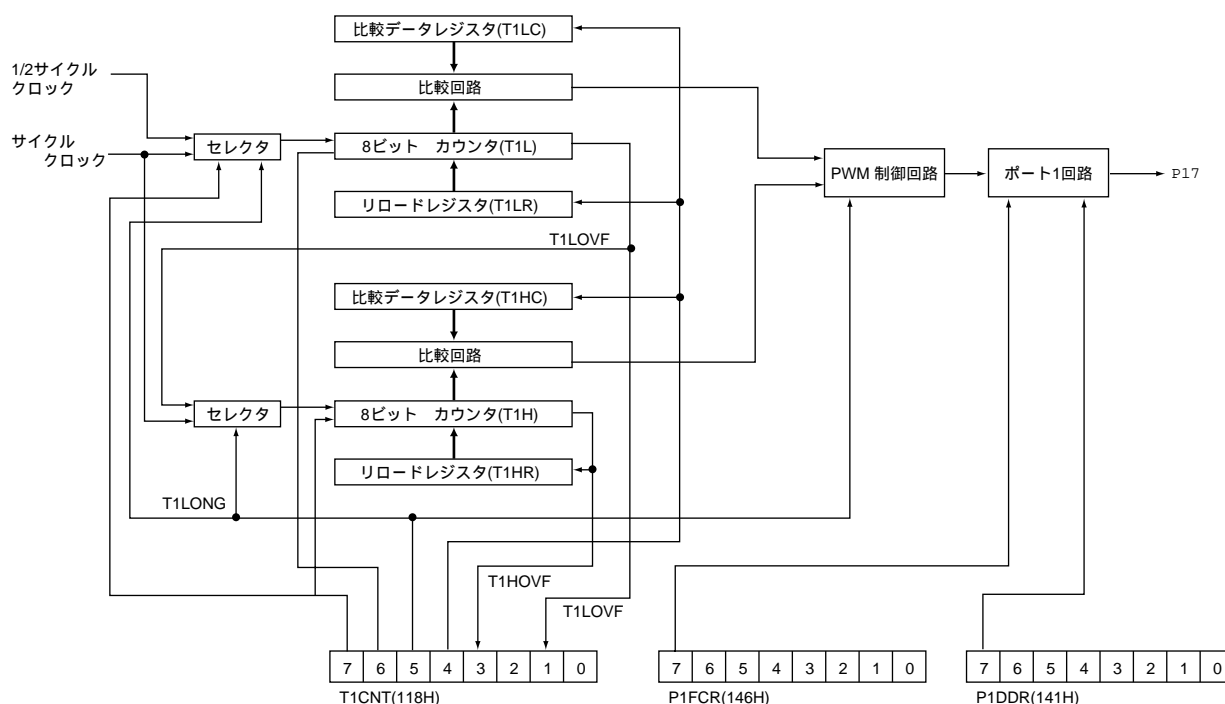


図 4-15 タイマー 1 ブロック図

4.3.3 関連レジスタ

タイマー 1 制御レジスタ (T1CNT)

シンボル	アドレス	R/W	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
T1CNT	118H	R/W	T1HRUN	T1LRUN	T1LONG	ELDT1C	T1HOVF	T1HIE	T1LOVF	T1LIE
リセット時			0	0	0	0	0	0	0	0

ビット名	機能
T1HRUN (ビット7)	T1Hカウント制御
	0: カウントストップ/デタリロード 1: カウントスタート
T1LRUN (ビット6)	T1Lカウント制御
	0: カウントストップ/デタリロード 1: カウントスタート
T1LONG (ビット5)	タイマー1ビット長選択 0: 8ビット 1: 16ビット
ELDT1C (ビット4)	パルスジェネレータ用データ更新許可制御
	0: 禁止 1: 許可
T1HOVF (ビット3)	T1Hオーバーフローフラグ
	0: オーバーフローなし 1: オーバーフローあり
T1HIE (ビット2)	T1H割り込み要求許可制御
	0: 割り込み要求禁止 1: 割り込み要求許可
T1LOVF (ビット1)	T1Lオーバーフローフラグ
	0: オーバーフローなし 1: オーバーフローあり
T1LIE (ビット0)	T1L割り込み要求許可制御
	0: 割り込み要求禁止 1: 割り込み要求許可

T1HRUN (ビット7): T1H カウント制御

タイマー 1 上位 (T1H) のカウントを開始または停止させます。

‘ 1 ’ をセットすると、T1H にクロックが入力されカウントが始まります。

‘ 0 ’ にリセットすると、T1H へのクロックが停止すると同時にリロードレジスタ (T1HR) の値が T1H に転送されます。

T1LRUN (ビット 6): T1L カウント制御

タイマー 1 下位 (T1L) のカウントを開始または停止させます。

‘ 1 ’ をセットすると、T1L にクロックが入力されカウントが始まります。

‘ 0 ’ にリセットすると、T1L へのクロックが停止すると同時にリロードレジスタ (T1LR) の値が T1L に転送されます。

T1LONG (ビット 5): タイマー 1 ビット長選択

T1 のビット長を、16 ビットまたは 8 ビットに切り替えます。

‘ 1 ’ をセットすると、タイマー 1 は 16 ビットタイマーとして動作します。モード 0, 1 で使用する場合は、‘ 1 ’ をセットしてください。

‘ 0 ’ にリセットすると、タイマー 1 は 8 ビットタイマーとして動作します。モード 2, 3 で使用する場合は、‘ 0 ’ にリセットしてください。

ELDT1C (ビット 4): パルスジェネレータ用データ更新許可制御

パルス信号を発生させるための比較データレジスタ (T1HC, T1LC) の値を比較回路に転送するかしないかを指定します。

‘ 1 ’ をセットすると、値を比較回路に転送し、新しいパルスジェネレータ用データに更新します。

‘ 0 ’ にリセットすると、データは更新されず、同じパルスジェネレータ用データを出力します。

8 ビットカウンタを 2 つ同時に更新したい場合は、このフラグをリセットし、それぞれのカウンタの値を設定してから、再度このフラグをセットします。こうすることで、2 つの 8 ビットカウンタを同時に更新することが可能です。

T1HOVF (ビット 3): T1H オーバーフローフラグ

T1H のオーバーフローが発生した場合にセットされ、発生しない場合変化しません。

このフラグは、T1H 割り込み処理ルーチンなどでフラグをリセットする必要があります。

T1HIE (ビット 2): T1H 割り込み要求許可制御

T1H のオーバーフローによる割り込み要求を許可または禁止します。

‘ 1 ’ をセットすると、T1H のオーバーフローによって発生した割り込みを受け付け、割り込みベクトル 002BH が CALL されます。

‘ 0 ’ にリセットすると、割り込みを受け付けず、割り込み処理ルーチンへの CALL も行なわれません。

T1LOVF (ビット 1): T1L オーバーフローフラグ

T1L のオーバーフローが発生した場合にセットされ、発生しない場合変化しません。

このフラグは、T1 のビット長に関係なく、T1L でオーバーフローが発生するとセットされます。

また、このフラグは T1L の割り込み処理ルーチンなどでフラグをリセットする必要があります。

T1LIE (ビット 0): T1L 割り込み要求許可制御

T1L のオーバーフローによる割り込み要求を許可または禁止します。

‘ 1 ’をセットすると、T1L のオーバーフローによって発生した割り込みを受け付け、割り込みベクトル 002BH が CALL されます。

注意

- T1HOVF および T1LOVF は、アプリケーションで‘ 0 ’にリセットする必要があります。
- 16 ビットモードで使用する場合は、クロックにサイクルクロックまたはサイクルクロックの 1/2 周期の信号のいずれかを選択します。

Ttc=Tcyc : T1HRUN=1, T1LRUN=1, T1LONG=1

Ttc=1/2Tcyc : T1HRUN=0, T1LRUN=1, T1LONG=1

Ttc は、クロックの周期

タイマー 1 下位レジスタ (T1L)

タイマー 1 下位レジスタは、8 ビットのタイマーです。サイクルクロックまたはサイクルクロックの 1/2 周期の信号をクロックとします。

T1L のオーバーフローによって T1LR の値が転送され、T1L オーバーフローフラグがセットされます。

なお、モード 1, 3 では、パルス信号を発生させるために使用されます。

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
T1L	11BH	R	T1L7	T1L6	T1L5	T1L4	T1L3	T1L2	T1L1	T1L0
リセット時			0	0	0	0	0	0	0	0

タイマー 1 下位リロードレジスタ (T1LR)

タイマー 1 下位リロードレジスタは、タイマー 1 下位 (T1L) のリロードレジスタです。

T1L のオーバーフローごと、および T1LRUN = 0 のときにリロードレジスタの値が T1L にリロードされます。

なお、モード 1, 3 では、パルス信号を発生させるために使用されます。

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
T1LR	11BH	W	T1LR7	T1LR6	T1LR5	T1LR4	T1LR3	T1LR2	T1LR1	T1LR0
リセット時			0	0	0	0	0	0	0	0

T1L, T1LR は同一アドレスです。T1L は読み出し専用で、T1LR は書き込み専用です。

注意

書き込み専用レジスタに対してビット操作命令や、INC 命令、DEC 命令、DBNZ 命令を使用すると、指定したビット以外のビットがセットされるので注意してください。

T1LR には次の命令を使用してください。

MOV, MOV @, ST, ST @, POP

タイマー 1 下位比較データレジスタ (T1LC)

タイマー 1 下位 (T1L) の比較データレジスタです。

ELDT1C (T1CNT のビット 4) をセットすると、T1LONG = 0 のときには次の T1L オーバーフローで、T1LONG = 1 のときには次の T1H オーバーフローで、このレジスタの値がパルスジェネレータ制御回路 (比較回路) に転送されます。

T1LRUN = 0 の場合は、このレジスタの値が常にパルスジェネレータ制御回路に転送されます。

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
T1LC	11AH	R/W	T1LC7	T1LC6	T1LC5	T1LC4	T1LC3	T1LC2	T1LC1	T1LC0
リセット時			0	0	0	0	0	0	0	0

タイマー 1 上位レジスタ (T1H)

タイマー 1 上位レジスタは、8 ビットのタイマーです。

サイクルクロック、または T1L のオーバーフロー (T1LOVF) をクロックとして動作し、T1H のオーバーフローによって、T1H オーバーフローフラグがセットされます。

なお、モード 3 では、パルス信号を発生させるために使用されます。

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
T1H	11DH	R	T1H7	T1H6	T1H5	T1H4	T1H3	T1H2	T1H1	T1H0
リセット時			0	0	0	0	0	0	0	0

タイマー 1 上位リロードレジスタ (T1HR)

タイマー 1 上位 (T1H) のリロードレジスタです。

T1H のオーバーフローごと、および T1HRUN = 0 のときにリロードデータを T1H にリロードします。

なお、モード 3 では、パルス信号を発生させるために使用されます。

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
T1HR	11DH	W	T1HR7	T1HR6	T1HR5	T1HR4	T1HR3	T1HR2	T1HR1	T1HR0
リセット時			0	0	0	0	0	0	0	0

T1H、T1HR は同一アドレスです。T1H は読み出し専用で、T1HR は書き込み専用です。

注意

書き込み専用レジスタに対してビット操作命令や、INC 命令、DEC 命令、DBNZ 命令を使用すると、指定したビット以外のビットがセットされるので注意してください。
T1LR には次の命令を使用してください。

MOV, MOV @, ST, ST @, POP

タイマー 1 上位比較データレジスタ (T1HC)

タイマー 1 上位 (T1H) の比較データレジスタです。

ELDT1C (T1CNT のビット 4) をセットすると、T1LONG = 0 のときには次の T1L オーバーフローで、T1LONG = 1 のときには次の T1H オーバーフローで、このレジスタの値がパルスジェネレータ制御回路 (比較回路) に転送されます。

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
T1HC	11CH	R/W	T1HC7	T1HC6	T1HC5	T1HC4	T1HC3	T1HC2	T1HC1	T1HC0
リセット時			0	0	0	0	0	0	0	0

4.3.4 回路構成と動作説明

タイマー 1 のモード設定

モード	クロック周期	T1LONG	P17FCR	P17DDR	P17
0	Tcyc	0	0	X	X
1	Tcyc	0	1	1	0
2	Tcyc , 1/2Tcyc	1	0	X	X
3	Tcyc , 1/2Tcyc	1	1	1	0

モード 0 : 8 ビットリロードタイマー × 2 チャネル

モード 0 の場合、タイマー 1 は 2 チャネルの 8 ビットリロードタイマーとして機能します。タイマー値とリロードレジスタ (T1LR) 設定値の関係は、次のとおりです。

$$\begin{aligned} \text{T1HOVF がセット (1) されるまでの時間 (10 進)} &= (256 - \text{T1HR 設定値}) \times \text{Tcyc} \\ \text{T1LOVF がセット (1) されるまでの時間 (10 進)} &= (256 - \text{T1LR 設定値}) \times \text{Tcyc} \end{aligned}$$

Tcyc : サイクルクロックの周期

カウンタ制御ビット (T1HRUN , T1LRUN) をセットすると、カウント動作を開始します。リセットするとカウント動作を停止して、リロードレジスタ (T1HR , T1LR) の内容がカウンタ (T1H , T1L) に転送されます。

タイマー 1 (T1H , T1L) がオーバーフローすると、オーバーフローフラグ (T1HOVF , T1LOVF) がセットされ、リロードレジスタ (T1HR , T1LR) の内容がカウンタ (T1H , T1L) に転送されます。

また、オーバーフローフラグ (T1HOVF , T1LOVF) と割り込み要求許可フラグ (T1HIE , T1LIE) が、ともにセットされていれば、割り込み制御回路に割り込み要求を知らせます。

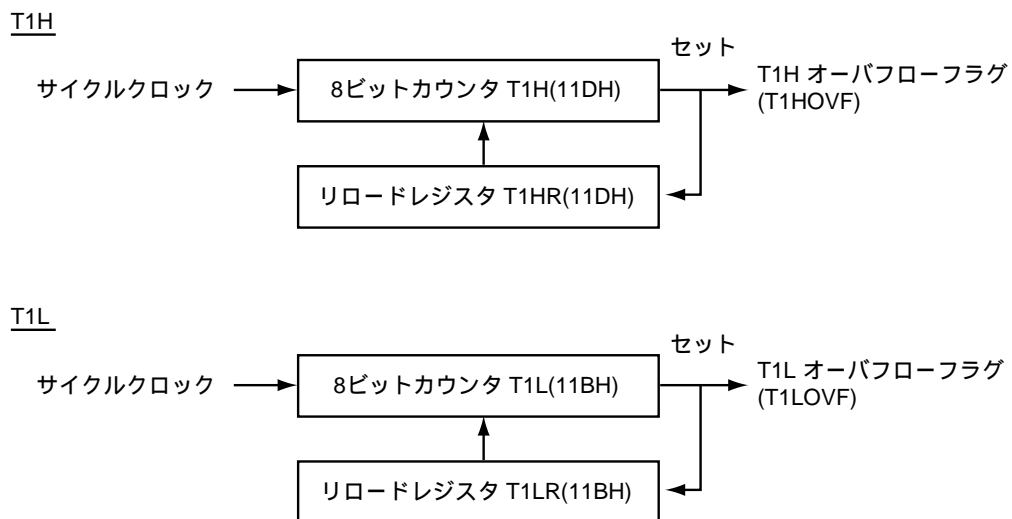


図 4-16 8 ビットリロードタイマー×2 チャンネルの回路構成

モード 0 のプログラム例

・モード0のプログラム例

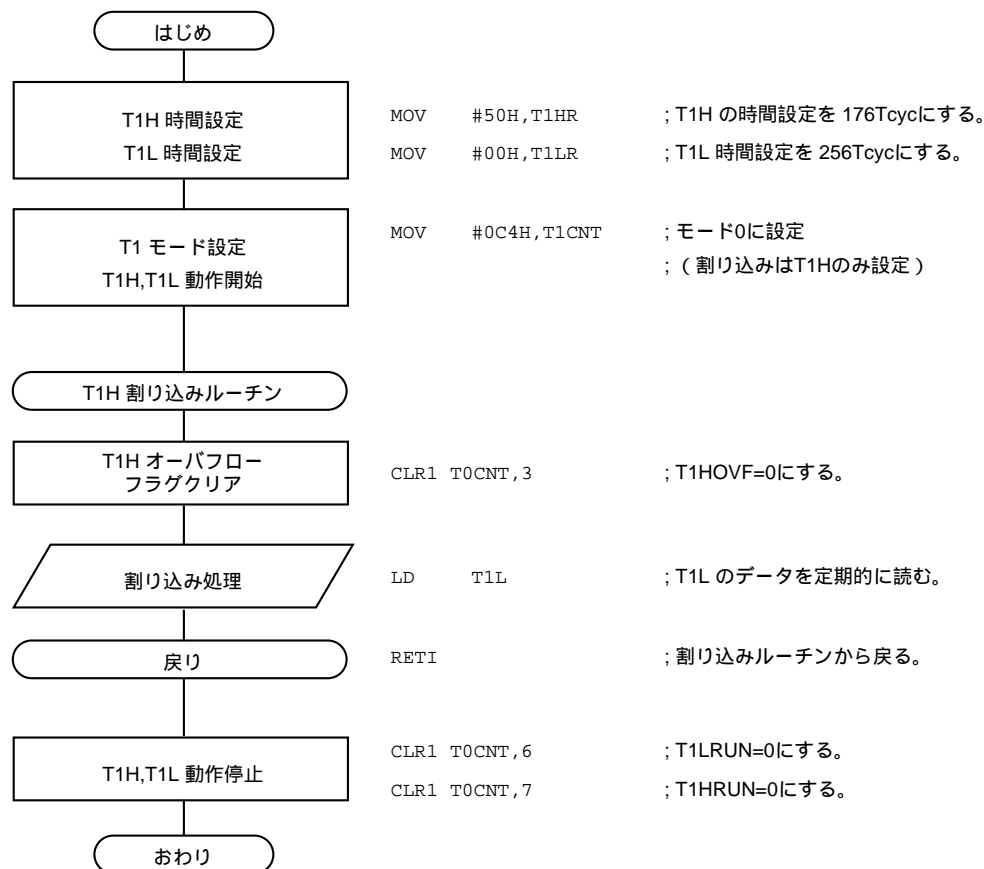


図 4-17 フローチャートとプログラム

モード 1 : 8 ビットリロードタイマー + 8 ビットパルスジェネレータ

8 ビットリロードタイマー

タイマー 1 の上位 8 ビットは、8 ビットリロードタイマーとして動作します。タイマー値とリロードレジスタ (T1HR) 設定値の関係は、次のようになります。

$$\text{T1HOVF がセット (1) されるまでの時間 (10 進) } = (256 - \text{T1HR 設定値}) \times \text{Tcyc}$$

Tcyc : サイクルクロックの周期

T1HOVF がセットされるごとに、リロードレジスタの値がカウンタ T1H に転送されます。また、T1H カウント制御ビット (T1HRUN) をリセットするまでタイマー動作を続けます。操作方法は、モード 0 と同一です。

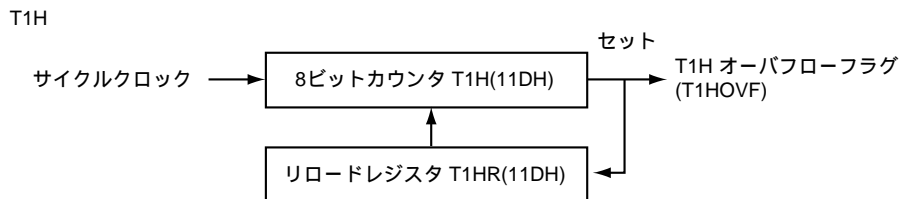


図 4-18 モード 1 : 8 ビットリロードタイマー (T1H) ブロック図

8 ビットパルスジェネレータ

比較回路は、リロードされた値からサイクルクロックによってカウントアップされる T1L の値と、比較データレジスタ T1LC の値を比較します。一致しない間 (T1L < T1LC) は ' 0 ' を出力します。一致 (T1L = T1LC) すると ' 1 ' を出力し、T1L のオーバーフローが発生するまで継続されます。

パルス信号の周期は、リロードレジスタ T1LR によって決定されます。カウンタ値とパルス出力波形の関係は、図 4-19 のとおりです。

比較データレジスタ T1LC と、リロードレジスタ T1LR の値によってパルス出力波形が決定されます。なお、比較データレジスタ T1LC を書き換えてから、そのデータにしたがったパルス出力が得られるまで、パルス信号の周期の遅れがあります。

T1L がオーバーフローするたびに、T1L オーバフローフラグ (T1LOVF) がセットされます。

パルス出力信号における関係式は、次のとおりです。

$$\begin{aligned} \text{パルス出力信号の 'L' レベルパルス幅 (10 進) } &= (\text{T1LC 設定値} - \text{T1LR 設定値}) \times \text{Tcyc} \\ \text{パルス出力信号の周期 (10 進) } &= (256 - \text{T1LR 設定値}) \times \text{Tcyc} \end{aligned}$$

Tcyc : サイクルクロックの周期

注意

・必ず T1LC > T1LR を満たすようにしてください。

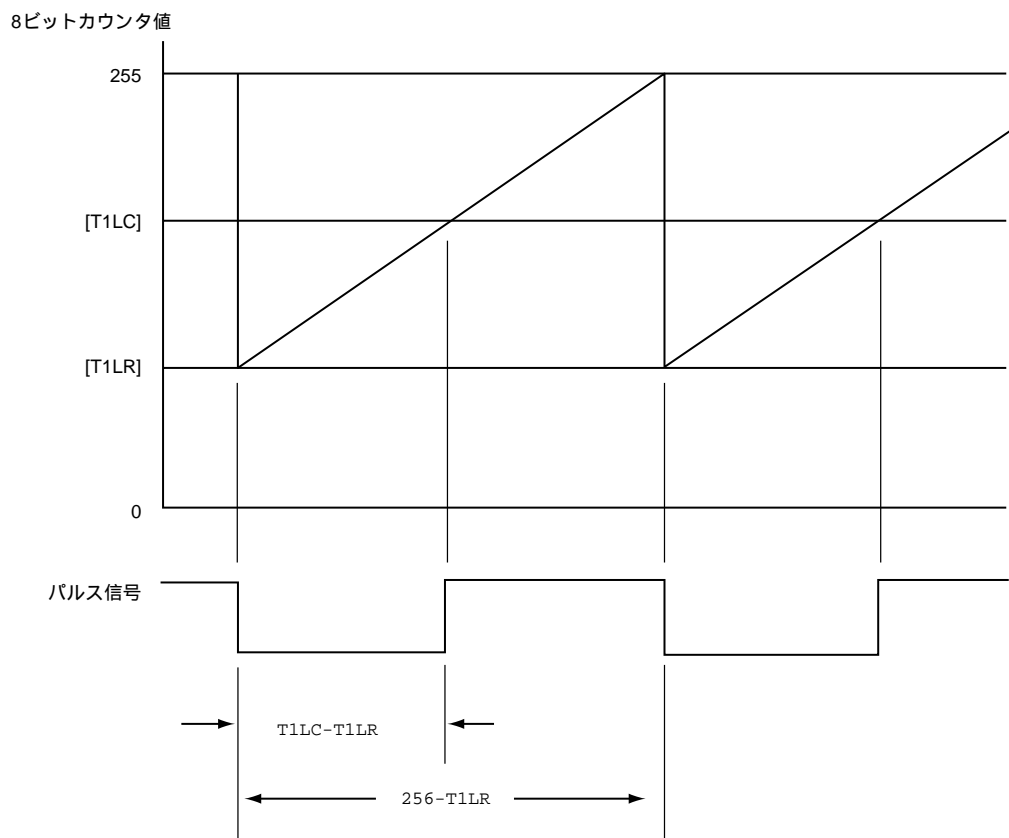


図 4-19 カウンタ値とパルスジェネレータ出力波形の関係

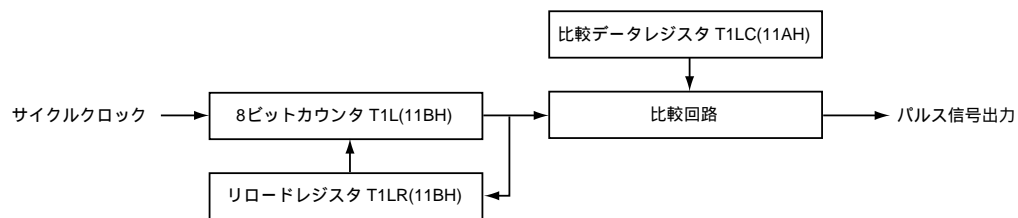


図 4-20 モード 1 : 8 ビットパルスジェネレータブロック図

モード 1 (パルス出力) のプログラム例

・モード1 (パルス出力) のプログラム例

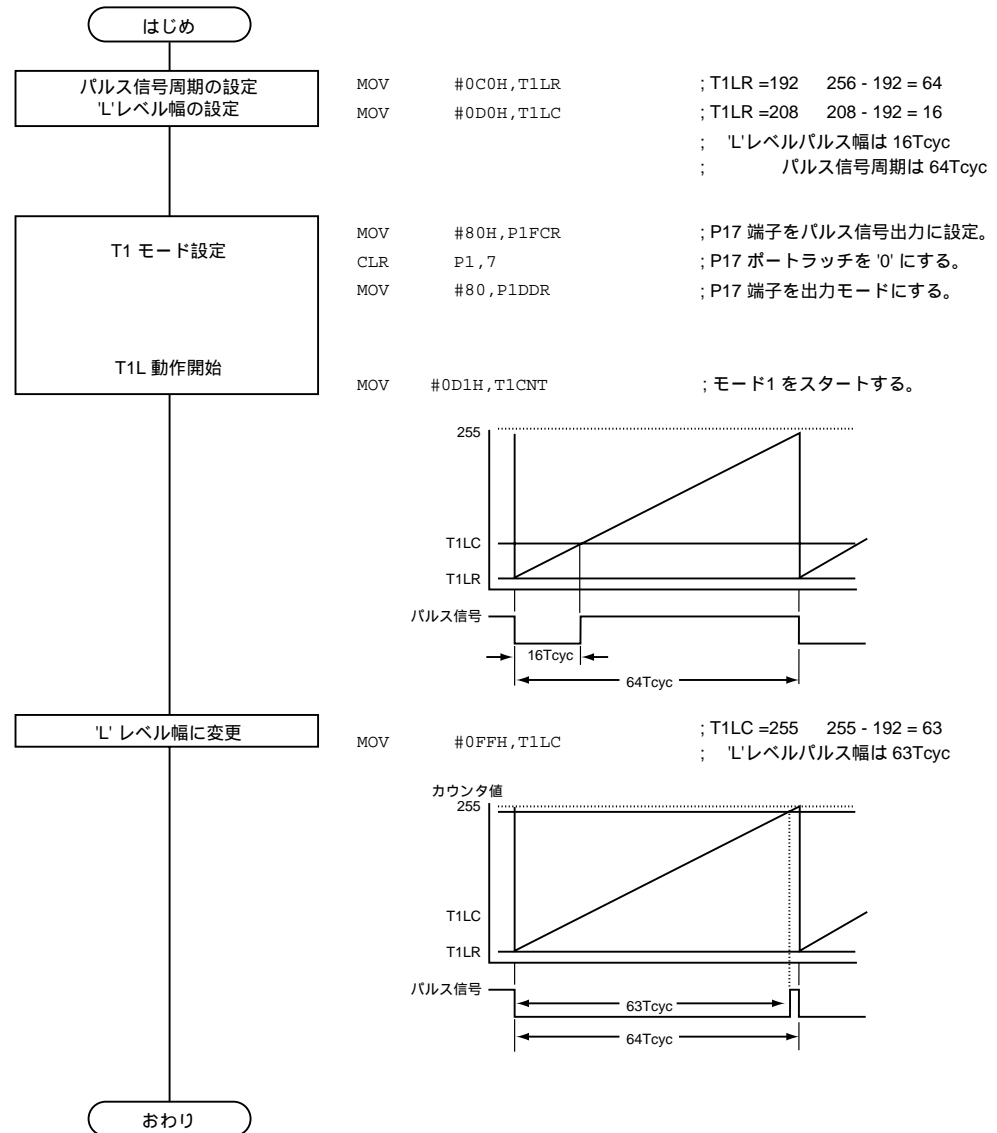


図 4-21 フローチャートとプログラム

モード 2 : 16 ビットリロードタイマー

16 ビットリロードタイマーとしてタイマーを動作開始させるには、T1LRUN と T1LONG を同時にセットします。これらのビットをセットするには、MOV 命令を使用してください。

T1L のクロック (Ttc) には、サイクルクロック周期 (Tcyc) とサイクルクロック周期の 1/2 (1/2Tcyc) のいずれかを選ぶことができます。次のように設定してください。

Ttc = Tcyc	:	T1HRUN = 1, T1LRUN = 1, T1LONG = 1
Ttc = 1/2Tcyc	:	T1HRUN = 0, T1LRUN = 1, T1LONG = 1

タイマー値とリロードレジスタ (T1HR, T1LR) 設定値の関係は、次のようになります。

注意 タイマー / カウンタ 0 (T0) とは異なりますので注意してください。

$$\begin{aligned} \text{T1HOVF がセット (1) されるまでの時間 (10 進)} &= (256 - \text{T1HR 設定値}) \times (256 - \text{T1LR 設定値}) \times \text{Ttc} \\ \text{T1LOVF がセット (1) されるまでの時間} &= (256 - \text{T1LR 設定値}) \times \text{Ttc} \end{aligned}$$

Ttc: T1L のクロック周期 (Tcyc or 1/2 Tcyc)

T1LOVF が発生するごとにリロードデータ (T1LR) が T1L に、T1HOVF が発生するごとにリロードデータ (T1HR) が T1H に転送されます。カウント制御ビットをリセットするまでカウントを継続します。操作方法はモード 0 と同一です。

タイマー 1 (T1) のデータを読み出す場合は、次の手順にしたがってください。

```

T1L  LD    T1L          ; T1L のデータ (1) を読みます。
      ST    020H
T1H  LD    T1H          ; T1H のデータを読みます。
      ST    021H
T1L  LD    T1L          ; もう一度、T1L (2) のデータを読みます。
      BP    T1L, 7, DES ; T1L (2) のビット 7 が '0' で、
      BN    020H, 7, DES ; T1L (1) のビット 7 が '1' であるときは
      ST    020H
T1H  LD    T1H          ; T1H (2) を読みます。
      ST    021H
DES:  - next program

```

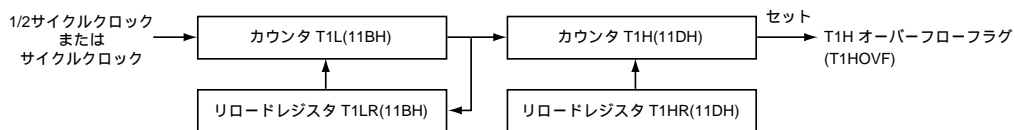


図 4-22 モード 2 : 16 ビットリロードタイマーブロック図

モード 2 のプログラム例

・モード2のプログラム例

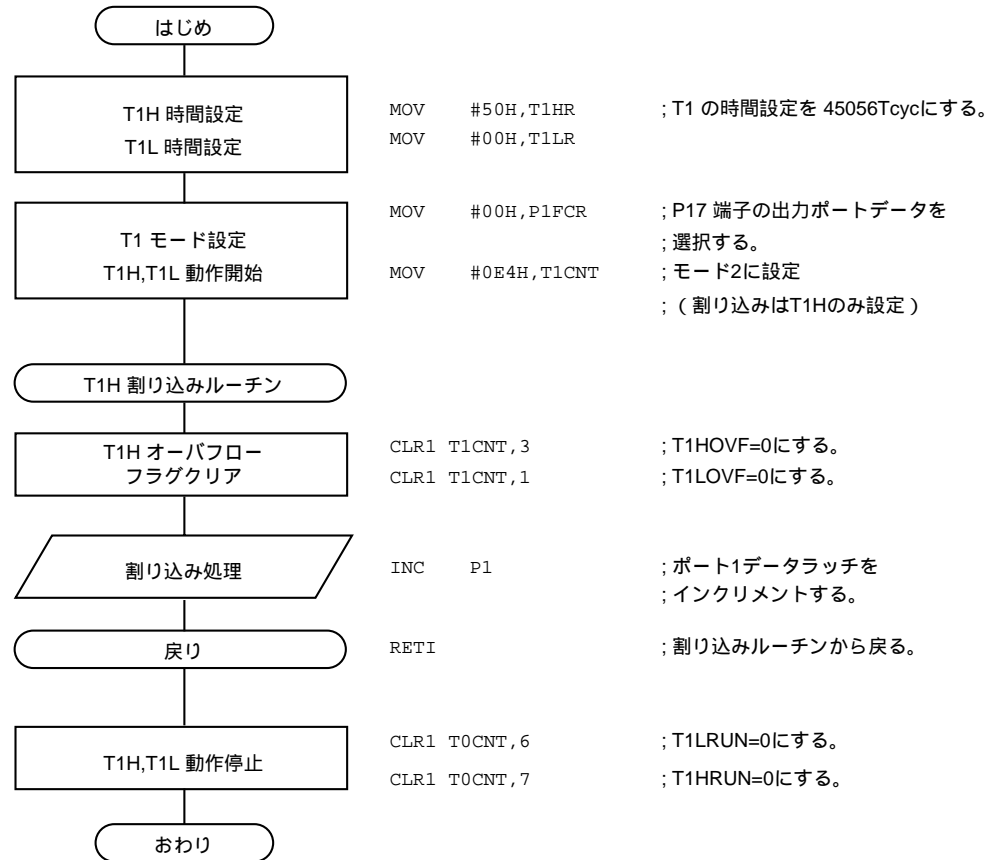


図 4-23 フローチャートとプログラム

モード 3 : ビット長可変パルスジェネレータ (9 ~ 16 ビット)

モード 3 においてタイマー 1 (T1L , T1H) は、ビット長可変パルスジェネレータとして機能します。可変範囲は 9 ~ 16 ビットで T1HR によって設定します。

パルスジェネレータを動作させる場合は、タイマー 1 のビット長として 16 ビットを選択 (T1LONG = 1) し、T1L のカウント制御ビット (T1LRUN) をセットします。16 ビット長が選択されていた場合には、制御ビット T1LRUN で 16 ビットすべてのスタート / ストップの制御が行なえます。タイマー 1 制御レジスタ (T1CNT) のビットを同時にセットするためには、MOV 命令を使用してください。

パルスジェネレータのクロック (Ttc) には、サイクルクロック (Tcyc) とサイクルクロックの 1/2 (1/2Tcyc) のいずれかを選ぶことができます。次のように設定してください。

Ttc = Tcyc	: T1HRUN = 1 , T1LRUN = 1 , T1LONG = 1
Ttc = 1/2Tcyc	: T1HRUN = 0 , T1LRUN = 1 , T1LONG = 1

T1L がオーバーフローするたびに、T1L オーバーフロー (T1LOVF) がセットされます。同様に T1H がオーバーフローするたびに、T1H オーバーフローフラグ (T1HOVF) がセットされます。カウントは、カウント制御ビットをリセットするまで続きます。

タイマー値とリロードレジスタ (T1HR , T1LR) 設定値の関係は、次のようになります。

$$\begin{aligned} \text{T1HOVF がセット (1) されるまでの時間 (10 進)} &= (256 - \text{T1HR 設定値}) \times (256 - \text{T1LR 設定値}) \times \text{Ttc} \\ \text{T1LOVF がセット (1) されるまでの時間 (10 進)} &= (256 - \text{T1LR 設定値}) \times \text{Ttc} \end{aligned}$$

Ttc: T1 のクロック周期 (Tcyc or 1/2 Tcyc)

モード 3 で P17 / パルス信号出力端子から出力される信号例を図 4-24 に示します。

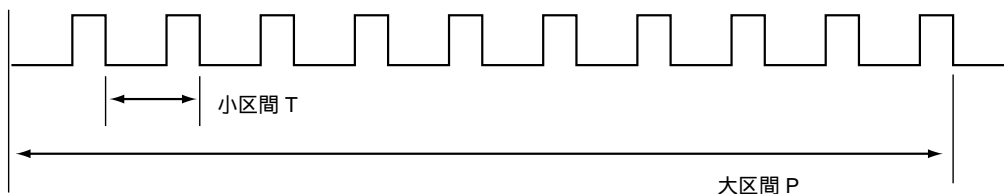


図 4-24 モード 3 のパルス信号出力波形

出力信号は、小区間が最大 256 回繰り返される大区間 P が繰り返されます。

小区間 T の繰り返し回数は、T1HR で設定できます。小区間 T での 'L' レベル幅は、モード 1 と同様に T1LC で設定でき、このときの最小単位は Ttc になります。また、大区間 P 内の総 'L' レベル幅 TL は、T1LC, T1HC で設定できます。なお T1HR の値によって、T1HC の取得できるデータは限られます。

出力波形と T1HC, T1LC の関係の詳細は「付録編」第 17 章「ビット長可変パルスジェネレータ」を参照してください。

パルスジェネレータビット長と T1LR, T1HR の値、および T1LC, T1HC の値の関係を表 4-1 に示します。なお T1LR は、すべて 00H に設定します。

表 4-1 ビット長と T1H/L レジスタの関係

パルス ビット長	パルスビット長の設定 (2進)		'L'レベルパルス幅の設定 (2進)	
	T1HRの値	T1HLの値	T1LCの値 (上位ビット)	T1HCの値 (下位ビット)
16	0000 0000	0000 0000	XXXX XXXX	XXXX XXXX
15	1000 0000	0000 0000	XXXX XXXX	XXXX XXX0
14	1100 0000	0000 0000	XXXX XXXX	XXXX XX00
13	1110 0000	0000 0000	XXXX XXXX	XXXX X000
12	1111 0000	0000 0000	XXXX XXXX	XXXX 0000
11	1111 1000	0000 0000	XXXX XXXX	XXX0 0000
10	1111 1100	0000 0000	XXXX XXXX	XX00 0000
9	1111 1110	0000 0000	XXXX XXXX	X000 0000

(X:0 または 1) は有効ビットを示す

たとえば、ビット長を 16 ビットにした場合、大区間 P は、小区間 T が 256 回繰り返すことになり、

$$\text{TP} = 256 \times \text{T}$$

小区間 T は、Ttc (サイクルクロックの 1/2 または 1/1) の 256 倍であるので、

$$\text{TP} = 256 \times 256 \times \text{Ttc} = 65536 \times \text{Ttc}$$

になります。

大区間 P における総 ' L ' レベル付加パルス幅 TL + は、T1HC で設定します。

$$TL + = [T1HC] \times Ttc$$

小区間 T での ' L ' レベル幅は T1LC で設定できるので、大区間 P での総 ' L ' レベル区間幅 TL は、

$$TL = (256 \times [T1LC] + [T1HC]) \times Ttc$$

になります。

T1LC = 03H、T1HC = 0B4H の場合は、

$$TL = (256 \times 03 + 180) \times Tcyc = 948 \times Ttc$$

' L ' レベル比 RL は、

$$RL = TL / TP = 948 / 65536 = \text{約 } 1.447 \%$$

となります。また、T1LC = 0FFH , T1HC = 0FFH の場合は、

' L ' レベル比 RL は、

$$RL = TL / TP = 65535 / 65536 = \text{約 } 99.998 \%$$

となります。

パルスのビット長と設定できるパルス幅の関係を次に示します。

・大区間 P の周期 TP

$$TP = 2 [BIT] \times Ttc$$

・ 大区間 P 内の総 ' L ' レベルパルス幅 TL

$$TL = (2 [BIT] \times [T1LC] / 256 + [T1HC]) \times Ttc$$

T1HC、T1LC は 10 進数です。[T1HC] は有効ビット値です。

表 4-2 ビット長とパルス幅、精度の関係

ビット長 [BIT]	T1LC		T1HC		TL		TP[Ttc]	精度
	min.	max.	min.	max.	min.	max.		
16	0	255	0	255	0	65535	65535	1/65535
15	0	255	0	127	0	32767	32767	1/32767
14	0	255	0	63	0	16383	16383	1/16383
13	0	255	0	31	0	8191	8191	1/8191
12	0	255	0	15	0	4095	4095	1/4095
11	0	255	0	7	0	2047	2047	1/2047
10	0	255	0	3	0	1023	1023	1/1023
9	0	255	0	1	0	511	511	1/511

T1HC は、表 4-1 で示される有効ビットでの値を示しています。たとえば、11 ビット長の場合では、ビット 7 からビット 5 が有効なので、最大値が 7 となっています。

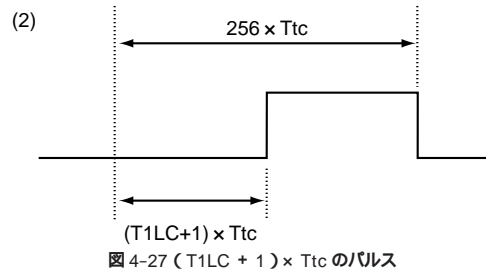
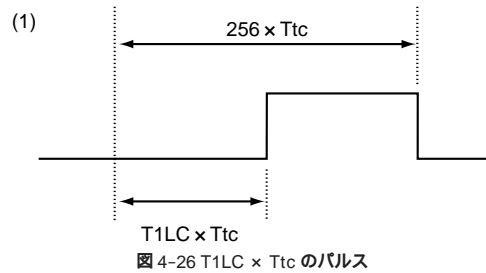
例 14 ビットパルスジェネレータとして使用する場合の設定値 (2 進)

- ・ T1HR の値 1100 0000B
- ・ T1LR の値 0000 0000B
- ・ パルスジェネレータ 14 ビットの設定値



図 4-25 14 ビットパルスジェネレータ

小区間 T には次の 2 種類のパルスが出力され、大区間 P 内に (1) のパルスが (64-T1HC) 個、(2) のパルスが T1HC 個出力されます。



出力波形と T1HC , T1LC の関係の詳細は「付録編」第 17 章 ビット長可変パルスジェネレータ」を参照してください。

注意

・パルスの ' L ' レベルパルス幅を設定する場合は、次の手順にしたがってください。

(1) データ更新許可フラグ ELDT1C を ' 0 ' にする。

(2) T1LC , T1HC の値を書き換える。

(3) データ更新許可フラグ ELDT1C を ' 1 ' にする。

・ T1LC , T1HC の値を書き換えてから、新しいデータにしたがった波形が出力されるまでの遅れは、ELDT1C = ' 1 ' をセットしてから最大パルスの周期分の時間があります。

・ 16 ビットモードで使用する場合は、クロックとしてサイクルクロックまたは 1/2 サイクルクロックのいずれかを選択します。

Ttc = Tcyc : T1HRUN = 1 , T1LRUN = 1 , T1LONG = 1

Ttc = 1/2Tcyc : T1HRUN = 0 , T1LRUN = 1 , T1LONG = 1

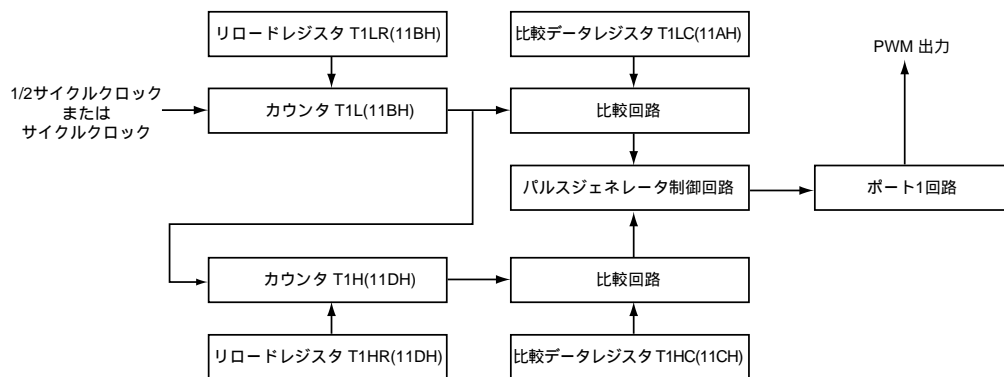


図 4-28 モード 3：ビット長可変パルスジェネレータブロック図

モード 3 のプログラム例

・モード3のプログラム例

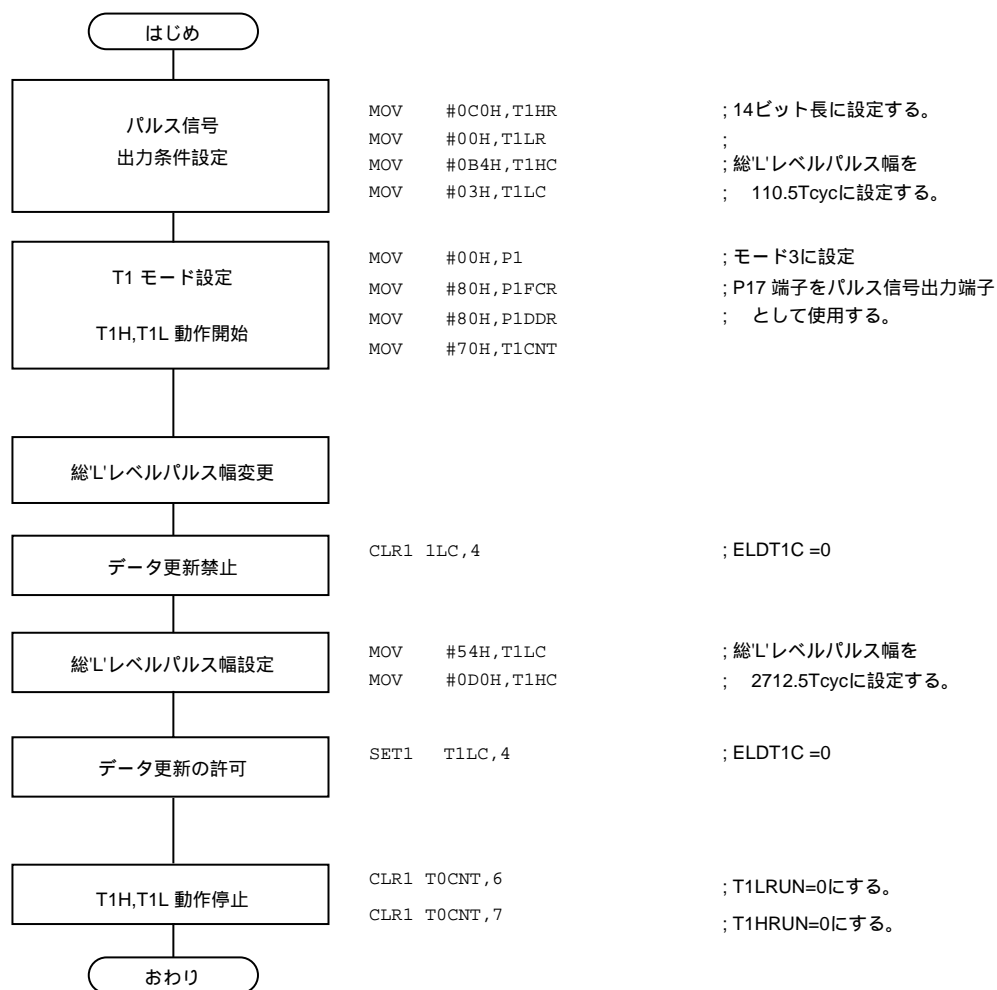


図 4-29 フローチャートとプログラム

4.4 ベースタイマー

ビジュアルメモリ用カスタムチップが内蔵しているベースタイマーは、次に示す4つの機能を持った、14ビットのバイナリアップカウンタです。

- ・ 時計用タイマー
- ・ 14ビットのバイナリアップカウンタ
- ・ 早送りモード(6ビットベースタイマー使用時)

4.4.1 機能

時計用タイマー

ベースタイマーのカウントクロックに32.768kHzのサブクロックを使用した場合、0.5秒間隔の時計ができます。ベースタイマーのカウントクロックは「サブクロック」とします。

14ビットのバイナリアップカウンタ

8ビットのバイナリアップカウンタと6ビットのバイナリアップカウンタを併用することで、14ビットのバイナリアップカウンタとして使用できます。これらのカウンタはアプリケーションからクリアできます。

早送りモード(6ビットベースタイマー使用時)

ベースタイマーを6ビットで使用すると、カウントクロックに32.768kHzのサブクロックを使用した場合に、約2ミリ秒間隔の時計ができます。ビット長の切り換えは、ベースタイマー制御レジスタ(BTCR)で指定します。

割り込みの発生

割り込み要求許可ビットがセットされている場合、ベースタイマーからの割り込み要求が発生すると、割り込みベクトル001BHがCALLされます。ベースタイマーからの割り込み要求には「ベースタイマー割り込み0」と「ベースタイマー割り込み1」の2種類があります。

ベースタイマーを制御するには、次に示す特殊機能レジスタを操作する必要があります。

BTCR, P1, タイマー0関係, 割り込み関係

4.4.2 回路構成

ベースタイマーは、図 4-30 のように構成されています。

8 ビットバイナリアップカウンタ ①

入力信号選択レジスタ (ISL) で選択された信号を入力とするアップカウンタです。

4KHz/2KHz のブザー出力信号を発生します。このカウンタがオーバーフローすると、ベースタイマー割り込み 1 の要因を発生します。また、このオーバーフローは、6 ビットバイナリカウンタのクロックになります。

6 ビットバイナリアップカウンタ ②

特殊機能レジスタ (ISL) で選択された信号または、8 ビットカウンタのオーバーフローを入力とする 6 ビットアップカウンタです。このカウンタがオーバーフローすると、ベースタイマー割り込み 0、1 の要因を発生します。入力クロックの切り換えは、ベースタイマー制御レジスタ BCTR で行います。

ベースタイマー入力クロック源 ③

ベースタイマーへ供給するクロックは「サブクロック」を入力信号選択レジスタ (ISL) で指定します。他のクロックを供給しないようにしてください。

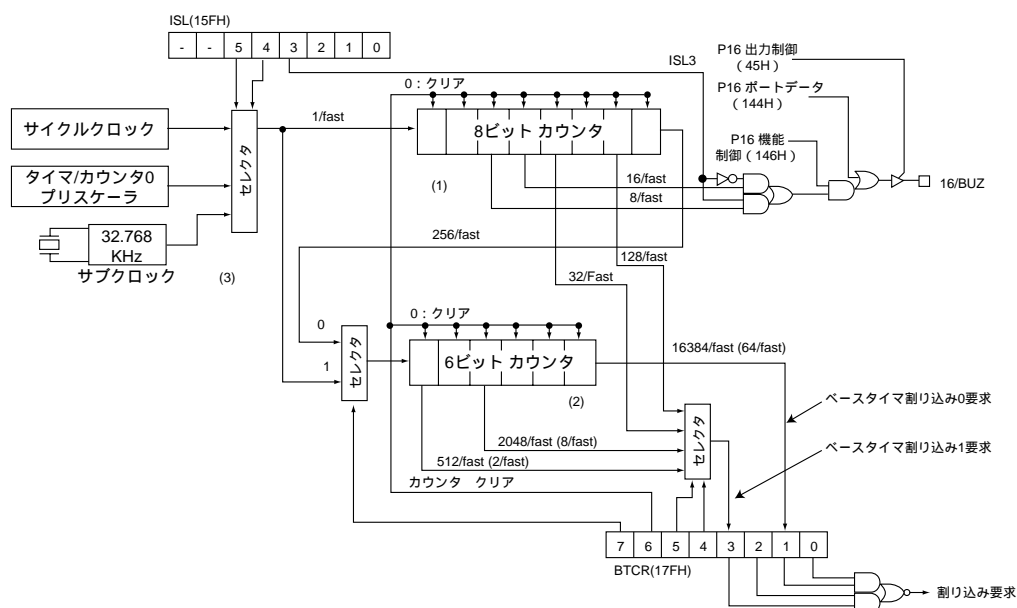


図 4-30 ベースタイマーブロック図

4.4.3 関連レジスタ

ベースタイマー制御レジスタ (BTCR)

シンボル	アドレス	R/W	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
BTCR	17FH	R/W	BTCR7	BTCR6	BTCR5	BTCR4	BTCR3	BTCR2	BTCR1	BTCR0
リセット時			0	0	0	0	0	0	0	0

注意

アプリケーションから BTCR7, BTCR6, BTCR0 を操作しないでください。
上記以外のビットを操作する場合は、必ずビット操作命令を使用してください。

ビット名	機能			
BTCR7 (ビット7)	ベースタイマー割り込み0周期制御			
	0: 16384/fBST			
BTCR6 (ビット6)	ベースタイマー動作制御			
	1: ベースタイマー動作開始			
BTCR5 (ビット5)	ベースタイマー割り込み1周期制御			
BTCR4 (ビット4)	BTCR7	BTCR5	BTCR4	
	x	0	0	32/fBST
	x	0	1	128/fBST
	0	1	0	512/fBST
	0	1	1	2048/fBST
BTCR3 (ビット3)	ベースタイマー割り込み1要因			
	0: 割り込み要因なし			
	1: 割り込み要因あり			
BTCR2 (ビット2)	ベースタイマー割り込み1要求許可制御			
	0: 割り込み要求禁止			
	1: 割り込み要求許可			
BTCR1 (ビット1)	ベースタイマー割り込み0要因			
	0: 割り込み要因なし			
	1: 割り込み要因あり			
BTCR0 (ビット0)	ベースタイマー割り込み0要求許可制御			
	1: 割り込み要求許可			

BTCR7 (ビット7): ベースタイマー割り込み0 周期制御 0: 固定

ベースタイマーの割り込み0 要因発生周期を指定します。

‘0’をセットすると、16384/fBST となります。このとき、14 ビットカウンタのオーバーフローで割り込み0 要因が発生する間隔は、16384/fBST となります。

‘1’にリセットすると、64/fBST となります。早送りモードを使用する場合は、このフラグをセットします。

注意

ベースタイマーは、ビジュアルメモリの時計機能で利用していますので、絶対にアプリケーションからこれらのレジスタを操作しないでください。

BTCCR6 (ビット 6): ベースタイマー動作制御 1 : 固定

ベースタイマーのカウント動作を開始または停止します。

‘ 1 ’をセットすると、カウント動作を開始します。

‘ 0 ’にリセットすると、カウント動作が停止し、14 ビットカウンタがクリアされた状態になります。

注意

ベースタイマーは、ビジュアルメモリの時計機能で利用していますので、絶対にアプリケーションからこれらのレジスタを操作しないでください。

BTCCR5 ~ 4 (ビット 5 ~ 4): ベースタイマー割り込み 1 周期制御

ベースタイマーの割り込み 1 要因発生の周期を選択します。

BTCCR7	BTCCR5	BTCCR4	ベースタイマー割り込み 1 周期
x	0	0	32/fBST
x	0	1	128/fBST
0	1	0	512/fBST
0	1	1	2048/fBST

fBST : 入力クロック周波数

BTCCR3 (ビット 3): ベースタイマー割り込み 1 要因フラグ

BTCCR7, 5, 4 で設定されたベースタイマー割り込み 1 要因発生の周期ごとにセットされ、発生しない場合変化しません。

注意

このフラグは、割り込み処理ルーチンなどでリセットする必要があります。

BTCCR2 (ビット 2): ベースタイマー割り込み 1 要求許可制御

ベースタイマー割り込み 1 による割り込み要求を許可または禁止します。

‘ 1 ’をセットすると、ベースタイマー割り込み 1 要因の発生によって、割り込みベクトル 001BH への割り込み要求が発生します。

‘ 0 ’にリセットすると、割り込み要求は発生しません。

BTCCR1 (ビット 1): ベースタイマー割り込み 0 要因フラグ

BTCCR7 で設定されたベースタイマー割り込み 0 要因発生の周期ごとにセットされ、発生しない場合変化しません。

注意

このフラグは、割り込み処理ルーチンなどでリセットする必要があります。

BTCR0 (ビット 0): ベースタイマー割り込み 0 要求許可制御 0: 固定

ベースタイマー割り込み 0 による割り込み要求を許可または禁止します。

‘ 1 ’をセットすると、ベースタイマー割り込み 0 要因の発生によって、割り込みベクトル 001BH が CALL されます。

‘ 0 ’にリセットすると、割り込み要求は発生しません。

注意

ベースタイマーは、ビジュアルメモリの時計機能で利用していますので、絶対にアプリケーションからこれらのレジスタを操作しないでください。

注意

- ・ BTCR7, 5 = 1 (早送りモード) では、システムクロックとベースタイムクロックの両方を、同時にサブクロックに選択しないでください。
 - ・ ごくまれに BTCR5, 4 を変更した際に、BTCR3 が ‘ 1 ’ になることがあります。BTCR5, 4 を変更する前に BTCR3 の値を保持し、変更後に BTCR3 の値をセットし直してください。
 - ・ 次のような操作を行なうと、ベースタイマーのカウンタミスが発生します。HOLD モードに入る場合は、ベースタイマーの動作を停止させてください。
 - (1) ベースタイマークロックへサイクルクロックまたはサブクロックを供給します。
 - (2) ベースタイマーを動作させたまま HOLD モードにします。
 - (3) HOLD 解除時にベースタイマーのカウンタミスが発生します。
- HOLD 解除直後は、メインクロックやサブクロックの発振が不安定になり、ベースタイマーにカウンタミスが発生します。

入力信号選択レジスタ (ISL)

詳細は「4.2 タイマー / カウンタ 0 (T0)」の「入力信号選択レジスタ (ISL)」を参照してください。

シンボル	アドレス	R/W	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
ISL	15FH	R/W	-	-	ISL5	ISL4	ISL3	ISL2	ISL1	ISL0
リセット時			H	H	0	0	0	0	0	0

ビット名	機能		
ISL5 (ビット5) ISL4 (ビット4)	ベースタイマクロック選択		
	ISL5	ISL4	
	x	0	サブクロック (水晶発振) 固定
ISL3 (ビット3)	使用不可		
	0 : fBST/16 固定		
ISL2 (ビット2) ISL1 (ビット1)	ノイズ除去フィルタ時定数選択		
	ISL2	ISL1	時定数
	1	1	16Tcyc
	0	1	64Tcyc
	x	0	1Tcyc
ISL0 (ビット0)	T0のクロック入力端子選択		
	0 : P72/INT2/T0INT端子		
	1 : P73/INT3/T0INT端子		

4.4.4 ベースタイマーの使い方

・時計用タイマ

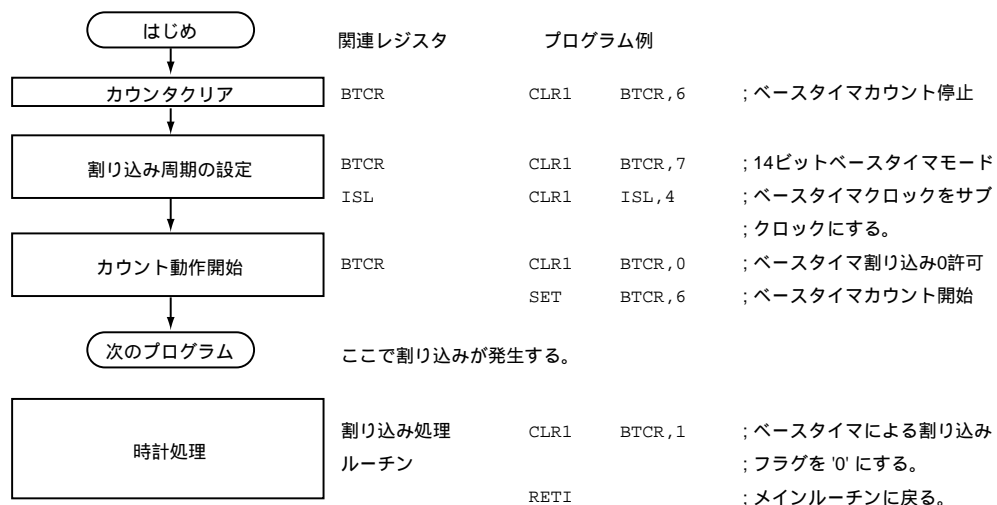


図 4-31 時計用タイマー

4.5 シリアルインターフェイス

ビジュアルメモリ用カスタムチップは、2チャンネルの同期式シリアルインターフェイスを内蔵しています。これは、データ長8ビットの同期式シリアルインターフェイスで、ポート1を使用しています。これにより、ビジュアルメモリ同士を接続した通信が可能になります。なお、Katana 接続時には、自動的に Katana 専用インターフェイスによる通信となります。

注意

Katana 専用インターフェイス (Maple バスモード) もポート1を使用しますので、同期式シリアル通信との排他使用になります。

同期式シリアルインターフェイスを使用する場合は、アプリケーションにて Katana 専用インターフェイスの使用を禁止にしてください。

シリアルインターフェイスのおもな機能は、次のとおりです。

- ・2チャンネル同期式シリアルインターフェイス
- ・転送クロック選択機能
- ・シリアルインターフェイス SIO0 の転送クロック極性切り換え機能
- ・LSB/MSB 先頭切り換え機能
- ・動作モード切り換え機能
- ・オーバーラン検出機能
- ・転送ビット長制御機能

4.5.1 機能

2チャンネル同期式シリアルインターフェイス

シリアルインターフェイスは2系統用意され、P10~12を入出力端子とするSIO0系、P13~15を入出力端子とするSIO1系があります。

通常ビジュアルメモリでは、SIO0をマスター、SIO1をスレーブとして使用します。

転送クロック選択機能

次に示す3種類の中から選択できます。また、SIO0系のみ転送クロックの極性を選択できます。

- ・内部クロック
- ・外部クロック
- ・ソフトウェアクロック

シリアルインターフェイス SIO0 の転送クロック極性切り換え機能

シリアルインターフェイス SIO0 の転送クロック SCK0 の極性を切り換えることができます。

- ①動作停止時、SCK0 = ' 1 ; データ出力保持
- ②動作停止時、SCK0 = ' 0 ; データ出力はSBUF0のビット0

LSB/MSB 先頭切り換え機能

シリアルインターフェイスのデータ通信で、LBS から転送するか、MSB から転送するかを切り替えることができます。

この切り替えは、チャンネルごとに設定できます。

オーバーラン検出機能

8 ビットを超えるクロックを受けた場合にエラーが発生します。

転送ビット長制御機能

8 ビット転送で動作を停止するか、8 ビット転送後も転送を継続するかを選択します。

割り込みの発生

割り込み要求許可ビットがセットされている場合、8 進カウンタのオーバーフローによって SIO0 , SIO1 割り込み要求が発生します。

シリアルインターフェイスを制御するには、次に示す特殊機能レジスタを操作する必要があります。

SCON0 , SCON1 , SBR , SBUF0 , SBUF1 , P1 , P1DDR , P1FCR

注意

シリアルインターフェイスで通信を行なう場合は、下記の点に注意してください。

- (1) ビジュアルメモリ同士が接続されていない状態で、シリアル通信に関する設定を行わないでください。また、通信が終了した場合は必ず (3) の設定を行なってください。
シリアル通信の設定を行う場合は、ポート 7 の状態をチェックし、他のビジュアルメモリが接続されていることを確認してから行ってください。
- (2) ビジュアルメモリ同士の接続が確認できた後、シリアル通信に関する設定を行なってください。
ビジュアルメモリ同士が接続されたかどうかは、ポート 7 で確認できます。

	P70	P72	P73
ビジュアルメモリと接続した場合	L	L	H
ビジュアルメモリと未接続の場合	L	L	L

- (3) 通信を終了する場合や、ビジュアルメモリ同士が未接続の場合は、以下の設定を行なってください。
SCON0 = 00H
SCON1 = 00H
P1FCR = 0BFH
P1DDR = 0A4H
ビジュアルメモリ同士が接続されていない状態で、シリアル通信の設定を行なうと正常に動作しない場合があります。

4.5.2 回路構成

シリアルインターフェイスは、図 4-32 と図 4-33 のように構成されています。

シフトレジスタ ①

8 ビットのシフトレジスタ (SBUF0, 1) で構成され、指定されたクロックで動作します。

8 進カウンタ ②

シフトクロックをカウントし、転送終了を検出します。

ボーレートジェネレータ ③

データ設定用の 8 ビットレジスタ (SBR) と 8 ビットリロードカウンタで構成されています。転送クロックに「内部クロック」を選択すると、ここで作成されたクロックでデータ転送が行われます。このボーレートジェネレータは、SIO0 系、SIO1 系の両方で使用されます。

参照

「内部クロック」については「4.5.6 シリアル転送クロック」を参照してください。

極性切り換え回路

シリアル転送前後の転送クロックの極性を制御します。

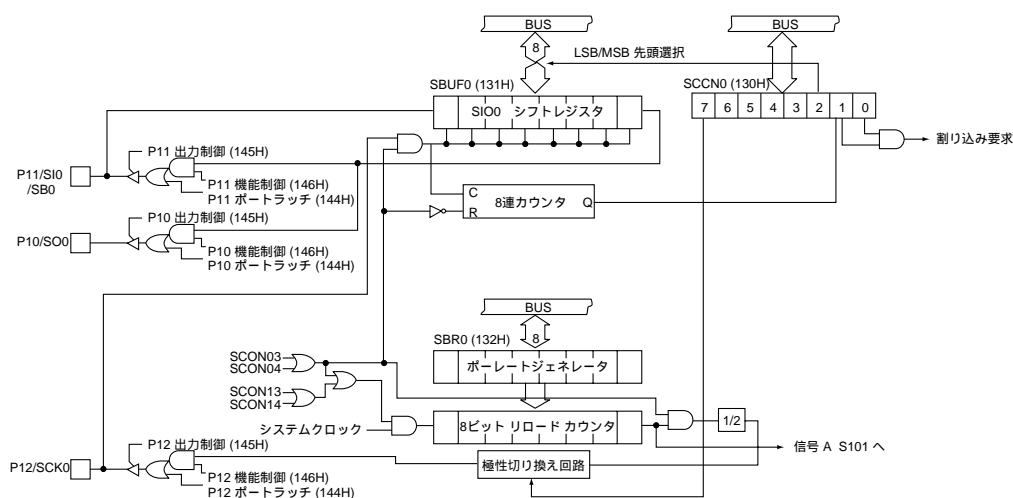


図 4-32 シリアルインターフェイス (SIO0) ブロック図

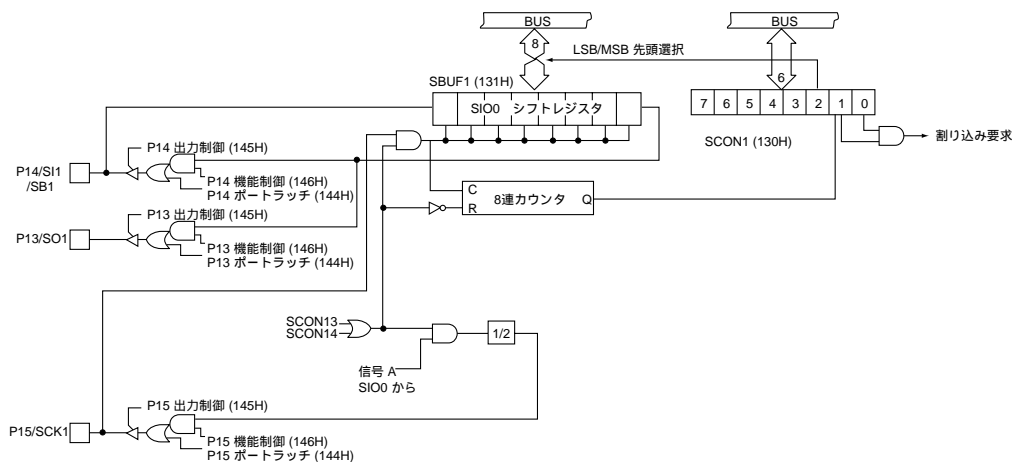


図 4-33 シリアルインターフェイス (SIO0) ブロック図

4.5.3 関連レジスタ

SIO0 制御レジスタ (SCON0)

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
SCON0	130H	R/W	SCON07	SCON06	-	SCON04	SCON03	SCON02	SCON01	SCON00
リセット時			0	0	H	0	0	0	0	0

ビット名	機能
SCON07 (ビット 7)	極性制御 0:動作停止時, SCK0='1', データ出力保持 1:動作停止時, SCK0='0', データ出力はSBUF0のビット0
SCON06 (ビット 6)	オーバーランフラグ 0: オーバーランなし 1: オーバーランあり
SCON04 (ビット 4)	転送ビット長制御 0: 8ビット転送 1: 連続転送
SCON03 (ビット 3)	転送制御 0: 転送停止 1: 転送開始
SCON02 (ビット 2)	LSB/MSB先頭選択 0: LSB先頭 1: MSB先頭
SCON01 (ビット 1)	シリアル転送終了フラグ 0: 転送中 1: 転送終了
SCON00 (ビット 0)	割り込み要求許可 0: 割り込み要求禁止 1: 割り込み要求許可

SCON07 (ビット 7): SCK0 極性制御

SIO0 で使用される転送クロック SCK0 の極性を制御します。

‘ 1 ’ をセットすると、SIO0 の動作が停止したときに SCK0 は ‘ 0 ’ になり、出力には SBUF0 のビット 0 が出力されます。

‘ 0 ’ にリセットすると、SIO0 の動作が停止したときに SCK0 は ‘ 1 ’ になり、出力には転送された最後のデータが保持されます。

SCON06 (ビット 6): オーバーランフラグ

SIO0 のシリアル転送のエラーを検出します。

8 ビットのデータ転送が終了した (SCON01 が ‘ 1 ’ になった) あとで転送クロックを受けた (立ち下がりを検出した) 場合にセットされます。

また、連続転送を実行する場合は、8 ビットごとにオーバーランフラグがセットされます。

注意

このフラグは自動的にリセットされません。アプリケーション側でリセットしてください。

SCON04 (ビット 4): 転送ビット長制御

SIO0 の転送データのビット長を、8 ビットの連続または 8 ビットに切り替えます。

連続 (1) / 8 ビット (0) を選択します。

‘ 1 ’ をセットすると、2 バイト以上のデータを 8 ビット単位で連続して転送することができます。

‘ 0 ’ にリセットすると、8 ビットのデータを転送 (1 バイトだけ) することができます。

データ転送が終了しても、このフラグはリセットされません。アプリケーション側でリセットしてください。

SCON03 (ビット 3): SIO0 動作制御

SIO0 の転送を開始または中止します。

‘ 1 ’ をセットすると、SIO0 の 8 ビットのシリアル転送を開始します。8 ビット分の転送を終えるとフラグがリセットされます。

‘ 0 ’ にリセットすると、SIO0 の転送動作を中止します。

SCON02 (ビット 2): LSB/MSB 先頭選択

転送時のデータの先頭を、MSB からにするか LSB からにするかを選択します。

‘ 1 ’ をセットすると、MSB から転送を開始します。

‘ 0 ’ にリセットすると、LSB から転送されます。

注意

このフラグは、送受信に共通です。送信と受信で MSB 先頭か LSB 先頭かを合わせる必要がありますので注意してください。

SCON01 (ビット 1): SIO0 転送終了フラグ

シリアル転送の終了を検出します。

8 ビットぶんのシリアル転送が終了するとセットされます。

また、このフラグがセットされているときに、転送クロックの立ち下がりが検出されると、オーバーランフラグがセットされます。

注意

このフラグは自動的にリセットされません。アプリケーション側でリセットしてください。

SCON00 (ビット 0): SIO0 割り込み要求許可制御

SIO0 の転送終了による割り込み要求を許可または禁止します。

‘ 1 ’をセットすると、SIO0 の転送終了によって割り込みベクトル 0033H が CALL されます。

‘ 0 ’にリセットすると、割り込み要求は発生しません。

注意

転送終了フラグは、転送ビット長制御の設定に関わらず、8 ビット (1 バイト) 転送終了時に ‘ 1 ’になります。

なお、オーバーランフラグは、オーバーランを検知した場合にセットされるだけで、割り込みなどは発生しません。

SIO1 制御レジスタ (SCON1)

シンボル	アドレス	R/W	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
SCON1	134H	R/W	-	SCON16	-	SCON14	SCON13	SCON12	SCON11	SCON10
リセット時			H	0	H	0	0	0	0	0

ビット名	機能
SCON16 (ビット6)	オーバーランフラグ
	0: オーバーランなし 1: オーバーランあり
SCON14 (ビット4)	転送ビット長制御
	0: 8ビット転送 1: 連続転送
SCON13 (ビット3)	転送制御
	0: 転送停止 1: 転送開始
SCON12 (ビット2)	LSB/MSB先頭選択
	0: LSB先頭 1: MSB先頭
SCON11 (ビット1)	シリアル転送終了フラグ
	0: 転送中 1: 転送終了
SCON10 (ビット0)	割り込み要求許可
	0: 割り込み要求禁止 1: 割り込み要求許可

SCON16 (ビット6): オーバーランフラグ

SIO1 のシリアル転送のエラーを検出します。

8 ビットのデータ転送が終了した (SCON11 が '1' になった) あとに転送クロックを受けた (立ち下がりを検出した) 場合にセットされます。

連続転送中は、8 ビット転送するごとにオーバーランフラグがセットされます。

注意

このフラグは自動的にリセットされません。アプリケーション側でリセットする必要があります。

SCON14 (ビット4): 転送ビット長制御

SIO1 の転送データのビット長を、8 ビットデータ連続転送か、8 ビットのみの転送かを選択します。

'1' をセットすると、2 バイト以上のデータを 8 ビット単位で連続して転送することができます。

'0' にリセットすると、8 ビットぶんのデータを転送することができます。この場合、8 ビットの転送が終了すると転送終了フラグ (SCON11) がセットされます。

注意

データ転送が終了してもこのフラグはリセットされません。アプリケーション側でリセットしてください。

SCON13 (ビット 3): SIO1 動作制御

SIO1 の転送を開始または中止します。

‘ 1 ’ をセットすると、SIO1 の 8 ビットのシリアル転送を開始します。転送が終了するとフラグは自動的にリセットされます。

‘ 0 ’ にリセットすると、SIO1 の動作を中止します。

SCON12 (ビット 2): LSB/MSB 先頭選択

転送時のデータの先頭を、MSB にするか LSB にするかを選択します。

‘ 1 ’ をセットすると、MSB が先頭になります。

‘ 0 ’ にリセットすると、LSB が先頭になります。

注意

このフラグは、送受信に共通です。送信と受信で MSB 先頭か LSB 先頭かを合わせる必要がありますので注意してください。

SCON11 (ビット 1): SIO1 転送終了フラグ

シリアル転送の終了を検出します。

8 ビットのシリアル転送が終了するとセットされます。

‘ 1 ’ にセットされてかつ、転送クロックの立ち下がりが検出されると、オーバーランフラグがセットされます。

注意

このフラグは自動的にリセットされません。アプリケーション側でリセットしてください。

SCON10 (ビット 0): SIO1 割り込み要求許可制御

SIO1 の転送終了による割り込み要求を許可または禁止します。

‘ 1 ’ をセットすると、SIO1 の転送終了によって割り込みベクトル 003BH が CALL されます。

‘ 0 ’ にリセットすると、割り込み要求は発生しません。

注意

転送終了フラグは、転送ビット長制御の設定に関わらず、8 ビット (1 バイト) 転送終了時に ‘ 1 ’ になります。

なお、オーバーランフラグは、オーバーランを検知した場合にセットされるだけで、割り込みなどは発生しません。

ボーレートジェネレータレジスタ (SBR)

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
SBR	132H	R/W	SBR7	SBR6	SBR5	SBR4	SBR3	SBR2	SBR1	SBR0
リセット時			0	0	0	0	0	0	0	0

転送クロックに内部クロックを使用する場合、その転送レートを設定します。この値は、SIO0、SIO1 の両方に共通です。転送レート TSBR は、次に示す式で得られます。

$$TSBR = (256 - [SBR \text{ 設定値}]) \times 2 \times T_{cyc} \quad (T_{cyc} \text{ はサイクルクロックの周期})$$

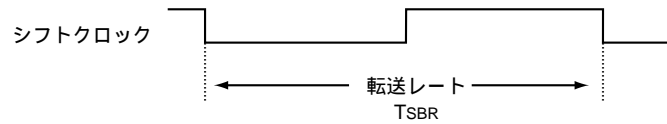


図 4-34 SIO0、SIO1 の転送レート

シリアルバッファ 0 (SBUF0)

SIO0 から転送するデータ (8 ビットぶん) を格納します。

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
SBUF0	131H	R/W	SBUF07	SBUF06	SBUF05	SBUF04	SBUF03	SBUF02	SBUF01	SBUF00
リセット時			0	0	0	0	0	0	0	0

シリアルバッファ 1 (SBUF1)

SIO1 から転送するデータ (8 ビットぶん) を格納します。

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
SBUF1	135H	R/W	SBUF17	SBUF16	SBUF15	SBUF14	SBUF13	SBUF12	SBUF11	SBUF10
リセット時			0	0	0	0	0	0	0	0

Katana 専用インターフェイス回路

ポート 1 は、前述の同期シリアルインターフェイスに加え、Katana 専用インターフェイスの入出力ポートとしても使用されます。Katana 専用インターフェイスと同期式シリアルインターフェイスは同時に使用できません。

4.5.4 シリアルインターフェイスの動作

シリアルインターフェイスは、通信制御ビット（SCON03，SCON13）または転送ビット長選択ビット（SCON04，SCON14）をセットすることでシリアル転送が開始されます。転送モードには、Maple バスモードとノーマルモードがあり、アプリケーションからはノーマルモードのみ利用できます。

ノーマルモード

データ通信に 2 本のデータラインと 1 本のクロックラインを使用します。データラインに入力専用の SI と出力専用の SO を用います。このモードは一般的な転送方法で、特定の相手に対しての通信に適しています。

注意

ビジュアルメモリ同士で通信する場合は、ノーマルモードを利用してください。

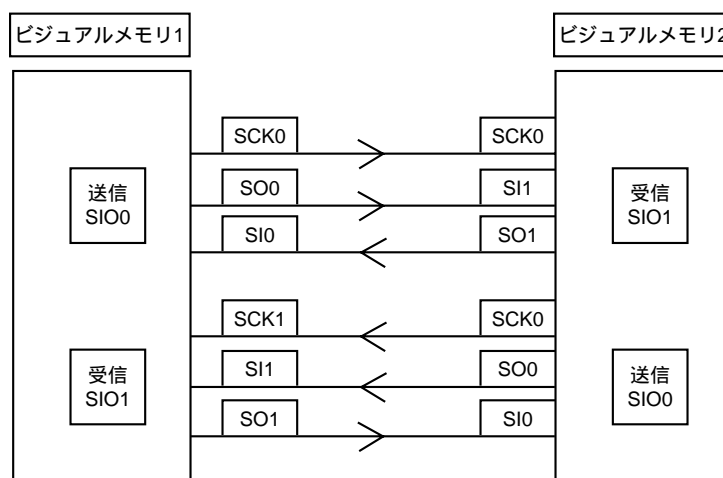


図 4-35 ビジュアルメモリ同士の接続

転送モードは、ポート 1 に関する特殊機能レジスタを操作することで指定できます（表 4-3 参照）。SIO0 系，SIO1 系、それぞれ独立して設定できます。

シリアル転送のタイミング

シフトレジスタは、シリアルクロック SCK0，SCK1 の立ち下がりに同期してシフトし、シフトレジスタのデータは SO0，SO1 端子から出力されます。また、シリアルクロックの立ち上がりで SI0，SI1 端子に入力されたデータがシフトレジスタに取り込まれます。

4.5.5 動作モードの設定

ノーマルモード

出力端子、または内部クロック使用の転送クロックに対応するポートラッチデータをリセットする必要があります。ノーマルモードで使用する端子は、次のとおりです。

表 4-3 ノーマルモードで使用する端子

	SIO0 系	SIO1 系
入力端子	P11/SI0/SB0	P14/SI1/SB1
出力端子	P10/SO0 (P11/SI0/SB0)	P13/SO1 (P14/SI1/SB1)
転送クロック	P12/SCK0	P15/SCK1

注意

転送を開始する 1Tcyc 前には SCKn を ' 1 ' にセットします。1Tcyc 未満では正しいデータが出力されません。

表 4-4 SIO0 系におけるポート 1 の設定 (特殊機能レジスタ)

端子	機能	特殊機能レジスタ値
P11/SI0/SB0 P10/SO0	受信 送信	P11DDR = 0 P10 = 0 P10DDR = 1 P10FCR = 1
P11/SI0/SB0 P10/SO0	受信 汎用入出力	P11DDR = 0 P10FCR = 0
P12/SCK0	内部クロック	P12 = 0 P12DDR = 1 P12FCR = 1

* ソフトクロックは、プログラムでポート (P12) に ' 0 ' と ' 1 ' を交互に書き込み、その出力を転送クロックとします。

ソフトウェアクロックは、プログラムでポート (P12) に ' 0 ' と ' 1 ' を交互に書き込み、その出力を転送クロックとします。

表 4-5 SIO1 系におけるポート 1 の設定 (特殊機能レジスタ)

端子	機能	特殊機能レジスタ値
P14/SI11/SB1 P13/SO1	受信 汎用入出力	P14DDR = 0 P13FCR = 0

ソフトウェアクロックは、プログラムでポート (P15) に '0' と '1' を交互に書き込み、その出力を転送クロックとします。

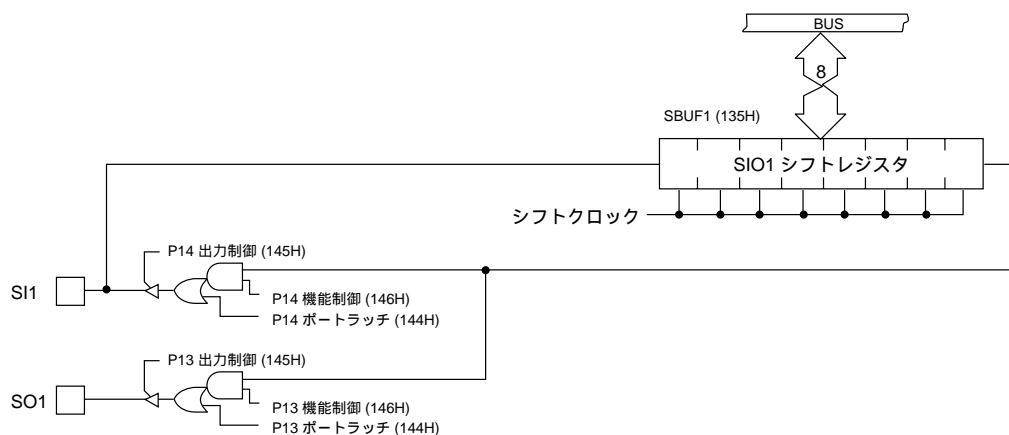


図 4-36 ノーマルモードの信号経路 (SIO1 系の例)

注意

Pn を「出力」にする場合、PnDDR より先に PnFCR を '1' にセットしてください。PnDDR を先に設定すると、PnDDR 設定時に Pn に '0' が出力される場合があります。SIO0, SIO1 共通です。

4.5.6 シリアル転送クロック

シリアル転送クロック (シフトクロック) は、SIO0 系では P12/SCK0 端子、SIO1 系では P15/SCK1 端子を使用します。応用回路の仕様によって、SIO0 系、SIO1 系のそれぞれについてシリアル転送クロックを、次の 3 種類から選択できます。また、SIO0 系のみ転送クロックの極性を切り換えることができます。

- ・内部クロック
- ・外部クロック
- ・ソフトウェアクロック

内部クロック

通常は内部クロックを利用し、シリアル通信を行ないます。

ビジュアルメモリ専用カスタムチップに内蔵しているシリアル転送専用のボーレートジェネレータ (SBR) で転送クロックを作成します。このクロックは、SIO0 系、SIO1 系の双方に共用されます。

シリアルインターフェイスを内部クロックで動作させる場合は、ボーレートジェネレータを動作させる必要があります。この場合、内部クロックで動作しているシリアルインターフェイスのクロック端子 (P12/SCK0, P15/SCK1) からシリアル転送クロックが出力されます。

転送レートとボーレートジェネレータの設定値の関係は、次のとおりです。なお、設定値

は、10 進数です。

$$TSBR = (256 - [SBR \text{ 設定値}]) \times 2 \times T_{cyc} \quad (T_{cyc} \text{ はサイクルクロックの周期})$$

$$TSBR = (256 - [SBR \text{ 設定値}]) \times 2 \times T_{cyc} \quad (T_{cyc} \text{ はサイクルクロックの周期})$$

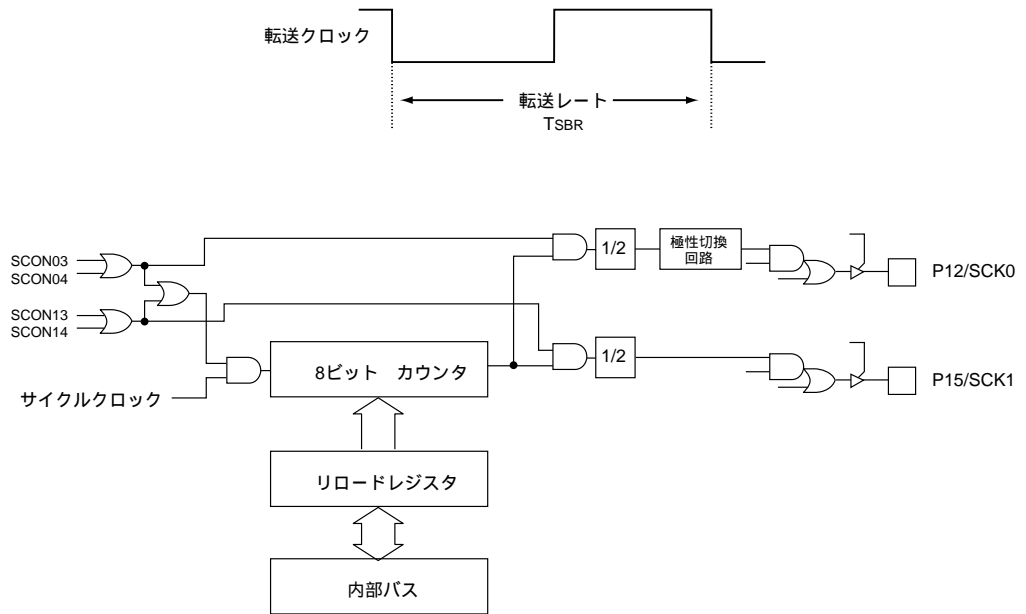


図 4-37 ポーレートジェネレータの構成図

注意

P_n を「出力」にする場合、P_nDDR より先に P_nFCR を '1' にセットしてください。P_nDDR を先に設定すると、P_nDDR 設定時に P_n に '0' が出力される場合があります。SIO0 , SIO1 共通です。

外部クロック

ビジュアルメモリ専用カスタムチップの外部から入力されるクロックでシリアル転送を行います。

ソフトウェアクロック

ポート P12/SCK0、P15/SCK1 端子にプログラムで '1'、'0' を交互に出力し、シリアル転送のクロックとします。

クロック作成例

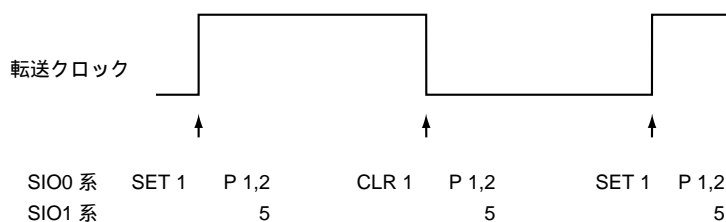


図 4-38 クロック作成例

これらの転送クロックを使う場合、あらかじめ P12/SCK0、P15/SCK1 端子の設定が必要になります。

表 4-6 転送クロックの設定

端子	機能	特殊機能レジスタ値
P12/SCK0	内部クロック	P12=0 P12DDR=1 P12FCR=1
	外部クロック	P12DDR=0
	ソフトウェアクロック	P12=0/1 P12DDR=1 P12FCR=0
P15/SCK1	内部クロック	P15=0 P15DDR=1 P15FCR=1
	外部クロック	P15DDR=0
	ソフトウェアクロック	P15=0/1 P15DDR=1 P15FCR=0

注意

- ・シリアルデータ、シリアルクロックのパルス幅には、1/2 サイクルタイム以上が必要です。サブクロック使用時や外部クロック使用時は、特に注意が必要です。たとえば、サブクロックに 32.768kHz 水晶発振子を使用する場合は、サイクルクロックの周期が 366 μ s になるので、183 μ s 以上のパルス幅が必要です。
- ・シリアルクロックをポート 1 から出力する場合、ポート 1 レジスタは、次の手順で設定してください。設定の順序が異なると誤動作の原因になりますので注意してください。
 - (1) P1FCR の設定
 - (2) P1DDR の設定
 - (3) SCONn の設定 (転送制御ビットの設定)

4.5.7 シリアル転送のタイミング

シリアル転送において、SIO0 (SCON07 = 0 のとき)、SIO1 系では、動作する前後に転送クロック SCK0 は 'H' レベルを出力します (SCK0 = 1)。また、出力端子には最後に転送されたデータが保持されます (図 4-39 参照)。

一方、SCON07 = 1 のときの SIO0 系において、動作する前後に転送クロック SCK0 は 'L' レベルを出力します (SCK0 = 0)。また、出力端子にはシリアルバッファ0 (SBUF0) のビット 0 (SBUF00) が出力、保持されます (図 4-40 参照)。なお、SIO1 系では、極性を切り換えはできません。

SIO0 系

SCON07 = 0	動作停止時, SCK0 = '1', データ出力保持
SCON07 = 1	動作停止時, SCK0 = '0', データ出力は SBUF0 のビット 0

SIO1 系

動作停止時, SCK1 = '1', データ出力保持

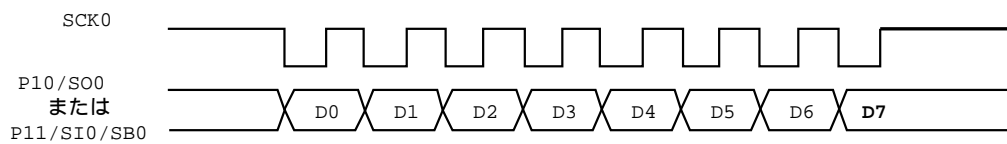


図 4-39 転送クロックと出力データ (1)

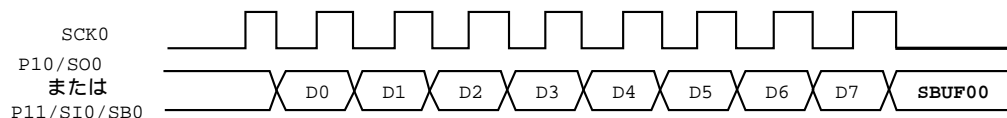


図 4-40 転送クロックと出力データ (2)

4.5.8 LSB/MSB 先頭切り換え機能

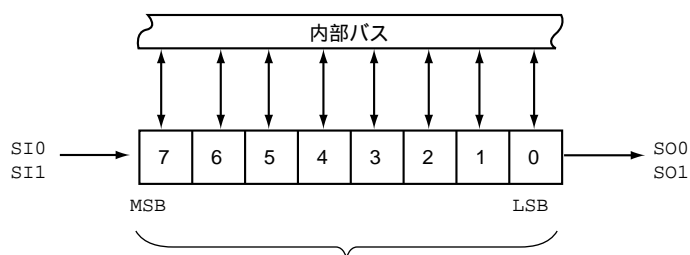
シリアル転送バッファの読み出し / 書き込み時に、LSB MSB の順にするか、MSB LSB の順にするかを切り替えられます。

ビジュアルメモリでは、どちらを推奨するかは特に定めていません。
一般のコンピュータに採用されている RS-232C 規格では、LSB MSB の順に転送しています。

この機能を使って、シリアルデータを LSB 先頭にするか、MSB 先頭にするかを切り換えることができます。この切り換えは、シリアル転送制御レジスタ (SCON0, SCON1) で行います。

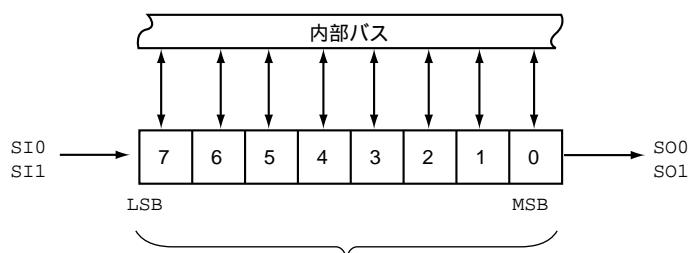
注意

LSB/MSB 先頭切り替えは、必ず転送を開始する前に行なってください。転送開始後に変更し場合は、以前の設定で転送されます。



シリアル転送バッファ

図 4-41 LSB 先頭指定のシリアル転送バッファと内部バスの対応



シリアル転送バッファ

図 4-42 MSB 先頭指定のシリアル転送バッファと内部バスの対応

図 4-43 と図 4-44 に、SIO0 を使用したときの LSB 先頭と MSB 先頭のシリアル送受信のタイミングを示します。

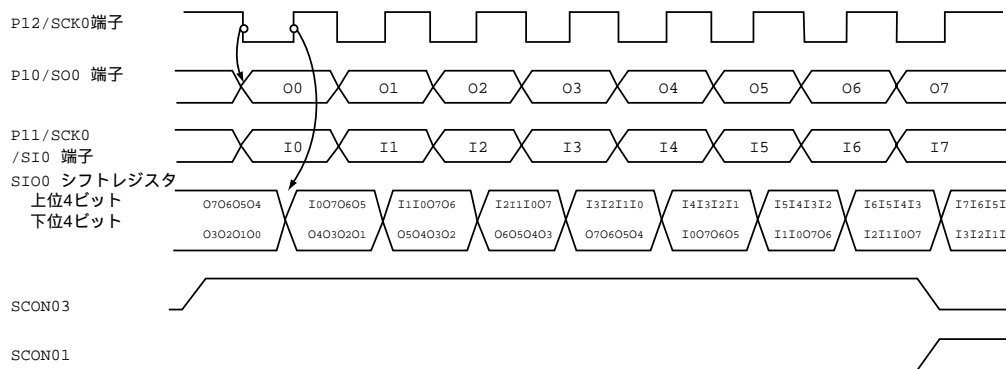


図 4-43 LSB 先頭指定のシリアル転送バッファと内部バスの対応

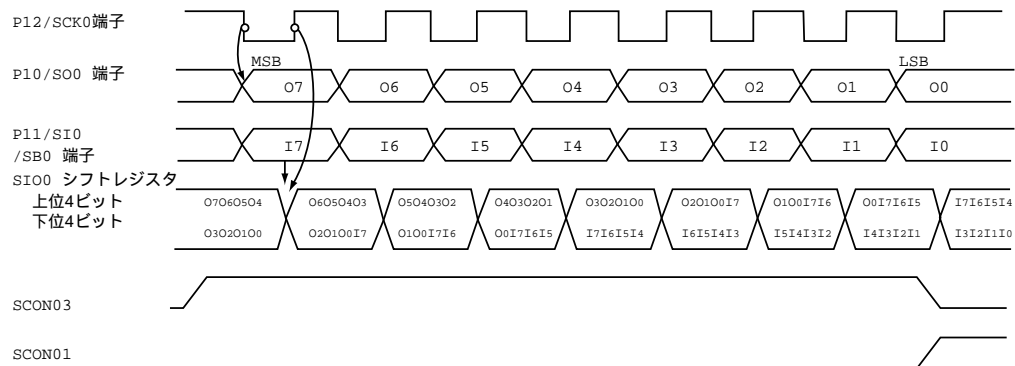


図 4-44 MSB 先頭指定のシリアル転送バッファと内部バスの対応

4.5.9 オーバーラン検出機能

オーバーラン検出機能は、シリアル通信エラーを検出する機能です。

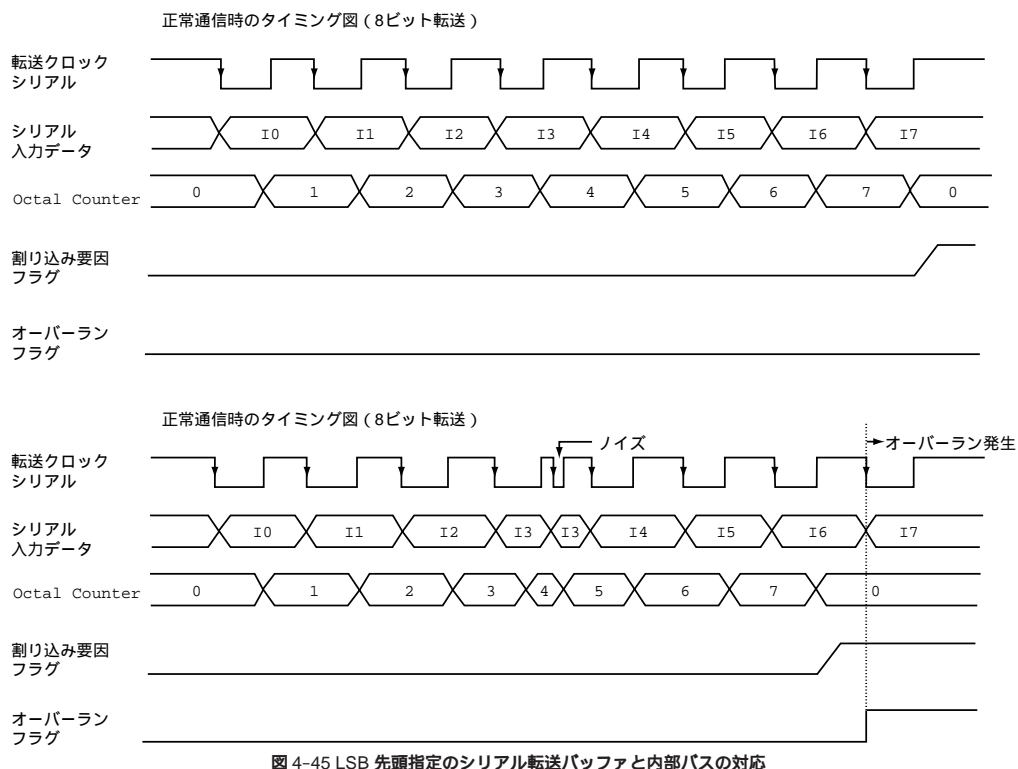
割り込み要因フラグ (SCON01, SCON11) がセットされている場合、転送クロックの立ち下がりでもオーバーランフラグ (SCON06, SCON16) がセットされます。

正常通信時のタイミングとオーバーラン発生時のタイミングは、図 3-5 - 13 のとおりです。8 ビット目のデータの転送クロックの立ち上がりで、割り込み要因フラグ (SCON01, SCON11) はセットされます。この状態で転送クロックの立ち下がりが検出されるとオーバーラン検出フラグがセットされます。

なお、オーバーランフラグは、オーバーランを検知した場合にセットされるだけで、割り込みなどは発生しません。

注意

- ・オーバーランフラグの確認は、割り込み要因フラグが '1' にセットされてから 1/2 転送クロック以上経過してから行なってください。
- ・8 ビットを超える転送モード (連続転送モード) に設定されている場合も、8 ビット転送と同じタイミングでオーバーラン検出機能が働きます。



4.5.10 転送ビット長制御機能

8 ビットを超えるシリアルデータを転送する場合、転送ビット長制御ビット SCON04 または SCON14 をセットすることで、連続転送が可能です。

- ・ SCON04 , SCON14 をセットすると、シリアル転送が開始されます。8 ビットぶんの転送が終えても、このビットはリセットされません。
- ・ 割り込み要因フラグは、8 ビット転送と同じタイミング (8 ビット転送終了時) でセットされます。
- ・ オーバーラン検出ビット SCON06 , SCON16 は、8 ビット転送を超えたとき点のシリアルクロックの立ち下がりでセットされます。タイミングは「4.5.9 オーバーラン検出機能」を参照してください。
- ・ 転送ビット長を 8 ビットに設定した場合、転送制御ビット SCON03 , SCON13 をセットすると転送を開始します。8 ビットぶんの転送が終了すると、転送制御ビットはリセットされます。これにより、割り込み要因フラグ (SCON01 , SCON11) がセットされます。また、シリアル転送は自動的に停止します。
- ・ 転送ビット長を「連続転送」に設定した場合、転送ビット長制御ビット SCON04 , SCON14 をセットすると転送を開始します。このビットをリセットするまで転送が続けられます。割り込み要因フラグは、8 ビット転送後にセットされます。

4.5.1 1 プログラム例

SIO0 シリアル転送 ① (送信例)

転送条件

- ・ 8 ビット転送
- ・ 転送データ : 038H (8 ビット)
- ・ MSB 先頭
- ・ 立ち下がり出力
- ・ ノーマルモード
- ・ 内部クロック
- ・ ボーレート : 25.6ms
- ・ システムクロック : 32KHz 水晶発振サブクロック

ボーレートの計算式から、 $TSBR = (256 - [SBR]) \times 2 \times T_{cyc}$

$$[SBR] = 256 - TSBR / (2 \times T_{cyc})$$

ここで $TSBR = 25.6ms$ であり、 $T_{cyc} = 366 \mu s$ であるので、ボーレートジェネレータレジスタ (SBR) の設定値は次のようになります。

$$\begin{aligned}[SBR] &= 256 - 25600 / (2 \times 366) \\ &= \text{約 } 221 \text{ (10 進)} \\ &= 0DDH \text{ (16 進)}\end{aligned}$$

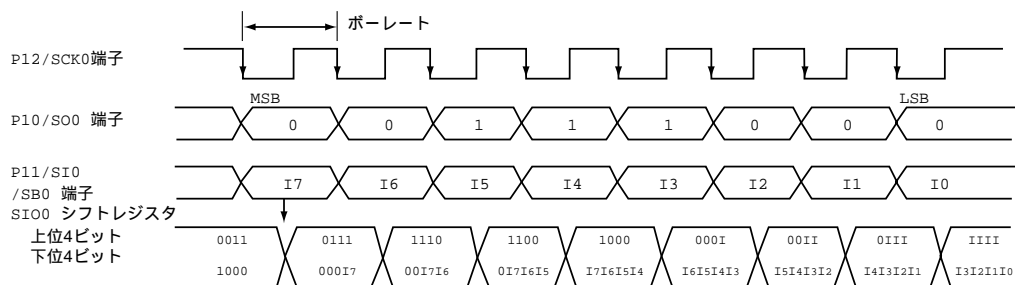


図 4-46 シリアル転送①のタイミング

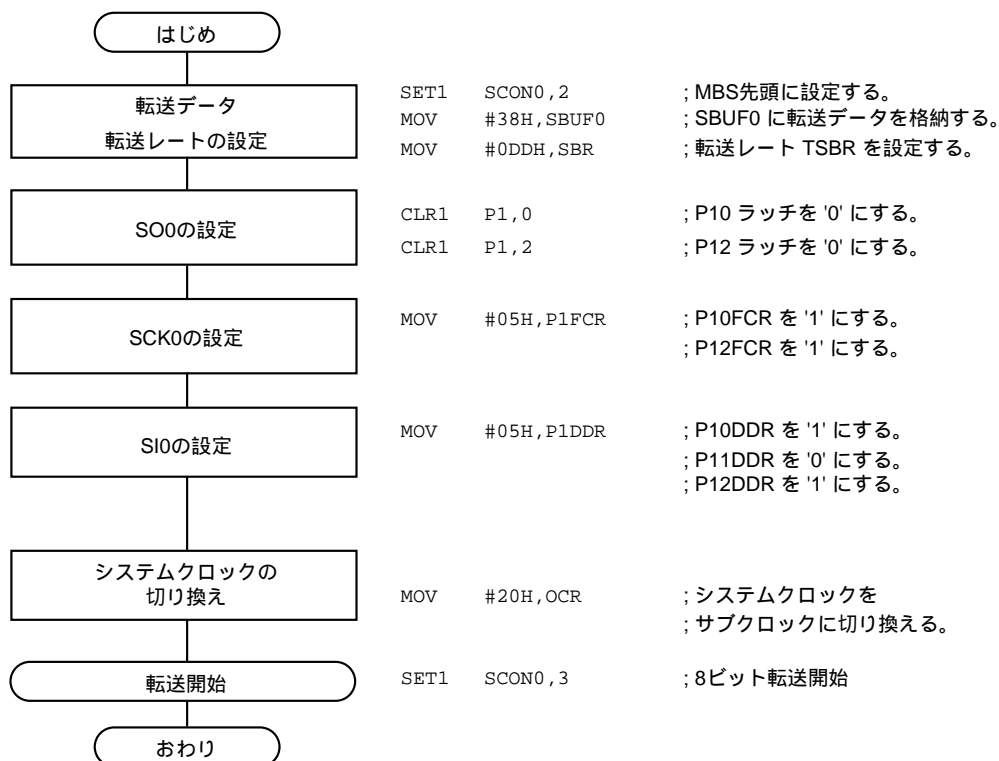


図 4-47 シリアル転送(送信側)のプログラム例

SIO1 シリアル転送 ② (受信例)

転送条件

- ・ 16 ビット転送
- ・ LSB 先頭
- ・ 外部クロック
- ・ SO1 からは SB1 と同じ出力データを出力する。
- ・ 読み込んだデータの上位 8 ビットを RAM の # 031H 番地に、下位 8 ビットを # 030H 番地に格納する。

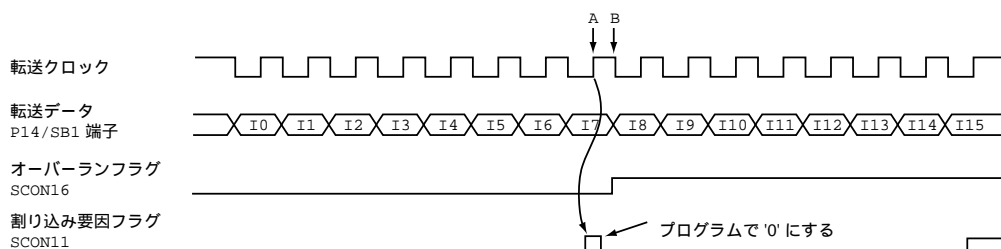


図 4-48 シリアル転送②のタイミング

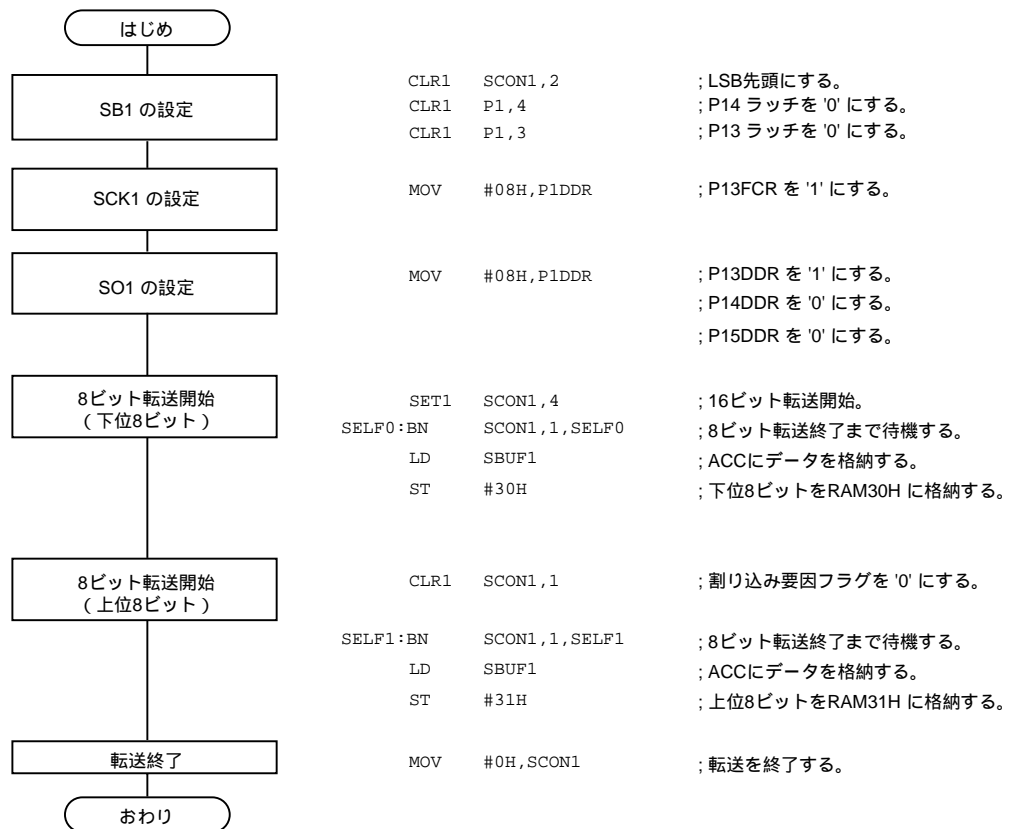


図 4-49 シリアル転送 (受信側) のプログラム例

注意

- ・ この例において、SELF0 の次の命令の実行から SELF1 の命令実行までの間に転送クロックの立ち上がり (B) があると、誤動作を生じます。転送レートは、サイクルクロックの周期に対して十分に長くってください。
- ・ 転送を開始する 1Tcyc 前には SCKn を '1' にします。1Tcyc 未満では正しいデータが出力されません。
- ・ Pn を「出力」にする場合、PnDDR より先に PnFCR を '1' にセットしてください。PnDDR を先に設定すると、PnDDR 設定時に Pn に '0' が出力される場合があります。SIO0, SIO1 共通です。

4.6 ドットマトリクス LCD コントローラ

LCD コントローラ / ドライバは、表示用 RAM に格納されたデータを自動的に読み出し、ドットマトリクス LCD 駆動信号を発生するための回路です。

表示モードは、表示用 RAM の 1 ビットのデータが LCD の 1 ドットの点灯 / 非点灯に対応するグラフィックモードです。

ドットマトリクス LCD コントローラ / ドライバは、次の回路ブロックにより構成されています。

- ・ 表示用 RAM (XRAM)
- ・ 表示コントロールレジスタ
- ・ 液晶表示用電源回路

4.6.1 機能

- ・ 表示デューティ : 1/33 デューティ
- ・ 表示バイアス : 1/5 バイアス
- ・ グラフィック表示
- ・ 液晶インストラクション
表示 : ON/OFF
- ・ グラフィック表示
横 48 ドット × 縦 32 ドット (マトリクス表示) + 4 モードアイコン表示可能

液晶表示を制御するには、次に示す特殊機能レジスタを操作する必要があります。

- ・ MCR : 液晶表示の ON/OFF の制御
- ・ STAD : 液晶表示のスタートアドレスの制御
- ・ CNR : 水平方向のバイト数の制御
- ・ TDR : 表示デューティの制御
- ・ VCCR : 液晶表示のコントラスト制御
- ・ XBNK : 表示用 RAM のバンクアドレス制御

4.6.2 表示用 RAM (XRAM)

表示用の XRAM は、ドットマトリクス表示用の 96 ビット × 8 ビット × 2 バンクと、アイコン表示用の 6 ビットの 3 バンクで構成されています。

LCD コントローラ / ドライバは、この XRAM に記憶されたデータを読み出し、ドットマトリクス液晶駆動信号を発生します。

注意

XRAM への書き込みまたは読み出しは、システムクロックを RC 発振にしてから行ってください。水晶発振を使うと、ちらつきが発生します。

シンボル	アドレス	R/W	名称	初期値	バンク
XRAM	180H - 1FBH	R/W	表示用 RAM	不定	バンク 0
	180H - 1FBH				バンク 1
	180H - 185H				バンク 2

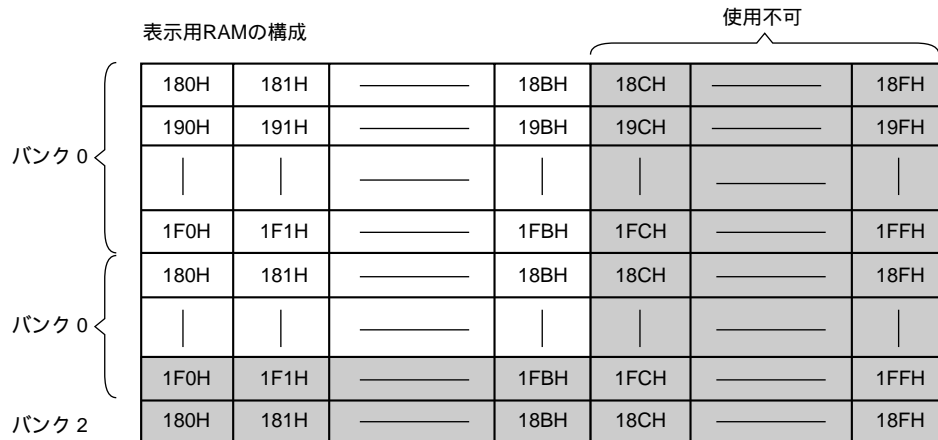


図 4-50 表示用 XRAM の構成

4.6.3 表示コントロール制御レジスタ

モード制御レジスタ (MCR)

液晶コントローラ動作の開始または停止、カーソル表示の制御、液晶表示用クロックの分周比の制御を行います。

注意

モード制御レジスタは、書き込み専用レジスタです。書き込み専用レジスタにビット操作命令、INC 命令、DEC 命令、DBNZ 命令を使用すると、指定したビット以外のビットがセットされるので注意してください。このレジスタ操作には、次の命令を使用してください。

MOV, MOV @, ST, ST @, POP

また、このレジスタを操作する場合は、ビット 7~5 とビット 0 は必ず固定値を設定してください。

シンボル	アドレス	R/W	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
MCR	120H	W	MCR7	MCR6	MCR5	MCR4	MCR3	-	-	MCR0
リセット時			0	0	0	0	0	0	0	0

ビット名	機能			
MCR7 (ビット7)	液晶クロック分周選択			
MCR7 (ビット6)	MCR7	MCR6	MCR5	分周比
MCR5 (ビット5)	0	0	0	1/1 *必ず、MCR7～MCR5 = 0に設定してください
MCR4 (ビット4)	液晶クロック1/2分周回路選択			
	0: MCR7～MCR5で選択された信号の1/2分周信号を液晶クロックとして選択する 1: MCR7～MCR5で選択された信号をそのまま液晶クロックとして選択する (ダイレクトモード)			
MCR3 (ビット3)	液晶コントローラ制御			
	0: 液晶コントローラ 停止 1: 液晶コントローラ 動作開始 / 継続			
MCR0 (ビット0)	表示モード選択			
	1: グラフィックモード *必ず、MCR4 = 1に設定してください			

MCR7～5 (ビット7～5): 液晶表示用クロックの分周比の選択

必ず、MCR7～MCR5 = 0 にリセットしてください。

MCR4 (ビット4): 液晶表示用クロックの 1/2 分周の選択

MCR7～5 で選択した液晶表示用クロックを 1/2 分周するかしないかを選択します。

‘0’にリセットすると、表示用クロックを 1/2 分周します。

‘1’をセットすると、分周しません。

フレーム周波数は、

1/2 分周 (MCR4 = 0): 82.7Hz

1/1 分周 (MCR4 = 1): 165.5Hz

MCR3 (ビット3): LCD コントローラの制御

LCD コントローラを動作させるか停止するかを指定します。

‘1’をセットすると、LCD コントローラが動作を開始します。

‘0’にリセットすると LCD コントローラが停止します。XRAM の内容を変更しても LCD に再描画されなくなります。なお、液晶表示の ON/OFF の制御していません。

MCR0 (ビット0): 表示モードの選択

表示モードは、常にグラフィック表示を選択してください。

グラフィック表示 MCR0 = 1

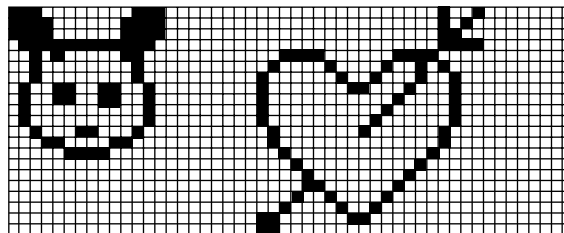


図 4-51 ドットマトリクス表示

液晶表示スタートアドレス制御レジスタ (STAD)

液晶表示のスタートアドレスの制御を行ないます。

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
STAD	122H	R/W	STAD7	STAD6	STAD5	STAD4	STAD3	STAD2	STAD1	STAD0
リセット時			0	0	0	0	0	0	0	0

ビット名	機能								
STAD7 (ビット 7) STAD0 (ビット 0)	液晶表示用RAMの表示スタートアドレスの設定								
	STAD7	STAD6	STAD5	STAD4	STAD3	STAD2	STAD1	STAD0	スタートアドレス
	0	0	0	0	0	0	0	0	0
	0	0	0	0	0	0	0	0	0
	1	1	1	1	1	1	1	1	255

STAD7 ~ 0 (ビット 7 ~ 0): XRAM の表示スタートアドレスの設定

液晶表示画面に現われる表示データの最初のアドレスを設定 (XRAM 180H を STAD = 00H とする) します。

2 バイト単位でデータは変化します。

スタート アドレス	XRAM アドレス	STAD7	STAD6	STAD5	STAD4	STAD3	STAD2	STAD1	STAD0
0H	180H(Bank 0)	0	0	0	0	0	0	0	0
1H	182H(Bank 0)	0	0	0	0	0	0	0	1
2H	184H(Bank 0)	0	0	0	0	0	0	1	0
3H	186H(Bank 0)	0	0	0	0	0	0	1	1
4H	188H(Bank 0)	0	0	0	0	0	1	0	0
5H	18AH(Bank 0)	0	0	0	0	0	1	0	1
6H	設定不可	0	0	0	0	0	1	1	0
7H	設定不可	0	0	0	0	0	1	1	1
8H	190H(Bank 0)	0	0	0	0	1	0	0	0
9H	192H(Bank 0)	0	0	0	0	1	0	0	1
0AH	194H(Bank 0)	0	0	0	0	1	0	1	0
0BH	196H(Bank 0)	0	0	0	0	1	0	1	1
0CH	198H(Bank 0)	0	0	0	0	1	1	0	0
0DH	19AH(Bank 0)	0	0	0	0	1	1	0	1
0EH	設定不可	0	0	0	0	1	1	1	0
0FH	設定不可	0	0	0	0	1	1	1	1
10H	1A0H(Bank 0)	0	0	0	1	0	0	0	0
11H	1A2H(Bank 0)	0	0	0	1	0	0	0	1
:	:	:	:	:	:	:	:	:	:
3DH	1FAH(Bank 0)	0	0	1	1	1	1	0	1
3EH	設定不可	0	0	1	1	1	1	1	0
3FH	設定不可	0	0	1	1	1	1	1	1
40H	180H(Bank 1)	0	1	0	0	0	0	0	0
41H	182H(Bank 1)	0	1	0	0	0	0	0	1
:	:	:	:	:	:	:	:	:	:
7DH	1FAH(Bank 1)	0	1	1	1	1	1	0	1
7EH	設定不可	0	1	1	1	1	1	1	0

7FH	設定不可	0	1	1	1	1	1	1	1
80H	180H(Bank 2)	1	0	0	0	0	0	0	0
81H	182H(Bank 2)	1	0	0	0	0	0	0	1
82H	184H(Bank 2)	1	0	0	0	0	0	1	0
83H - FFH	設定不可								

注意

表中に「設定不可」とあるように、スタートアドレスに設定すると誤動作となる設定値があります。xx6H, xx7H, xxEH, xxFH は、設定できませんので注意してください。

文字数レジスタ (CNR) 123H

このレジスタは、アプリケーションから読み書きしないでください。

時分割レジスタ (TDR) 124H

このレジスタは、アプリケーションから読み書きしないでください。

バンクアドレスレジスタ (XBNK)

XRAM のバンクを切り替えます。

シンボル	アドレス	R/W	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
XBNK	125H	R/W	-	-	-	-	-	-	XBNK1	XBNK0
リセット時			H	H	H	H	H	H	0	0

ビット名	機能		
XRBK1 (ビット1) XRBK0 (ビット0)	液晶表示用RAMの表示スタートアドレスの設定		
	XRBK1	XRBK0	バンクアドレス
	0	0	0
	0	1	1
	1	0	2
	1	1	設定禁止

XBNK1~0 (ビット1~0): 表示用RAMのバンクアドレス制御

XRAM のバンクを切り替えます。

ドットマトリクス表示用の XRAM バンク 0, 1 には、それぞれ 96 バイトのメモリがあります。アプリケーションから読み書きできるのは、バンク 0, 1 のみです。

XRAM バンク 2 は、ビジュアルメモリの動作モードを示すアイコン表示用の 6 バイトの RAM です。

注意

XRAM のバンク 2 は、アプリケーションから操作しないでください。

液晶コントラスト制御レジスタ (VCCR)

液晶表示の表示の ON/OFF を制御します。

注意

- ・コントラスト制御回路は、内蔵していませんので注意してください。
- ・液晶コントラスト制御レジスタは、書き込み専用レジスタです。書き込み専用レジスタにビット操作命令、INC 命令、DEC 命令、DBNZ 命令を使用すると、指定したビット以外のビットがセットされるので注意してください。VCCR レジスタを変更するには、次の命令を使用してください。

MOV, MOV @, ST, ST @, POP

また、このレジスタにアクセスする際は、ビット 5~0 は必ず固定値を設定してください。

シンボル	アドレス	R/W	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
VCCR	127H	W	VCCR7	VCCR6	VCCR5	VCCR4	VCCR3	VCCR2	VCCR1	VCCR0
リセット時			0	0	0	0	0	0	0	0

ビット	機能
VCCR7 (ビット7)	液晶表示制御 0: 液晶表示OFF 1: 液晶表示ON
VCCR6 (ビット6)	液晶表示RAMアクセス制御 0: CPUからの表示用RAMへのアクセス許可 1: CPUからの表示用RAMへのアクセス禁止
VCCR5 (ビット5) VCCR0 (ビット0)	*必ず、VCCR5 ~ VCCR0 = 0に設定してください

VCCR7 (ビット7): 液晶表示の制御

液晶表示を行なうか、表示を停止するかを指定します。

‘ 0 ’ にリセットすると、液晶パネルへの電源を遮断し液晶表示が消えます。

(1) 液晶表示 ON(VCCR7 =1)

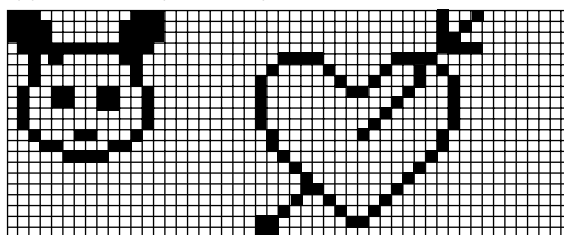


図 4-52 液晶表示状態

‘ 1 ’ をセットすると、液晶パネルへの電源が供給され液晶が表示されます。

(2) 液晶表示 OFF (VCCR7 = 1)

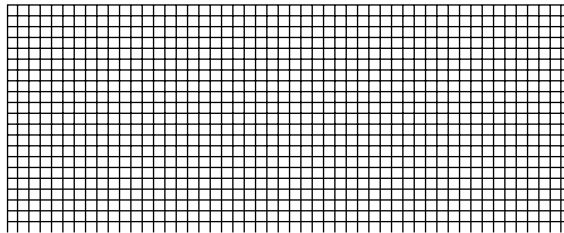


図 4-53 液晶消灯状態

注意

液晶表示を行なう (VCCR7 = 1) 場合は、必ず液晶コントローラ動作を開始 (MCR3 = 1) してから行なってください。
液晶表示を消す場合は、VCCR7 = 0 にしてから MCR3 = 0 にしてください。

1 VCCR6 (ビット 6): 液晶表示 RAM アクセス制御

システムクロックをサブクロック (水晶発振) に設定し、LCD 表示を行っている場合、必ずシステムクロックを変更後、CPU から XRAM へのアクセスを禁止 (VCCR6 = 1) に設定してください。

また、XRAM に読み書きを行うときや、システムクロックを CF 発振、RC 発振に設定し、LCD 表示を行っている場合は、CPU からのアクセスを許可 (VCCR6 = 0) してください。

液晶表示中にシステムクロックを変更する手順は、次のとおりです。

- ・ RC 発振 水晶発振
VCCR6 = 1
OCR5 = 1, OCR4 = 0
- ・ 水晶発振 RC 発振
VCCR6 = 0
OCR5 = 0, OCR4 = 0 (RC 発振)

VCCR5 ~ 0 (ビット 5 ~ 0)

必ず ‘ 0 ’ にリセットしてください。

注意

LCD 表示を行なう場合、VCCR を最後に設定してください。

4.7 外部割り込み機能

ビジュアルメモリ専用カスタムチップは、P70/INT0、P71/INT1、P72/INT2/T0IN 端子、P73/INT3/T0IN 端子において、外部入力信号を検出し、4 種類の割り込みベクトルへの割り込み要求を発生する機能を持っています。

検出する信号の種類は、アプリケーションから選択できます。P70 は、ビジュアルメモリがドリームキャストコントローラへ接続されたことを検知するために使用します。P71 は低電圧の検出に使用します。

検出できる端子と割り込みベクトル

端子	ベクトルアドレス	端子	ベクトルアドレス
P70/INT0	003H	P72/INT2/T0IN 端子	013H
P71/INT1	00BH	P73/INT3/T0IN 端子	01BH

検出できる信号

INT0、INT1 の割り込みは、マスター割り込み許可制御レジスタ (IE) によって、優先順位を「最高レベル」と「低レベル」に設定することができます。「最高レベル」に設定すると、マスター割り込み許可に関係なく、それぞれの割り込み処理が実行できます。INT0、INT1 以外の割り込みは、割り込み優先順位制御レジスタ (IP) によって優先順位を「高レベル」と「低レベル」に設定できます。また、P73/INT3/T0IN 端子には時定数の切り換え可能なノイズ除去フィルタが接続されています。

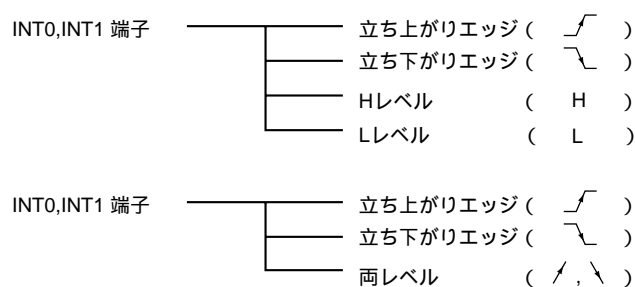


図 4-54 割り込み検出できる信号

ビジュアルメモリ同士の接続を検出

ビジュアルメモリ同士を接続すると、P70～P73 の値が次のようになります。

	P70	P72	P73
ビジュアルメモリと接続した場合	L	L	H
ビジュアルメモリと未接続の場合	L	L	L

外部割り込み機能を使用するためには、次に示す特殊機能レジスタを操作する必要があります。

I01CR、I23CR、ISL、IE

4.7.1 回路構成

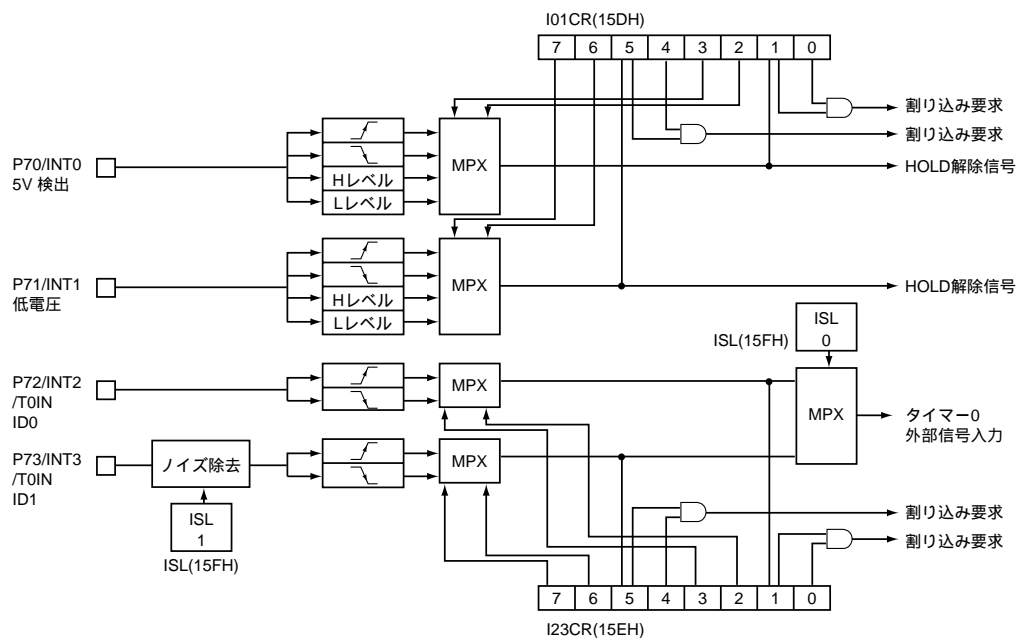


図 4-55 外部割り込み回路ブロック図

4.7.2 関連レジスタ

外部割り込み 0, 1 制御レジスタ (I01CR)

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
I01CR	15DH	R/W	I01CR7	I01CR6	I01CR5	I01CR4	I01CR3	I01CR2	I01CR1	I01CR0
リセット時			0	0	0	0	0	0	0	0

ビット名	機能		
I01CR7 (ビット7)	INT1検出レベル/エッジ選択		
I01CR6 (ビット6)	I01CR7	I01CR6	INT1割り込み条件
	0	0	立ち下がり検出
	0	1	'L' レベル検出
	1	0	立ち下がり検出
	1	1	'H' レベル検出
I01CR5 (ビット5)	INT1割り込み要因		
	0: 割り込み要因なし		
	1: 割り込み要因あり		
I01CR4 (ビット4)	INT1割り込み許可制御		
	0: 割り込み禁止		
	1: 割り込み許可		
I01CR3 (ビット3)	INT0検出レベル/エッジ選択		
I01CR2 (ビット2)	I01CR3	I01CR2	INT0割り込み条件
	0	0	立ち下がり検出
	0	1	'L' レベル検出
	1	0	立ち下がり検出
	1	1	'H' レベル検出
I01CR1 (ビット1)	INT0割り込み要因		
	0: 割り込み要因なし		
	1: 割り込み要因あり		
I01CR0 (ビット0)	INT0割り込み許可制御		
	0: 割り込み禁止		
	1: 割り込み許可		

I01CR7~6 (ビット 7~6): INT1 検出レベル/エッジ選択

P71/INT1 端子に入力される信号による INT1 割り込み条件を選択します。

I01CR7	I01CR6	INT1 割り込み条件
0	0	立ち下がり検出
0	1	'L' レベル検出
1	0	立ち上がり検出
1	1	'H' レベル検出

レベル検出は‘ L ’または‘ H ’の間、連続して割り込みが発生します。

I01CR5 (ビット 5): INT1 割り込み要因

I01CR7, 6 で指定された条件が満たされるとセットされます。INT1 の割り込みが許可 (I01CR4 = 1) されていれば、割り込みベクトル 000BH が CALL され割り込み処理に入ります。

注意

割り込み処理が終了しても、このフラグは自動的にリセットされません。アプリケーション側でリセットしてください。

I01CR4 (ビット 4): INT1 割り込み許可制御

外部割り込み 1 (INT1) の受け付けを許可または禁止します。

‘ 1 ’をセットすると、I01CR5 がセットされた場合に INT1 の割り込み処理が実行されます。

‘ 0 ’にリセットすると、割り込み処理は実行されません。

I01CR3 ~ 2 (ビット 3 ~ 2): INT0 検出レベル / エッジ選択

P70/INT0 端子に入力される信号による INT0 割り込み条件を選択します。

I01CR3	I01CR2	INT0 割り込み条件
0	0	立ち下がり検出
0	1	‘ L ’レベル検出
1	0	立ち上がり検出
1	1	‘ H ’レベル検出

レベル検出は‘ L ’または‘ H ’の間、連続して割り込みが発生します。

I01CR1 (ビット 1): INT0 割り込み要因

I01CR3, 2 で指定された条件が満たされるとセットされます。INT0 の割り込みが許可 (I01CR0 = 1) されていれば、割り込みベクトル 0003H が CALL され割り込み処理に入ります。

注意

割り込み処理が終了しても、このフラグは自動的にリセットされません。アプリケーション側でリセットしてください。

I01CR0 (ビット0): INT0 割り込み許可制御

外部割り込み0 (INT0) の受け付けを許可または禁止します。

‘1’ をセットすると、I01CR1 がセットされた場合に INT0 の割り込み処理が実行されます。

‘0’ にリセットすると、割り込み処理は実行されません。

外部割り込み 2、3 制御レジスタ (I23CR)

詳細は「4.2 タイマー / カウンタ 0 (T0)」の「外部割り込み 2、3 制御レジスタ (I23CR)」を参照してください。

シンボル	アドレス	R/W	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
I23CR	15EH	R/W	I23CR7	I23CR6	I23CR5	I23CR4	I23CR3	I23CR2	I23CR1	I23CR0
リセット時			0	0	0	0	0	0	0	0

ビット名	機能
I23CR7 (ビット7)	INT3立ち上がりエッジ検出制御
	0: 検出しない
	1: 検出する
I23CR6 (ビット6)	INT3立ち下がりエッジ検出制御
	0: 検出しない
	1: 検出する
I23CR5 (ビット5)	INT3割り込み要因
	0: 割り込み要因なし
	1: 割り込み要因あり
I23CR4 (ビット4)	INT3割り込み許可制御
	0: 割り込み禁止
	1: 割り込み許可
I23CR3 (ビット3)	INT2立ち上がりエッジ検出制御
	0: 検出しない
	1: 検出する
I23CR2 (ビット2)	INT2立ち下がりエッジ検出制御
	0: 検出しない
	1: 検出する
I23CR1 (ビット1)	INT2割り込み要因
	0: 割り込み要因なし
	1: 割り込み要因あり
I23CR0 (ビット0)	INT2割り込み要求許可制御
	0: 割り込み要求禁止
	1: 割り込み要求許可

入力信号選択レジスタ (ISL)

詳細は「4.2 タイマー / カウンタ 0 (T0)」の「入力信号選択レジスタ (ISL)」を参照してください。

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
ISL	15FH	R/W	-	-	ISL5	ISL4	ISL3	ISL2	ISL1	ISL0
リセット時			H	H	0	0	0	0	0	0

ビット名	機能		
ISL5 (ビット5) ISL4 (ビット4)	ベースタイムクロック選択		
	ISL5	ISL4	
	1	1	タイマー / カウンタT0プリスケアラ
	0	1	サイクルクロック
ISL3 (ビット3)	x	0	サブクロック (水晶発振)
	使用不可		
	0 : fBST/16 固定 1 : 使用不可		
ISL2 (ビット2) ISL1 (ビット1)	ノイズ除去フィルタ時定数選択		
	ISL2	ISL1	時定数
	1	1	16Tcyc
	0	1	64Tcyc
	x	0	1Tcyc
ISL0 (ビット0)	T0のクロック入力端子選択		
	0 : P72/INT2/T0INT端子		
	1 : P73/INT3/T0INT端子		

マスター割り込み許可制御レジスタ (IE)

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
IE	108H	R/W	IE7	-	-	-	-	-	IE1	IE0
リセット時			0	H	H	H	H	H	0	0

ビット名	機能			
IE7 (ビット7)	マスター割り込み許可制御 (高レベル, 低レベル)			
	0 : 割り込み要求をすべて禁止 1 : 割り込み要求をすべて許可			
IE1 (ビット1) IE0 (ビット0)	INT0 1 割り込み優先制御			
	IE1	IE0	INT1優先レベル	INT0優先レベル
	0	0	最高レベル	最高レベル
	1	0	低レベル	最高レベル
	x	1	低レベル	低レベル

IE7 (ビット 7): マスター割り込み許可制御

- 「高レベル」「低レベル」すべての割り込みの受け付けを許可または禁止します。
- ・ '1' をセットすると、割り込み要求の出されたすべての割り込みを許可します。
 - ・ '0' にリセットすると、「高レベル」「低レベル」の割り込みを禁止します。

IE1 ~ 0 (ビット 1 ~ 0): INT0, 1 割り込み優先制御

外部割り込み INT0、1 の優先レベルを設定します。

IE1	IE0	INT1 優先レベル	INT0 優先レベル
0	0	最高レベル	最高レベル
1	0	低レベル	最高レベル
X	1	低レベル	低レベル

注意

- ・ IE7 で INT0, 1 の「低レベル」は制御できますが「最高レベル」は制御できません。
- ・ 外部割り込み INT1 だけを「最高レベル」にすることはできません。

4.8 ポート割り込み機能

ポート 3 は、デジタル入出力機能の他に、外部からの信号入力によって、割り込み発生やスリープ (HALT) 状態や HOLD 状態の解除が可能です。この機能を使って、ボタンが押された場合に HOLD を解除するキーオンウェイクアップ機能を実現することができます。

ポート割り込みは、ポート 3 のポートで実現できます。

4.8.1 機能

ポート 3 には、デジタル入出力機能の他に、次のような機能を持っています。

- ・ 'L' レベルを検出すると割り込みを発生する。
- ・ 'L' レベルを検出すると HOLD モードを解除する。

HOLD モード解除後のシステムクロックは、内蔵 RC 発振となります。

ポート割り込み機能を使用する場合には、次に示す特殊機能レジスタを操作する必要があります。

P3, P3DDR, P3INT, IE

4.8.2 回路構成

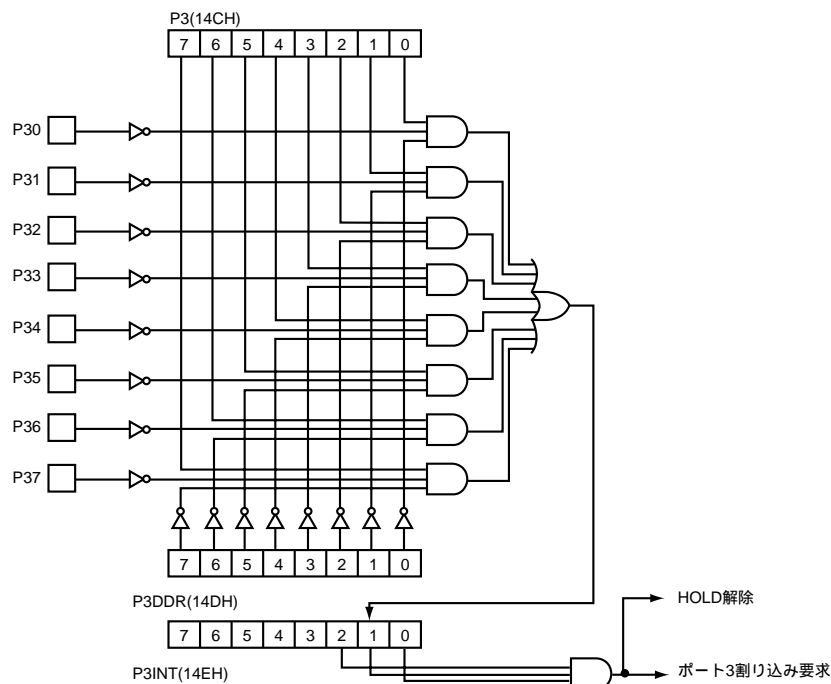


図 4-56 ポート 3 割り込み回路ブロック図

関連レジスタ

ポート 3 割り込み制御レジスタ (P3INT)

詳細は「4.1.2 ポート 3」の「ポート 3 割り込み制御レジスタ (P3INT)」を参照してください。

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
P3INT	14EH	R/W	-	-	-	-	-	P32INT	P31INT	P30INT
リセット時			H	H	H	H	H	0	0	0

ビット名	機能
P32INT (ビット 2)	PORT3割り込み制御フラグ 0 : PORT3による割り込み発生 HOLDモードの解除の禁止 1 : PORT3による割り込み発生 HOLDモードの解除の許可
P31INT (ビット 1)	ポート3割り込み要因フラグ 0 : 割り込み要因なし 1 : 割り込み要因あり
P30INT (ビット 0)	ポート3割り込み要求許可 0 : 割り込み要求禁止 1 : 割り込み要求許可

マスター割り込み許可制御レジスタ (IE)

詳細は「4.7 外部割り込み機能」「マスター割り込み許可制御レジスタ (IE)」を参照してください。

シンボル	アドレス	R/W	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
IE	108H	R/W	IE7	-	-	-	-	-	IE1	IE0
リセット時			0	H	H	H	H	H	0	0

ビット名	機能			
IE7 (ビット7)	マスター割り込み許可制御 (高レベル, 低レベル)			
	0: 割り込み要求をすべて禁止 1: 割り込み要求をすべて許可			
IE1 (ビット1)	INT0 1 割り込み優先制御			
IE0 (ビット0)	IE1	IE0	INT1優先レベル	INT0優先レベル
	0	0	最高レベル	最高レベル
	1	0	低レベル	最高レベル
	x	1	低レベル	低レベル

4.8.3 動作説明

ポート 3 割り込み

- ①ポート 3 割り込み制御レジスタ (P3INT) のビット 2 を ' 1 ' にセットします。この場合にポート 3 割り込みを選択します。
- ②ポート 3 (P37 ~ P30) のうち、' L ' レベル検出する端子を特殊機能レジスタで選択します。
ポート 3 割り込みを受け付けるには、次の条件が必要です。
 - ・ポート 3 制御レジスタ (P3DDR) の対応するビットが入力モードになっていること。

$$P3mDDR = 0 \ (m = 0 \sim 7)$$
 - ・ポート 3 レジスタ (P3) の対応するビットがセットされていること。

$$P3n = 1 \ (n = 0 \sim 7)$$
- ③ ' L ' レベルを検出すると、割り込み要因が ' 1 ' になります。割り込み要求許可フラグがセットされていれば割り込み要求を発生し、マスター割り込み許可フラグがセットされている場合には、割り込みベクトル 004BH が CALL されます。
- ④HALT モード時に上記②の条件が成立すれば、HALT モードを解除して、割り込みベクトル 004BH が CALL されます。
- ⑤HOLD モード時に上記②の条件が成立すれば、HOLD モードを解除して、割り込みベクトル 004BH が CALL されます。このときシステムクロックは、内蔵 RC 発振となります。

4.8.4 状態遷移

HOLD モードと HALT モードへの移行と解除をフローチャートで示します。

HOLD モード時の状態遷移

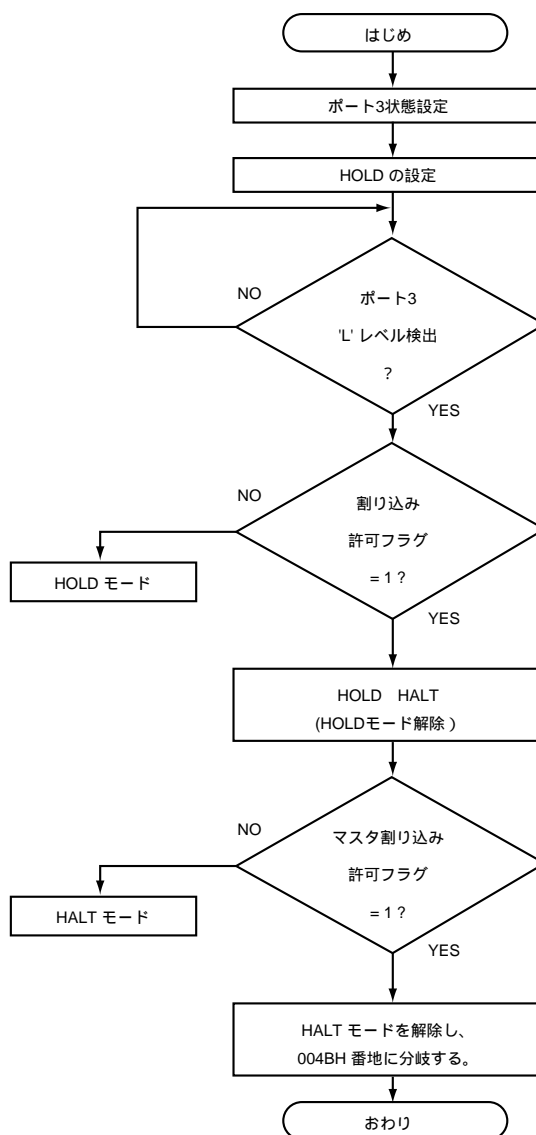


図 4-57 フローチャート

注意

P3 による HOLD 解除を行う場合は、割り込み要求許可フラグ以外の個別割り込み要求許可フラグは' 0 'にしておきます。

HALT モード時の状態遷移

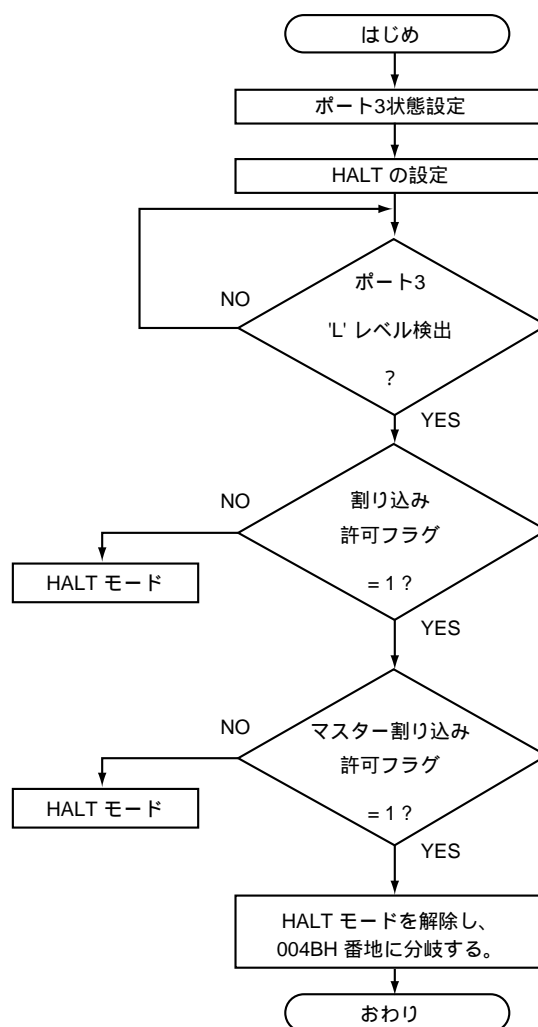


図 4-58 フローチャート

4.8.5 プログラム例

P37 を 'L' レベルにすることによって、割り込みルーチンへ分岐せずに HOLD 状態を解除するプログラムは、次のとおりです。

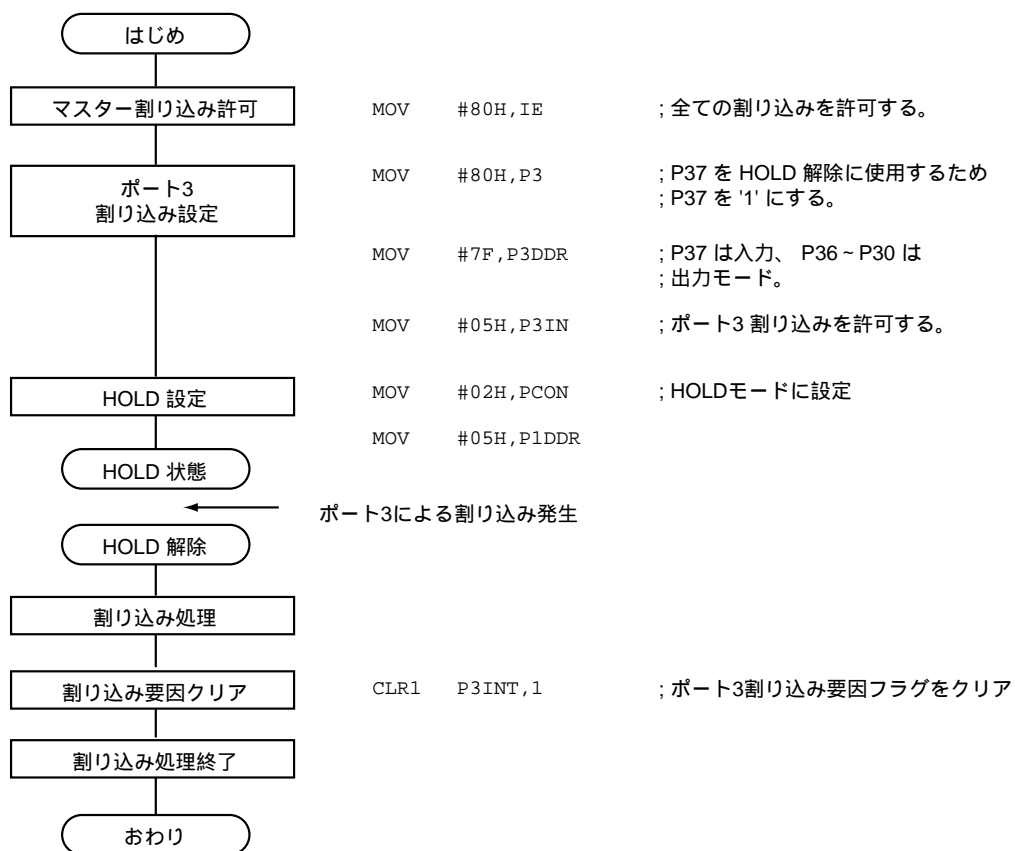


図 4-59 フローチャートとプログラム

応用回路例

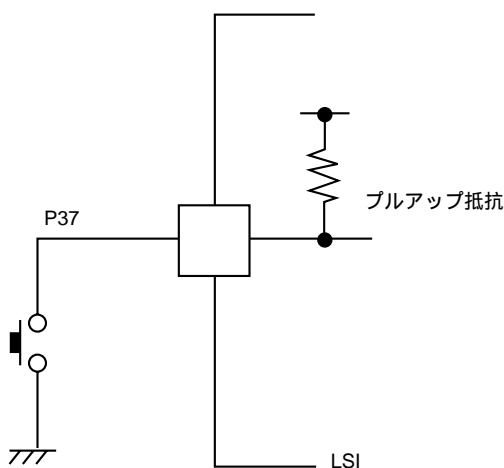


図 4-60 応用回路例

4.9 ビジュアルメモリ用作業 RAM

Katana との通信時使用される通信バッファとして、256 バイト× 2 バンクの RAM が実装されています。Katana に接続していない場合は、この RAM をアプリケーションで利用できません。

Katana とデータ転送が行われているかどうかは、VSEL レジスタ中の ASEL フラグを参照します。ASEL フラグが‘ 1 ’の場合は、データ転送中です。

データ転送中にこの RAM を読み書きした場合は、データの保証はされませんので注意してください。

4.9.1 作業用 RAM 制御レジスタ

ビジュアルメモリ制御レジスタ (VSEL)

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
VSEL	163H	R/W	-	-	-	INCE	-	-	SIOSEL	ASEL
リセット時			H	H	H	0	H	H	0	0

アプリケーションは、ビット 4 のみ変更可能です。必ずビット操作命令を使用してください。

INCE (ビット 4): VTRBF のアドレスカウンタの自動インクリメント

VTRBF への書き込み / 読み込みを行う場合、アドレスカウンタの自動インクリメントを行なうかどうかを指定します。

‘ 1 ’をセットすると、VTRBF を読み書きした直後にアドレスカウンタが自動的に + 1 されます。

‘ 0 ’にリセットすると、アドレスカウンタは現在の値を保持します。

SIOSEL (ビット 1): P1 ポートの使用選択制御

P1 ポート (P10 ~ P15) を通常の入出力ポート、同期式シリアルインターフェイス用入出力端子として使用するか、Katana 専用インターフェイスとして使用するかの選択をします。

注意

アプリケーション実行中は、必ず‘ 0 ’にリセットしてください。
システムプログラムからアプリケーションが呼び出された場合は、‘ 0 ’にリセットされて呼び出されます。

ASEL (ビット 0): VTRBF アドレス入力選択制御

ビジュアルメモリと次世代ゲーム機専用インターフェイスのバッファとして使用される VTRBF へのアクセスの選択を制御します。

注意

アプリケーション実行中は、必ず‘ 0 ’にリセットしてください。
システムプログラムからアプリケーションが呼び出された場合は、‘ 0 ’にリセットされて呼び出されます。‘ 1 ’にセットすると VTRBF の読み書きができなくなります。

作業用 RAM アクセスアドレス (VRMAD1, 2)

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
VRMAD1	164H	R/W	VRMAD7	VRMAD6	VRMAD5	VRMAD4	VRMAD3	VRMAD2	VRMAD1	VRMAD0
リセット時			0	0	0	0	0	0	0	0

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
VRMAD2	165H	R/W	-	-	-	-	-	-	-	VRMAD8
リセット時			H	H	H	H	H	H	H	0

読み書きしたい作業用 RAM (VTRBF) のアドレスを設定します。

VRMAD1 には、アドレスの下位 8 ビットを指定します。VRMAD2 にはバンクを指定します。

VSEL のビット 4 を‘ 1 ’にセットしている場合、VTRBF を読み書きするたびに VRMAD はインクリメントされます。

作業用 RAM (VTRBF)

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
VTRBF	166H	R/W	VTRBF7	VTRBF6	VTRBF5	VTRBF4	VTRBF3	VTRBF2	VTRBF1	VTRBF0
リセット時			0	0	0	0	0	0	0	0

VRMAD で指定されたアドレスのデータを読み書きするためのレジスタです。

このレジスタへ書き込みを行った場合、VRMAD で指定された作業用 RAM のアドレスにデータが書き込まれます。

このレジスタの読み込みを行った場合は、VRMAD で指定された作業用 RAM のアドレスのデータが読み込めます。

VSEL のビット 4 が‘ 1 ’にセットされていると、このレジスタを読み書きした直後に、VRMAD が自動的にインクリメントします。

4.9.2 作業用 RAM へのアクセス

作業用 RAM へアクセスするには、VRMAD1, 2 レジスタにアクセスしたい作業用 RAM の青レスを格納し、VTRBF を読み書きすることで作業用 RAM のデータにアクセスできます。

注意

VRMAD1, 2 レジスタには、オートインクリメント機能が実装されているので注意してください。

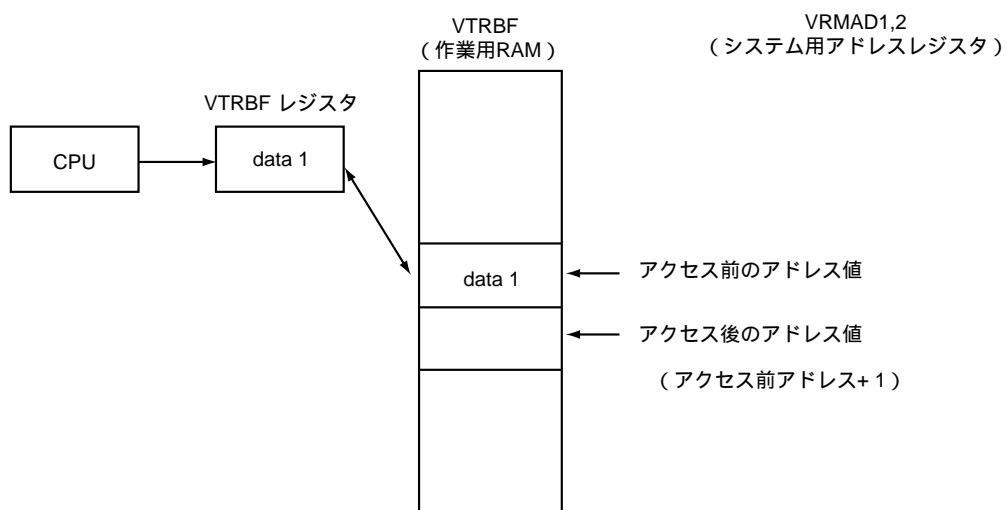
4.9.3 作業用 RAM 用アドレスレジスタ使用時の注意事項

作業用 RAM へのアクセスの様子を図 4-61 に示します。

アプリケーションから作業用 RAM に対してアクセスする場合、VRMAD1, 2 レジスタに作業用 RAM のアドレスを指定します。

VSEL レジスタの INCE フラグが '1' にセットされている場合、VTRBF を読み書きするたびに、その直後に VRMAD の値が自動的にインクリメントされます。VSEL レジスタの INCE フラグに注意してプログラムしてください。

INCE = '1' の時



INCE = '0' の時

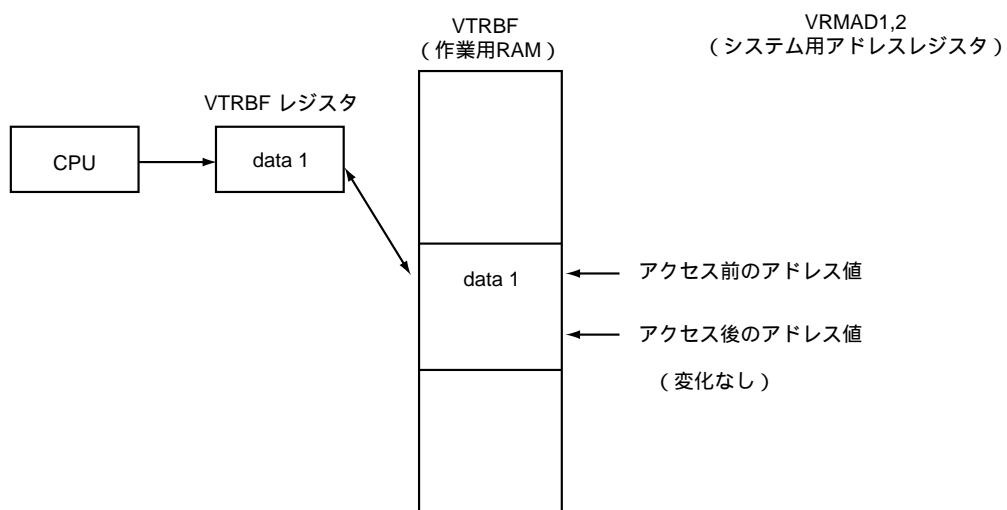


図 4-61 作業用 RAM へのアクセス

4.10 フラッシュEEPROM

ビジュアルメモリ専用カスタムチップには、アプリケーションプログラムの格納やデータ領域として 128K バイトのフラッシュEEPROM (電氣的書き換え可能な ROM) を内蔵しています。

4.10.1 機能

- ・容量 : 131072 × 8 ビット (プログラム / データ領域)
- ・ブロック (ページ) 単位でのプログラミング / 消去動作可能
1 ブロック = 128 バイト (= 1 ページ)
- ・書き換え回数
5 万回 / ページ (Ta = 25 環境においてプログラムにて書き換え)
- ・書き込み用昇圧回路内蔵
- ・書き換え終了検知機能 (OS プログラムの呼び出しで検出)
トグルビット方式
データ・ポーリング方式
- ・ソフトウェア一括消去可能

4.10.2 プログラム / データ領域の EEPROM のアクセス

プログラム / データ領域の読み書きは、OS プログラムを呼び出して行ないます。詳しくは「BIOS 編」を参照してください。

また、Katana と接続することで、Katana からビジュアルメモリにアプリケーションを転送することが可能です。転送方法の詳細については『プログラマーズリファレンス』または『ビジュアルメモリ チュートリアル』を参照してください。

RS-232C インターフェイスを持つコンピュータから、SEGA 製レベルコンバータと専用ユーティリティを用いることで、ビジュアルメモリにアプリケーションを転送することが可能です。

ここでは、割り込みコントローラやシステムクロックについてを説明します。

5.1 割り込み機能

「割り込み」は、実行中のプログラムを一時中断して、緊急を要する他のプログラムを優先して実行する機能です。ビジュアルメモリには、13 種類の割り込み要求を発生する回路が用意されています。一覧は、次のとおりです。

注意

一部の割り込み処理については、アプリケーションからの任意に設定できないものがあります。

5.1.1 割り込みの種類

優先順位	割り込みの種類	内/外	ベクターアドレス	割り込み要求	要因フラグ	許可フラグ	レジスタアドレス	優先順位設定
1	外部割り込みINT0	外	0003H	P70/INT0端子のイベント検出	I01CR1	I01CR0	15DH	最高/低
2	外部割り込みINT1	外	000BH	P71/INT1端子のイベント検出	I01CR5	I01CR4	15DH	
3	外部割り込みINT2	外	0013H	P72/INT2端子のイベント検出	I23CR1	I23CR0	15EH	高/低
	タイマー/カウンタ TOL (下位8ビット)	内		タイマー/カウンタ TOL 下位8ビットのオーバーフロー	T0CNT1	T0CNT0	110H	
4	外部割り込みINT3	外	001BH	P73/INT3端子のイベント検出	I23CR5	I23CR4	15EH	高/低
	ベースタイマー	内		ベースタイマーのオーバーフロー	BTCR1 BTCR3	BTCR0 BTCR2	17FH	
5	タイマー/カウンタ T0H (下位8ビット)	内	0023H	タイマー/カウンタ T0H 下位8ビットのオーバーフロー	T0CNT3	T0CNT2	110H	高/低
6	タイマー-T1	内	002BH	タイマー T1Lのオーバーフロー	T1CNT1	T1CNT0	118H	高/低
				タイマー T1Hのオーバーフロー	T1CNT3	T1CNT2		
7	SIO0	内	0033H	SIO0の終了を検出	SCON01	SCON00	130H	高/低
8	SIO1	内	003BH	SIO1の終了を検出	SCON11	SCON10	134H	高/低
9	ビジュアルメモリ割り込み	内	0043H	ビジュアルメモリ通信の受信終了検出	RFB	RFBENA	160H/161H	高/低
10	ポート3割り込み (P32INT=1)	外	004BH	ポート3の 'L'レベル検出	P31INT	P30INT	14EH	高/低

表 5-1 割り込み一覧

注意

- ・優先順位は、複数の割り込み要求が同時に発生している場合に優先される順位を示します。ただし、割り込み優先制御レジスタ (IP) で指定された場合には、優先順位は入れ替わります。

5.1.2 割り込み機能の動作

表 5-1 の各割り込み要求源から割り込みが発生すると、それに対応する割り込み要求フラグをセットされます。

割り込み要求源に対応する割り込み要求許可フラグがセットされていれば、割り込み制御回路に割り込み要求を知らせます。

割り込み制御回路は、優先順位の設定にしたがって割り込みを受け付けます。

割り込みには「最高レベル」「高レベル」「低レベル」があり「高レベル」「低レベル」の割り込みを許可するには、個別の割り込み許可フラグとは別に、マスター割り込み許可フラグ (IE7) をセットする必要があります。IE7 は「高レベル」「低レベル」の割り込みを制御します。また、INT0, INT1 が割り込み優先制御フラグ (IE1, 0) によって「最高レベル」に設定されている場合には、マスター割り込み許可フラグに関係なく割り込み処理が実行されます。

優先順位 3 から 9 の割り込み要因については、割り込み優先制御レジスタ (IP) で割り込み優先 (「高レベル」と「低レベル」) を指定できます。

割り込みが発生すると、割り込み制御回路は実行途中にある命令を完了した後に、プログラムカウンタ (PC) の内容を自動的にスタック (RAM 内) に格納し、割り込み処理ルーチンを実行します。このとき、スタック (RAM) は 2 バイト消費され、スタックポインタ (SP) は + 2 されます。割り込み処理ルーチンから復帰した後、SP は - 2 されます。

割り込み処理ルーチンの最後で RETI 命令を実行することで、もとのプログラムの実行を開始します。

なお、多重ネスティングは、最大 3 です。

RETI 命令および次に示す特殊機能レジスタへの書き込み命令 (MOV, ST など) の実行中および、EEPROM への書き込み中には、割り込み要求フラグの受け付け処理は行なわれません。

IE, IP, PCON, EXT

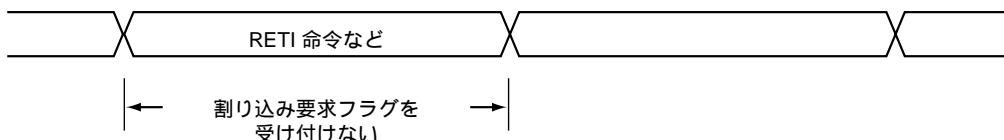


図 5-1 割り込み処理が行なわれないサイクル

割り込み機能を使用する場合には、次に示す特殊機能レジスタを操作する必要があります。

IE, IP, SP^注, 割り込みを受け付ける機能ブロックの特殊機能レジスタ

注意

ハードウェアリセット時にシステムプログラムが設定を行ないます。アプリケーションから SP を直接操作することはありません。

5.1.3 回路構成

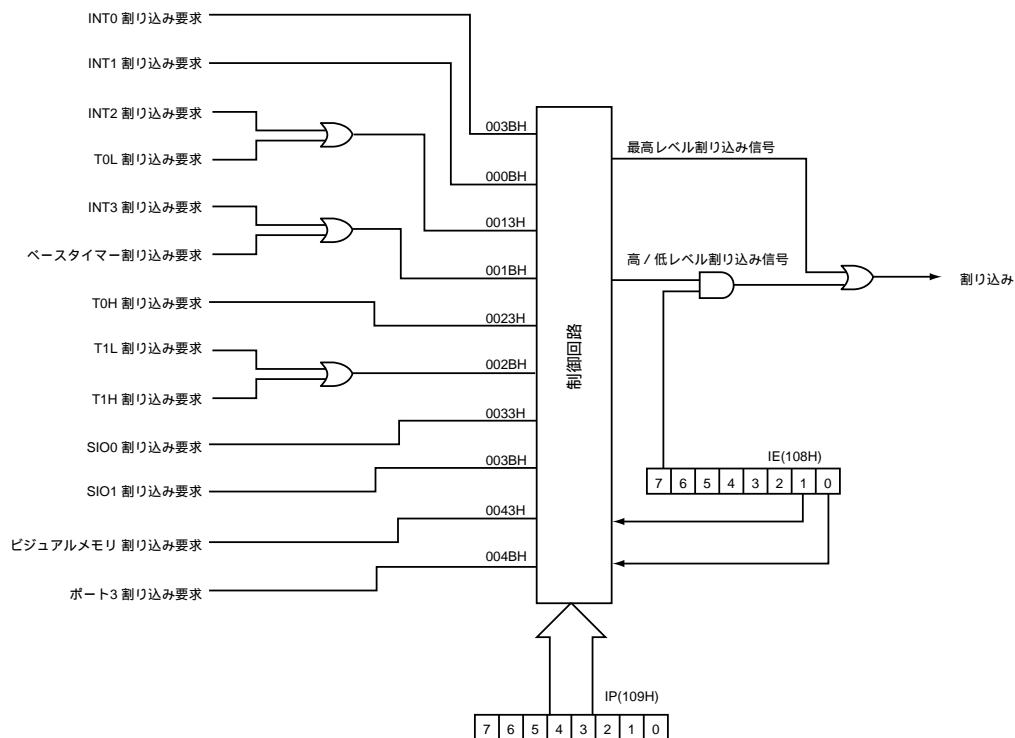


図 5-2 割り込み機能 1 ブロック図

5.1.4 関連レジスタ

マスター割り込み許可制御レジスタ (IE)

詳細は「4.7 外部割り込み機能」「マスター割り込み許可制御レジスタ (IE)」を参照してください。

シンボル	アドレス	R/W	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
IE	108H	R/W	IE7	-	-	-	-	-	IE1	IE0
リセット時			0	H	H	H	H	H	0	0

ビット名	機能			
IE7 (ビット7)	マスター割り込み許可制御 (高レベル, 低レベル)			
	0: 割り込み要求をすべて禁止 1: 割り込み要求をすべて許可			
IE1 (ビット1)	INT0, 1割り込み優先制御			
IE0 (ビット0)	IE1	IE0	INT1優先レベル	INT0優先レベル
	0	0	最高レベル	最高レベル
	1	0	低レベル	最高レベル
	x	1	低レベル	低レベル

割り込み優先順位制御レジスタ (IP)

シンボル	アドレス	R/W	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
IP	109H	R/W	IP7	IP6	IP5	IP4	IP3	IP2	IP1	IP0
リセット時			0	-	0	0	0	0	0	0

ビット名	機能
IP7 (ビット7)	ポート3割り込み優先レベル設定
	0: 低レベル 1: 高レベル
IP5 (ビット5)	SIO1の割り込み優先順位設定
	0: 低レベル 1: 高レベル
IP4 (ビット4)	SIO0の割り込み優先レベル設定
	0: 低レベル 1: 高レベル
IP3 (ビット3)	T1の優先レベル設定
	0: 低レベル 1: 高レベル
IP2 (ビット2)	T0Hの優先レベル設定
	0: 低レベル 1: 高レベル
IP1 (ビット1)	INT3とベースタイマーの割り込み優先レベル設定
	0: 低レベル 1: 高レベル
IP0 (ビット0)	INT2とT0Lの割り込み優先レベル設定
	0: 低レベル 1: 高レベル

IP7 (ビット7): ポート3 割り込みの優先レベル設定

ポート3 割り込みの優先レベル、高(1) / 低(0)を選択します。

‘1’をセットすると、優先レベルは「高レベル」になり、低レベルのINT0、INT1の割り込み (IE0 = 1) より優先されます。

‘0’にリセットすると、優先レベルは「低レベル」になります。

IP5 (ビット5): SIO1 の割り込み優先レベル設定

SIO1 による割り込みの優先レベル、高(1) / 低(0)を選択します。

‘1’をセットすると、優先レベルは「高レベル」になり、低レベルのINT0、INT1の割り込み (IE0 = 1) より優先されます。

‘0’にリセットすると、優先レベルは「低レベル」になります。

IP4 (ビット 4): SIO0 の割り込み優先レベル設定

SIO0 による割り込みの優先レベル、高 (1) / 低 (0) を選択します。

‘ 1 ’ をセットすると、優先レベルは「高レベル」になり、低レベルの INT0、INT1 の割り込み (IE0 = 1) より優先されます。

‘ 0 ’ にリセットすると、優先レベルは「低レベル」になります。

IP3 (ビット 3): T1 の割り込み優先レベル設定

T1 による割り込みの優先レベル、高 (1) / 低 (0) を選択します。

‘ 1 ’ をセットすると、優先レベルは「高レベル」になり、低レベルの INT0、INT1 の割り込み (IE0 = 1) より優先されます。

‘ 0 ’ にリセットすると、優先レベルは「低レベル」になります。

IP2 (ビット 2): T0H の割り込み優先レベル設定

T0H による割り込みの優先レベル、高 (1) / 低 (0) を選択します。

‘ 1 ’ をセットすると、優先レベルは「高レベル」になり、低レベルの INT0、INT1 の割り込み (IE0 = 1) より優先されます。

‘ 0 ’ にリセットすると、優先レベルは「低レベル」になります。

IP1 (ビット 1): INT3 / ベースタイマーの割り込み優先レベル設定

INT3 / ベースタイマーによる割り込みレベル、高 (1) / 低 (0) を選択します。

‘ 1 ’ をセットすると、優先レベルは「高レベル」になり、低レベルの INT0、INT1 の割り込み (IE0 = 1) より優先されます。

‘ 0 ’ にリセットすると、優先レベルは「低レベル」になります。

IP0 (ビット 0): INT2/T0L の割り込み優先レベル設定

INT2/T0L による割り込みレベル、高 (1) / 低 (0) を選択します。

‘ 1 ’ をセットすると、優先レベルは「高レベル」になり、低レベルの INT0、INT1 の割り込み (IE0 = 1) より優先されます。

‘ 0 ’ にリセットすると、優先レベルは「低レベル」になります。

5.1.5 割り込み優先順位

割り込みレベルの優先順位は、次のようになっています。

「最高レベル」 > 「高レベル」 > 「低レベル」

同じ優先順位レベル内において、同時に発生した複数の割り込み要因の優先順位は、表 5-1 に示した順に受け付けられます。また、多重割り込み制御回路によって、多重割り込みが制御され「低レベル」「高レベル」「最高レベル」の割り込みルーチンへのネスティングが可能です。

「最高レベル」

外部割り込み INT0、INT1 は、「最高レベル」に設定できます。このレベルの割り込みは、マスク割り込み許可フラグ (IE7) によって制御されません。

「高レベル」

INT0, INT1 以外の割り込み要因のうち、割り込み優先制御レジスタ (IP) がセットされているビットに対応する要因です。このレベルの割り込みは、マスク割り込み許可フラグ (IE7) によって制御されます。

「低レベル」

INT0, INT1 のうち IE0, 1 で「低レベル」に設定されている要因と、INT0, INT1 以外の割り込み要因のうち、割り込み制御レジスタ (IP) がリセットされているビットに対応する要因です。このレベルの割り込みは、マスター割り込み許可フラグ (IE7) によって制御されます。

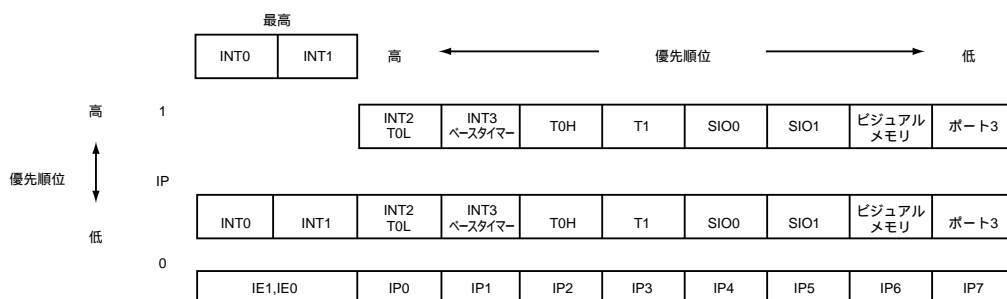


図 5-3 割り込み優先順位

たとえば、SIO1 終了の割り込み順位を INT0 割り込みより優先させる場合、IE0 を「1」にして IP5 を「1」にします (IE0 = 1、IP = 00100000B)。

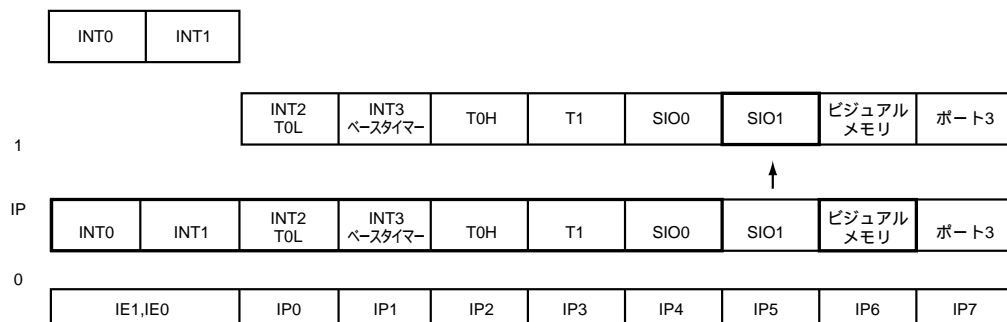


図 5-4 SIO1 の割り込みを優先

また、SIO1 終了の割り込み順位を INT2 割り込みと INT0 割り込みの間に設定する場合、IE0 を「1」にして、IP5 と IP0 を「1」にします (IE0 = 1、IP = 00100001B)。

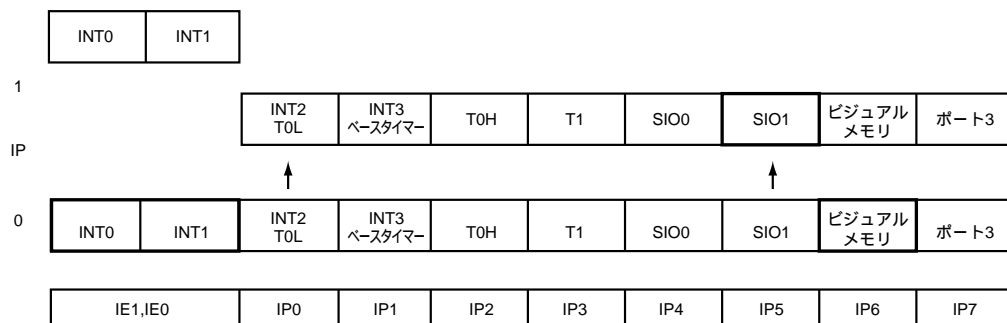


図 5-5 TOL SIO1 INT0 に優先順位を変更

多重割り込みにおける注意点

高いレベルの割り込み処理ルーチン実行中に、低いレベルの割り込み要求が発生した場合は、高いレベルの割り込み処理ルーチンが終了した後に、1 命令を実行してから低いレベルの割り込みを受け付けます。

割り込み処理ルーチン実行中に、同レベルの割り込み要求が発生した場合には、その割り込み要求は受け付けられません。

5.2 システムクロック発生機能

ビジュアルメモリ専用カスタムチップは、システムクロック発生回路として、サブクロック発振回路（水晶発振回路）および RC 発振回路の 2 系統の発振回路を内蔵しています。この 2 種類のクロックからプログラムでシステムクロックを選択します。

注意

メインクロック（CF 発振回路）も内蔵していますが、電池を激しく消耗しますのでアプリケーションでは使用しないでください。

それぞれの発振回路の周波数とサイクルクロックは、次のとおりです。

回路名称	発振回路	周波数	サイクルクロック	用途	特徴
メインクロック	セラミック（CF）発振	6MHz	1.0 μ 秒	Katana 接続時のクロック	処理速度は向上しますが、電池を激しく消費します。単体動作時には、使用しないでください。
内蔵クロック	RC 発振	600KHz	10.0 μ 秒	フラッシュメモリにアクセス用	フラッシュメモリにアクセスする場合、OS プログラムが自動的にこのクロックを利用します。
サブクロック	水晶（Xtal）発振	32KHz	183.0 μ 秒	単体実行時に用いるクロック	処理は遅くなりますが、電池寿命を延ばすことができます。

メインクロックや内蔵クロックは、電池を多く消費するので、通常はサブクロックをシステムクロックとしてください。

また、RC 発振は個体差があるため PWM で正しい周波数の音声を出力できません。PWM を利用する場合はサブクロック（水晶発振）を利用してください。

5.2.1 機能

- ・命令実行動作の基本となるシステムクロックを発生します。
- ・システムクロックをメインクロック発振、サブクロック発振、RC 発振の 3 系統からプログラムで選択できます。
- ・ベースタイマーのクロックを発生します。
- ・プログラムからメインクロック発振と RC 発振を停止させることができます。
- ・HALT モード時にも動作する回路ブロックの動作の基本となるシステムクロック 1 (S1) と、HALT モード時に動作を停止する回路ブロックのクロックであるシステムクロック 2 (S2) を発生します。
- ・HOLD モードでは、メインクロック発振、サブクロック発振、RC 発振を停止させます。

システムクロックを制御するには、次に示す特殊機能レジスタを操作する必要があります。

OCR , PCON

5.2.2 回路構成

システムクロック発生回路の構成は、図 5-6 のとおりです。

メインクロック発振回路 ①
セラミック発振回路です。

サブクロック発振回路 ②
水晶発振回路 (標準 32.768kHz) です。

内蔵 RC 発振回路 ③
抵抗 (R) とコンデンサ (C) の RC 発振回路です。
ハードウェアリセットまたは HOLD 解除後には、このクロックで動作します。

システムクロックセクタ ④
発振制御レジスタ (OCR) のビット 4 とビット 5 によって、サブクロック (水晶発振) 発振回路、RC 発振回路いずれかをシステムクロックソースとします。

注意

メインクロック (CF 発振) は、アプリケーションで使用しないでください。

システムクロック発生回路 ⑤
システムクロックセクタで選択されたクロックソースから、システムクロック 1 , 2 を発生します。システムクロック 1 (S1) は、命令実行時、HALT モード時に動作します。システムクロック 2 (S2) は、命令実行時に動作します。HOLD 時には、S1 , S2 とともに停止します。

リセット, HALT, HOLD 時の各ブロック状態

ブロック	状態		
	リセット時	HALT時	HOLD時
メインクロック発振回路	発振	突入時の状態	停止
内蔵RC発振回路	発振	突入時の状態	停止
サブクロック発振回路	停止	突入時の状態	停止
システムクロック発生回路	動作	動作	停止

表 5-2 スタンバイ時の各ブロックの状態

注意

ハードウェアリセットや HOLD 解除後は、自動的に内蔵 RC 発振クロックがシステムクロックとなります。

5.2.3 関連レジスタ

発振制御レジスタ (OCR)

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
OCR	10EH	R/W	OCR7	-	OCR5	OCR4	-	-	OCR1	OCR0
リセット時			0	H	0	0	H	H	0	0

ビット名	機能
OCR7 (ビット 7)	システムクロック発生回路制御
	0 : サイクルタイム源は発振周波数の 1/12 1 : サイクルタイム源は発振周波数の 1/6
OCR5 (ビット 5) OCR4 (ビット 4)	システムクロック選択
	OCR5 OCR4 システムクロック
	0 0 内蔵RC発振
	0 1 使用禁止
	1 0 サブクロック (水晶発振)
OCR1 (ビット 1)	内蔵RC発振回路制御
	0 : 内蔵RC発振回路動作開始 / 動作中 1 : 内蔵RC発振回路停止
OCR0 (ビット 0)	メインクロック発振回路制御
	0 : メインクロック発振回路動作開始 / 動作中 1 : メインクロック発振回路停止

OCR7 (ビット 7): システムクロック発生回路制御

サイクルクロックをクロックソースの 1/12 分周とするか、1/6 分周とするかを指定します。

‘ 1 ’をセットすると、サイクルクロックをクロックソースの 1/6 分周とします。

‘ 0 ’にリセットすると、クロックソースの 1/12 分周とします。

ビジュアルメモリでは、以下のように設定してください。

システムクロック	OCR7
メインクロック (CF 発振)	OCR7=1
内蔵 RC 発振	OCR7=0/1
サブクロック (水晶発振)	OCR7=1

注意

サブクロックを利用する場合は、必ず‘ 1 ’をセットしてください。

OCR5 ~ 4 (ビット 5 ~ 4): システムクロック選択

システムクロックを選択します。ハードウェアリセット時と HOLD 解除時には、自動的に内蔵 RC 発振になります。

OCR5	OCR4	システムクロック
0	0	内蔵 RC 発振
0	1	使用禁止
1	0	サブクロック (水晶発振)
1	1	使用禁止

OCR1 (ビット 1): 内蔵 RC 発振回路制御

内蔵 RC 発振回路を動作または停止させます。

‘ 1 ’をセットすると、内蔵 RC 発振回路は停止します。

‘ 0 ’にリセットすると、内蔵 RC 発振回路は動作を開始または継続します。

注意

負論理であることに注意してください。0 で発振、1 で発振停止となります。

OCR0 (ビット 0): メインクロック発振回路制御

メインクロック発振 (CF 発振) 回路を動作または停止させます。

‘ 1 ’ をセットすると、メインクロック発振 (CF 発振) 回路は停止します。

‘ 0 ’ にリセットすると、メインクロック発振 (CF 発振) 回路は動作を開始または継続します。

注意

負論理であることに注意してください。0 で発振、1 で発振停止となります。
また、ビジュアルメモリではメインクロックを利用しませんので、常に ‘ 1 ’ をセットしてください。

注意

停止状態のサブクロック (水晶発振) の発振が安定するには、約 200 μ 秒のウェイトが必要です。停止状態のサブクロックを利用する場合は、サブクロック発振開始後、十分な時間をおいてから切り替えてください。

パワー制御レジスタ (PCON)

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
PCON	107H	R/W	-	-	-	-	-	-	PCON1	PCON0
リセット時			H	H	H	H	H	H	0	0

ビット名	機能
PCON1 (ビット 1)	HOLD モード制御
	0 : 1 : HOLD モードに設定
PCON0 (ビット 0)	HALT モード制御
	0 : 1 : HALT モードに設定

PCON1 (ビット 1): HOLD モード制御

ビジュアルメモリを HOLD 状態にします。

‘ 1 ’ をセットすると、ビジュアルメモリは HOLD モードになり、すべての発振回路が停止します。

HOLD 状態を解除するには、次の 3 つの方法があります。

- ・ リセット
- ・ P70/INT0, P71/INT1 端子に規定の外部信号が入った場合
- ・ ポート 3 割り込み要因

HOLD 状態が解除されると、このビットは自動的にリセットされます。

‘ 0 ’ にリセットしても状態は変化しません。

注意

すべての発振回路が停止しますので、ビジュアルメモリ内蔵時計が狂います。
すべてのプログラムにおいて、このフラグを操作しないでください。ビジュアルメモリをスリープ状態にするには、HALT モード (PCON0 = 1) にしてください。

PCON0 (ビット 0): HALT モード制御

ビジュアルメモリをスリープ状態にします。

‘ 1 ’ をセットすると、ビジュアルメモリ専用カスタムチップは HALT モードになり、ビジュアルメモリのスリープモードになります。プログラムは、HALT を実行したアドレスで停止し、発振回路は状態を維持します。なお、システムクロック 2 (S2) は停止します。

HALT 状態は、割り込みによって解除されます。HALT 状態が解除されると、このビットは自動的にリセットされます。

‘ 0 ’ にリセットしても状態は変化しません。

HALT モードでは、LCD ドライバ、LCD、タイマ 0, 1 の動作は継続します。詳しくは「5.3 スリープ機能」を参照してください。

5.2.4 システムクロックの動作モード

システムクロックに、次の 3 種類があります。

内蔵 RC 発振クロック

次の場合にシステムクロックは、このクロックになります。

なお、RC 発振の周波数は、600KHz です。

- ・ ハードウェアリセット時
- ・ 電源投入時 (電池交換時)
- ・ HOLD 解除時

メインクロック

メインクロックを使用した場合、高速処理が可能ですが、RC 発振に比べ電池を約 10 倍消費します。アプリケーションでは、使用しないでください。

メインクロックは、CF 発振回路で発振周波数は 6MHz です。

サブクロック

消費電流を低減して長時間のバックアップをしたい場合に使用する、低速処理モードです。
サブクロックは水晶 (Xtal) 発振で、発振周波数は 32KHz です。

サブクロックモードで動作している場合には、発振制御レジスタ OCR によって、メインクロック、内蔵 RC 発振クロックを停止させることができます。これにより、消費電流をさらに低減することが可能です。

ビジュアルメモリ専用カスタムチップは、図 5-7 の遷移図のように HALT や HOLD モードに入ります。

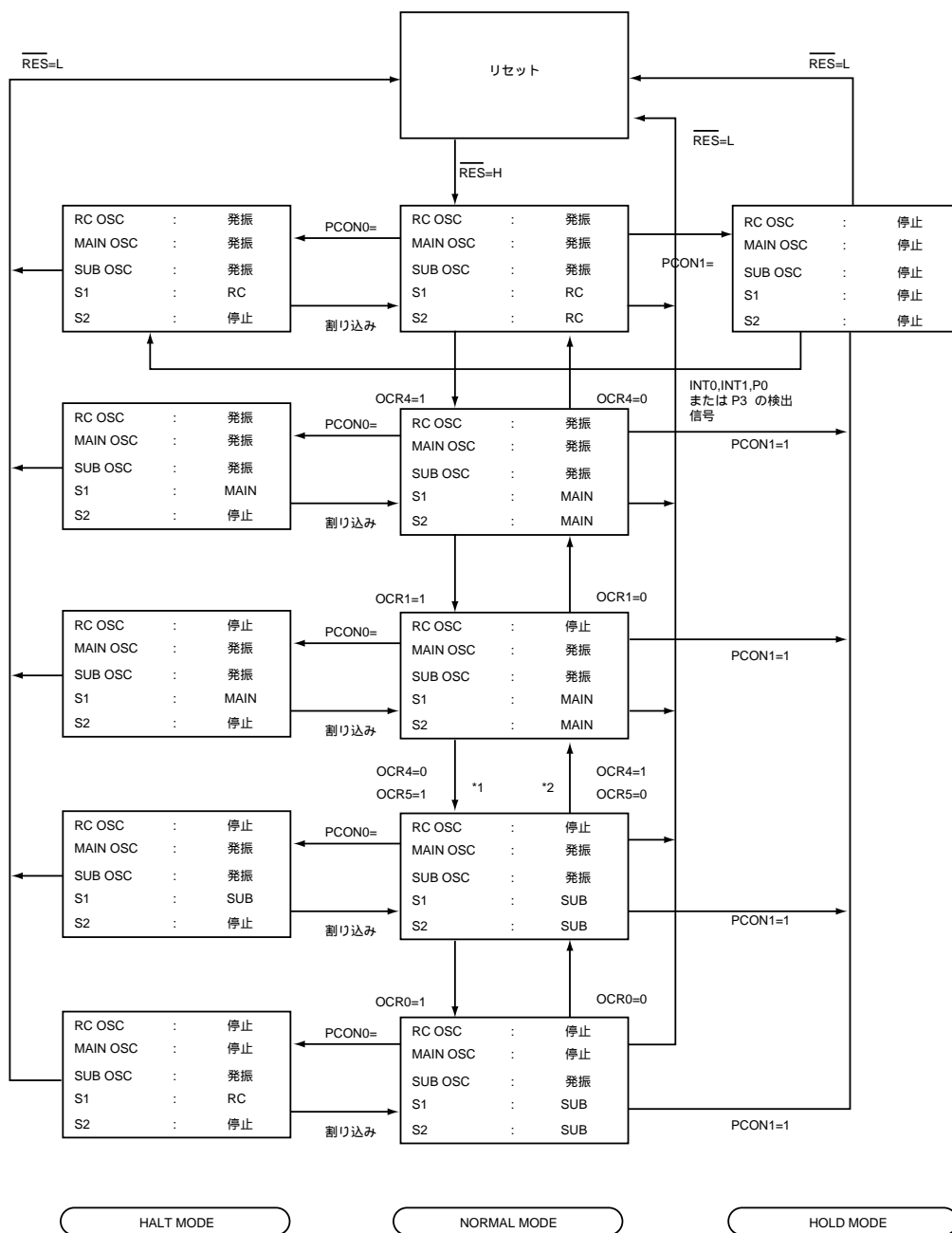


図 5-7 クロック動作モード遷移図

RC OSC	: 内蔵 RC 発振回路	MAIN	: メインクロック発振周波数
MAIN OSC	: メインクロック発振回路	SUB	: サブクロック発振周波数
SUB OSC	: サブクロック発振回路	PCON0	: パワー制御レジスタビット 0 (HALT 制御)
発振	: 発振状態	PCON1	: パワー制御レジスタビット 1 (HOLD 制御)
停止	: 発振停止	OCR0	: 発振制御レジスタビット 0
S1	: システムクロック 1	OCR1	: 発振制御レジスタビット 1
S2	: システムクロック 2	OCR4	: 発振制御レジスタビット 4
RC	: 内蔵 RC 発振周波数	OCR5	: 発振制御レジスタビット 5

注意

システムクロックをサブクロックに切り換える場合は、サブクロックの発振が安定するのを待ってください。サブクロック (32.768kHz 水晶発振) の発振安定時間は、約 200 μ 秒です。

5.3 スリープ機能

ビジュアルメモリ専用カスタムチップには、電池切れやプログラム待機中の消費電流を低減するために、HALT、HOLD と呼ばれる 2 つのモードがあります。

どちらのモードも CPU の命令実行は停止しています。

ビジュアルメモリのスリープモードは、HALT モードを利用しています。

5.3.1 関連レジスタ

パワー制御レジスタ (PCON)

詳細は「5.2 システムクロック発生機能」の「パワー制御レジスタ (PCON)」を参照してください。

シンボル	アドレス	R/W	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
PCON	107H	R/W	-	-	-	-	-	-	PCON1	PCON0
リセット時			H	H	H	H	H	H	0	0

ビット名	機能
PCON1 (ビット 1)	HOLDモード制御
	0 : 1 : HOLDモードに設定
PCON0 (ビット 0)	HALTモード制御
	0 : 1 : HALTモードに設定

注意

HOLD モードは、すべての発振回路を停止しますので、時計が狂います。
すべてのプログラムは、HOLD モードを使用しないでください。

5.3.2 スタンバイ時の動作状況

項目		HALTモード	HOLDモード
設定方法		PCON0=1	PCON1=1
発振回路	メイン	発振継続	発振停止
	内蔵RC		
	サブ	動作継続	
内蔵クロック	S1	動作継続	動作停止
	S2	動作停止	動作停止
CPU		動作停止	動作停止
I/Oポート		HALTモード直前のデータを保持	HOLDモード直前のデータを保持
RAM		HALTモード直前のデータを保持	HOLDモード直前のデータを保持
ベースタイマー		動作継続	動作停止
タイマー0		動作継続	動作停止
タイマー1		動作継続	動作停止
シリアル通信		動作継続	動作停止
割り込み回路		動作継続	動作停止
液晶表示コントローラ		動作継続	動作停止
リモコン通信回路		動作継続	動作停止
ウォッチドックタイマ		動作継続,または停止	動作停止
解除要因		リセット 割り込み要求の受付	リセット P70/INT0端子,P71/INT1端子 ポート3端子

表 5-3 スタンバイ時の各ブロックの動作状態

システムクロックがサブクロックのときは、プログラムによる停止が可能です（内蔵 RC :
OCR1 = 1、メイン : OCR0 = 1）。

5.3.3 HALT モード

HALT モードは、メイン、サブ、内蔵 RC の各発振回路を継続動作させた状態でプログラムの実行を停止させるモードです。

HALT モードの設定と割り込みによる解除を繰り返す間欠動作を行うことにより、消費電力を低減することが可能です。

HALT モードの設定

HALT モードは、パワー制御レジスタのビット 0 (PCON0) をセットすることにより設定されます。

HALT モードの解除

HALT モードを解除するには「ハードウェアリセットによる解除」と「割り込み要求の受け付けによる解除」があります。

ハードウェアリセットによる解除

端子に‘ L ’レベル信号を入れることで HALT モードは解除され、CPU はリセット状態になります。端子を‘ H ’レベルに戻すことで、通常のコールドスタートがかかり、システムプログラムのビジュアルメモリ初期化ルーチンが実行されます。

割り込み要求の受け付けによる解除

マスター割り込み許可フラグ (IE7) と、割り込み要求許可フラグがともにセットされている状態で割り込みが発生し、同時に HALT モードが解除されます。HALT モードが解除されると、割り込み要因に対応した割り込み処理ルーチンが呼び出されます。

ただし、割り込み処理ルーチン A 内で HALT モードにした場合、HALT モード後に発生した割り込み要因が、割り込み A のレベルと同じ、もしくはより低い順位の割り込みであった場合は、割り込みが発生せず HALT モードが解除されません。

注意

- 外部割り込み INT0 , INT1 は「最高レベル」に設定すると、マスター割り込み許可フラグの影響を受けません。
- HALT 解除要因の割り込みレベルは、HALT モードに入ったときの割り込みのレベルよりも高くしてください。

表 5-4 HALT 解除要因の割り込みレベル

HALT 時の割り込みレベル	HALT 解除要因の割り込みレベル
通常レベル	‘ L レベル ’, ‘ H レベル ’ または ‘ 最高レベル ’
‘ L レベル ’	‘ H レベル ’ または ‘ 最高レベル ’
‘ H レベル ’	‘ 最高レベル ’
‘ 最高レベル ’	(割り込みによる解除はできません)

通常レベル：割り込みがかかっていない状態

5.3.4 HOLD モード

HOLD モードは、メイン、サブ、内蔵 RC の各発振回路を停止させるモードです。HOLD モードに設定することにより、極低消費電流でデータの保持が可能です。

注意

- HOLD モードにすると内蔵時計が狂います。
すべてのプログラムは、HOLD モードを使用しないでください。

HOLD モードの設定

HOLD モードは、パワー制御レジスタ (PCON) のビット 1 (PCON1) をセットすることにより設定されます。

HOLD モードの解除

HOLD モードを解除するには、ハードウェアリセットによる解除、P70/INT0 のレベル検出、P71/INT1 のレベル検出による解除、ポート 3 の 'L' レベル検出による解除の 3 種類があります。

ハードウェアリセットによる解除

端子に 'L' レベル信号を入れると、HOLD モードは解除され CPU はリセット状態になります。端子を 'H' レベルに戻すことで、コールドスタートがかかり、システムプログラムのビジュアルメモリの初期化ルーチンが実行されます。

P70/INT0, P71/INT1 端子のレベル検出による解除

P70/INT0 または P71/INT1 端子で設定レベルが検出されると、HOLD モードは解除され、HALT モードに移ります。この場合、外部割り込み INT0 または INT1 の割り込み許可フラグがセットされていれば、対応する割り込み処理ルーチンが呼び出されます。割り込み許可フラグがセットされていなければ、HALT モードの状態を継続します。この場合の解除方法は「5.3.3 HALT モード」の「割り込み要求の受け付けによる解除」と同様です。また、HOLD モードを設定する前に、外部割り込み 0, 1 制御レジスタ (I01CR) により、P70/INT0, P71/INT1 端子で検出するレベル ('H' レベルまたは 'L' レベル) を設定しておく必要があります。エッジ検出の設定では HOLD 状態を解除できません。

レベル検出の条件は「4.7 外部割り込み機能」を参照してください。

ポート 3 の 'L' レベル検出による解除

HOLD モードに入る前に、P32INT を 1 にセットします。これにより、ポート 3 割り込みにより HOLD モードが解除されます。

注意

必ず P32INT = 1 にセットしてください。

ポート 3 の 'L' レベル検出による解除 (P32INT = 1 のとき)

ポート 3 の割り込み要求許可フラグがセットされている場合、ポート 3 の 'L' レベルを検出すると、割り込み要求フラグがセットされ HOLD 状態が解除され、HALT モードに移ります。この場合、マスター割り込み許可フラグがセットされていれば、HALT モードが解除され割り込み処理ルーチンが呼び出されます。マスター割り込み許可フラグがリセットされている場合、HALT 状態が継続します。

注意

ポート 3 による HOLD 解除を行う場合、ポート 3 以外による割り込みを禁止してください。

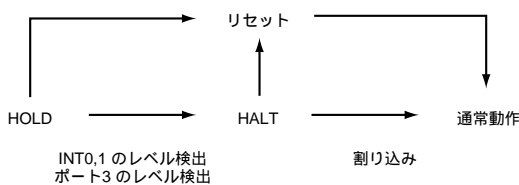


図 5-8 スタンバイ機能の状態遷移

5.4 ハードウェアリセット機能

ハードウェアリセット機能は、電磁交換時や動作中に CPU を初期化する機能です。

5.4.1 端子による外部リセット機能

端子に ' L ' レベルの信号を 200 μ s 以上入れることで、確実にリセットがかかります。

注意

しかし、わずかな幅の ' L ' レベル信号が入ってリセットがかかることがあるので注意してください。

リセット回路の構成を、図 5-9 のとおりです。

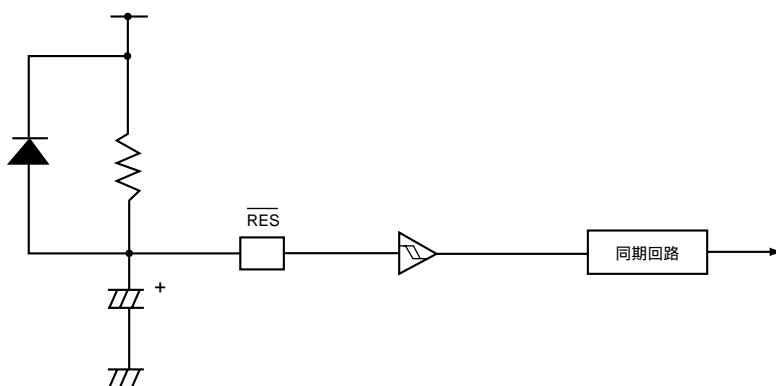


図 5-9 リセット回路ブロック図

5.4.2 リセット時のハードウェア状態

端子からのリセットが発生すると、システムクロックに同期したリセット信号により、各ハードウェアが初期化されます。

リセットがかかると、システムクロックは内蔵 RC 発振に切り換わります。このため電源投入直後に、ハードウェアの初期化が行われます。メインクロック発振が安定するのを待って、システムクロックをメインクロックに切り換えます。

リセット時、プログラムカウンタ (PC) の値は、0000H になります。また、特殊機能レジスタ (SFR) は、表 4-4 - 1 のとおりに初期化されます。

なお、RAM、作業用 RAM、スタックポインタ、XRAM の内容は保持されます。

注意

電源投入は、RAM、作業用 RAM、スタックポインタ、XRAM の内容が不定になっていますので注意してください。

シンボル	アドレス	R/W	名称	初期値
RAM (バンク0)	000H-0FFH	R/W	データメモリ	XXXXXXXX (リセット時は保持)
RAM (バンク1)	000H-0FFH	R/W	データメモリ	XXXXXXXX (リセット時は保持)
ACC	100H	R/W	アキュムレータ	00000000
PSW	101H	R/W	プログラムステータスワード	00H00000
B	102H	R/W	Bレジスタ	00000000
C	103H	R/W	Cレジスタ	00000000
TRL	104H	R/W	テーブル参照レジスタ下位バイト	00000000
TRH	105H	R/W	テーブル参照レジスタ上位バイト	00000000
SP	106H	R/W	スタックポインタ	XXXXXXXX
PCON	107H	R/W	パワー制御レジスタ	HHHHHH00
IE	108H	R/W	マスター割り込み許可制御レジスタ	0HHHHH00
IP	109H	R/W	割り込み優先順位制御レジスタ	00000000
EXT	10DH	R/W	外部メモリ制御レジスタ	HHHH0000
OCR	10EH	R/W	発振制御レジスタ	0H00HH00
T0CNT	110H	R/W	タイマー0制御レジスタ	00000000
T0PRR	111H	R/W	タイマー0プリスケラデータ	00000000
T0L	112H	R	タイマー0下位	00000000
T0LR	113H	R/W	タイマー0下位リロードデータ	00000000
T0H	114H	R	タイマー0上位	00000000
T0HR	115H	R/W	タイマー0上位リロードデータ	00000000
T1CNT	118H	R/W	タイマー1制御レジスタ	00000000
T1LC	11AH	R/W	タイマー1下位比較データ	00000000
T1L	11BH	R	タイマー1下位	00000000
T1LR		W	タイマー1下位リロードデータ	00000000
T1HC	11CH	R/W	タイマー1上位比較データ	00000000
T1H	11DH	R	タイマー1上位	00000000
T1HR		W	タイマー1上位リロードデータ	00000000
MCR	120H	W	モード制御レジスタ	00000000
STAD	122H	R/W	スタートアドレスレジスタ	00000000
CNR	123H	W	文字数レジスタ	H0000000
TDR	124H	W	時分割レジスタ	HH000000
XBNK	125H	R/W	バンクアドレスレジスタ	HHHHHH00
VCCR	127H	W	液晶コントラスト制御レジスタ	00000000
SCON0	130H	R/W	SIO0制御レジスタ	00H00000
SBUF0	131H	R/W	SIO0バッファ	00000000
SBR	132H	R/W	SIOボーレートジェネレータ	00000000
SCON1	134H	R/W	SIO1制御レジスタ	H0H00000
SBUF1	135H	R/W	SIO1バッファ	00000000
P1	144H	R/W	ポート1ラッチ	00000000
P1DDR	145H	W	ポート1データディレクションレジスタ	00000000
P1PCR	146H	W	ポート1機能制御レジスタ	00000000
P3	14CH	R/W	ポート3ラッチ	00000000

表 5-5 各特殊機能レジスタの初期値

シンボル	アドレス	R/W	名称	初期値
P3DDR	14DH	W	ポート3データディレクションレジスタ	00000000
P3INT	14EH	R/W	ポート3割込み機能制御レジスタ	HHHHH000
P7	15CH	R	ポート7ラッチ	HHHHXXXX
I01CR	15DH	R/W	外部割込み0,1制御	00000000
I23CR	15EH	R/W	外部割込み2,3制御	00000000
ISL	15FH	R/W	入力信号選択	HH000000
VSEL	163H	R/W	制御レジスタ	HHH0HH00
VRMAD1	164H	R/W	システム用アドレスレジスタ1	00000000
VRMAD2	165H	R/W	システム用アドレスレジスタ2	HHHHHHH0
VTRBF	166H	R/W	送受信バッファ	XXXXXXXX
BTCR	17FH	R/W	ベースタイマ制御	00000000
RAM(XRAM) (バンク0)	180H-1FBH	R/W	液晶表示メモリ	XXXXXXXX (リセット時は保持)
RAM(XRAM) (バンク1)	180H-1FBH	R/W		
RAM(XRAM) (バンク2)	180H-185H	R/W		

表 5-6



第 3 部

システム BIOS 編

ここでは、ビジュアルメモリの ROM 内に組み込まれている「システムプログラム」「OS プログラム」と OS プログラムを呼び出すための「ヘッダ」について解説します。

フラッシュメモリの読み書きや、時計データの読み出し、ビジュアルメモリの低電圧チェックを制御する場合は、必ずこの OS プログラムを呼び出すようにアプリケーションを設計してください。

第 6 章

ROM 内のプログラム

ビジュアルメモリの ROM には、次のようなプログラムが組み込まれています。
これらの総称を「システム BIOS」と呼びます。

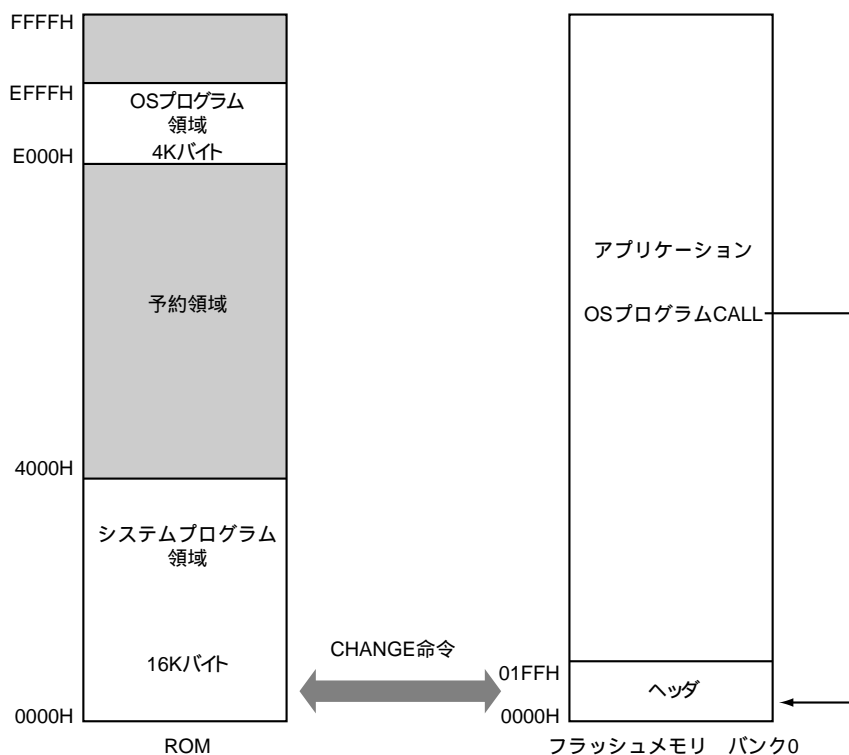


図 6-1 ROM のメモリマップ

6.1 システムプログラム

システムプログラムとは、ビジュアルメモリのファイル管理機能や、時計表示機能、Katana と接続した場合の制御を行うプログラムの総称です。

ROM に実装されており、上記のプログラムに加え、ハードウェアリセット時に実行されるビジュアルメモリ初期化ルーチンが組み込まれています。

6.2 OS プログラム

OS プログラムとは、ビジュアルメモリの基本機能である、フラッシュメモリの読み書き、時計データの取得、低電圧チェックなどを行う基本プログラムです。

一般のコンピュータの BIOS に相当し、アプリケーションからこれらの機能呼び出すことが可能です。

呼び出しには、ソフトウェア割り込みが利用できないため、フラッシュメモリの上位で定義されているヘッダ部分を利用して呼び出しを行います。

6.3 ヘッダ

コンパイラに添付されているアセンブラファイル“ GHEAD.ASM ”で定義されている部分です。

アプリケーションに include してコンパイルすることで、フラッシュメモリの 0000H から 01FFH までに配置されます。“ GHEAD.ASM ”を変更することでサイズの変更が可能です。

ここには、システムアプリケーションとアプリケーションを切り替えるためのインターフェイスや、アプリケーションから OS プログラムを呼び出すためのインターフェイス、アプリケーション独自の割り込みベクトルを定義します。

注意

システム BIOS およびビジュアルメモリ本体のリビジョンを、アプリケーションから取得することはできません。

第 7 章

メモリ空間

システム BIOS は、次のメモリを利用します。

RAM

システム BIOS は、その処理用に RAM のバンク 0 を使用します。

また、スタック領域として RAM バンク 0 の 080H ~ 0ffH までを使用します。

RAM バンク 0 は、アプリケーションからアクセスしてはなりません。ただし、内蔵時計の読み出しと、低電圧自動検出フラグのみは、アプリケーションからアクセス可能です。

RAM バンク 1 は、アプリケーション用に 512 バイト解放されています。

特殊機能レジスタ (SFR)

RAM の上位に位置し、100H ~ 17FH までを特殊機能レジスタと呼びます。

ここには、CPU のレジスタをはじめ、各種周辺デバイスの制御レジスタなどが割り当てられています。

作業用 RAM (VTRBF)

Katana との接続中は、512 バイトの通信用バッファとしてシステム BIOS が利用します。単体動作時は、アプリケーションの作業用 RAM として利用できます。

ただし、SFR をかいして 1 バイト単位でのみアクセス可能です。

XRAM

液晶ディスプレイ表示用の RAM です。通常のコンピュータのビデオ RAM に相当します。

XRAM は 3 バンクで構成され、バンク 0, 1 はドットマトリクス用でアプリケーションからの利用が可能です。バンク 2 は、ビジュアルメモリのモードアイコン表示用でアプリケーションからのアクセスはできません。

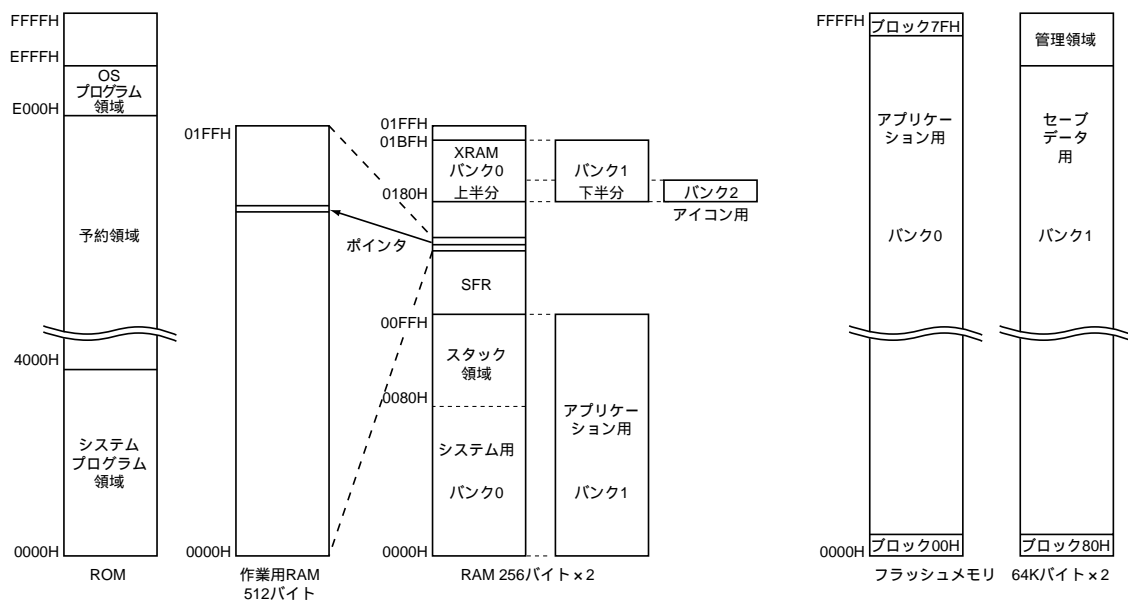


図 7-1 ビジュアルメモリのメモリマップ

第 8 章

システム BIOS の機能

アプリケーションは、システム BIOS の一部である OS プログラムで用意されている一部のサブルーチンを CALL することができます。

システム BIOS には、次の機能があります。

システムの初期化

ビジュアルメモリがリセットされた場合に、実行されます。

実行モード選択機能

ゲームデータやアプリケーションの管理と編集、アプリケーションの起動と終了、時刻表示と調整が行なえます。

モードの切り替えは、MODE ボタンと A ボタンで行ないます。

サブルーチン

サブルーチンは、アプリケーションから利用できます。

フラッシュメモリへのアクセス機能と、内蔵時計の読み出しが可能です。

- ①フラッシュメモリのデータ読み出し
- ②フラッシュメモリへの書き込み
- ③フラッシュメモリとのベリファイ
- ④クロック用カウントアップタイマー

第 9 章

サブルーチン呼び出し手順

アプリケーションが OS プログラムで用意されているサブルーチンを読み出し、その後アプリケーションに復帰するまでの流れは、次のとおりです。

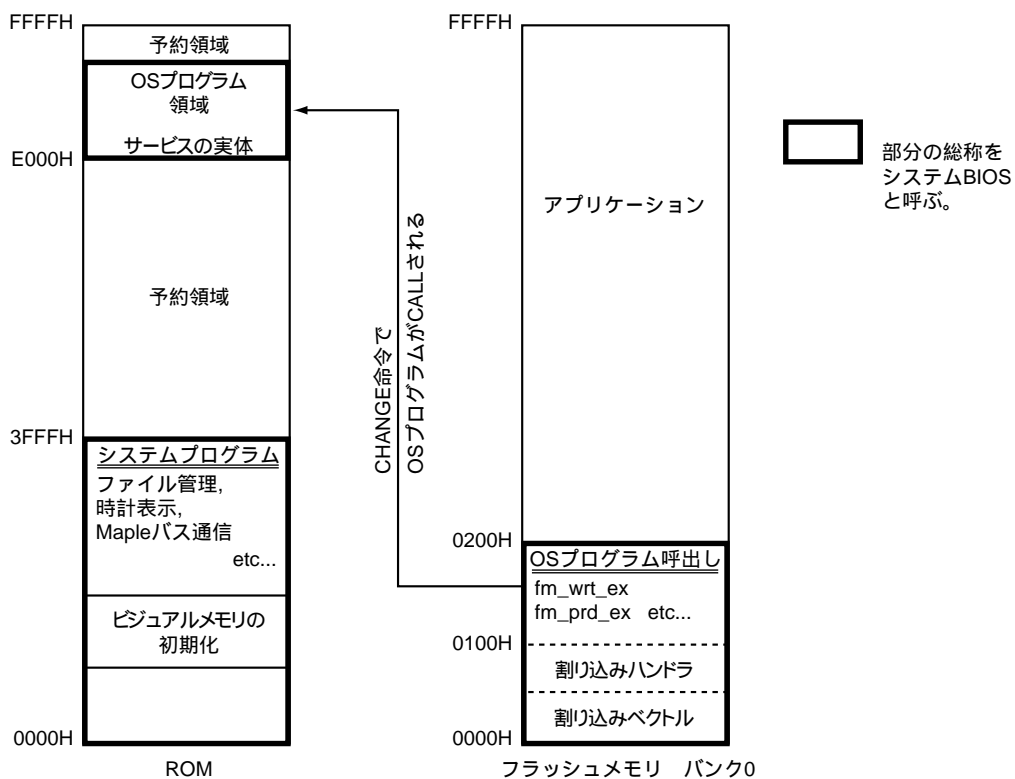


図 9-1 OS プログラム呼び出しの流れ

9.1 各ラベルの処理内容

先のサンプルフローチャートにおいて、各ラベルの役割は次のようになっています。

参照

『ビジュアルメモリ SDK』に添付の“ GHEAD.ASM ” GHEAD.H ”を合わせてご覧ください。

アプリケーション (フラッシュメモリ)

main

アプリケーションのメインプログラムです。

os_int

ROM 空間に処理を移行するサブルーチンです。

例では、このサブルーチン呼び出しで ROM 空間に処理を移行し、ROM 空間から戻った後、メインプログラムに復帰します。

なお、このサブルーチンは、ヘッダ内に用意します。

os_ret

フラッシュメモリ空間に復帰するためのサブルーチンです。

ROM 空間において、このラベルを引数として CHANGE 命令を実行すると、フラッシュメモリ空間に復帰します。復帰後、ヘッダ内に用意されている割り込み復帰ルーチンにジャンプします。

システム BIOS (ROM)

os_CALL

OS プログラム呼び出しおよびフラッシュメモリ空間への復帰ルーチンです。

OS プログラム中に用意されたサブルーチン呼び出し、サブルーチン処理後はフラッシュメモリ空間へと処理を移行します。

os_main

OS プログラム本体です。

実際に用意されたサブルーチンの処理を行います。

9.2 システム BIOS とアプリケーションの連携

前述のサンプルフローチャートにおいて、フラッシュメモリのアプリケーションが実行中であると仮定し、OS プログラムの呼び出しからその復帰までの流れを説明します。

- ①アプリケーション実行中、OS プログラムを使用したい場合に `os_int` サブルーチンを CALL します。
OS プログラムにジャンプする必要がある割り込み処理ルーチンには、割り込み処理ルーチン内に `os_int` サブルーチンを呼び出すよう記述します。
- ②`os_int` サブルーチン内の `CHANGE` 命令により、ROM 内の OS プログラム呼び出しルーチン (`os_CALL`) にジャンプします。
- ③OS プログラム呼び出しルーチンから、OS プログラム本体のサブルーチン (`os_main`) を CALL します。
この時点から、OS プログラムの処理が開始されます。
- ④OS プログラムの処理が終了すると、`RET` 命令により、OS プログラム呼び出しルーチン内の `CALL` 命令の次のアドレスにジャンプします。OS プログラム呼び出しルーチンでは、OS プログラムの `CALL` 命令の次は、必ずフラッシュメモリ領域に処理を移行するための `CHANGE` 命令が記述されています。
- ⑤OS プログラムのサブルーチンから復帰後、`CHANGE` 命令によりフラッシュメモリへと処理を移行します。
アプリケーションには、ROM から復帰の際に呼び出されるサブルーチン (`os_ret`) を用意します。
このサブルーチンの配置場所は固定されており、このプログラムはアプリケーション開発者にライブラリの形で提供されます。このプログラムのことをヘッダといいます (本例では、`os_int` と `os_ret` がヘッダに含まれます) 。
- ⑥上記の復帰ルーチンから、`os_int` サブルーチンに戻り、その後 `RET` 命令によってメインプログラム (`main`) に復帰します。

CHANGE 命令

`CHANGE` 命令は、フラッシュメモリ空間から ROM 空間へ、または ROM 空間からフラッシュメモリへと処理を移行する際に使用する命令です。`CHANGE` 命令を実行することで、現在 ROM 空間 (またはフラッシュメモリ空間) でプログラムが動作している時は、フラッシュメモリ空間 (または ROM 空間) へ処理を移行し、ラベル (またはアドレス) で指定されたアドレスにプログラムカウンタがセットされます。

第 10 章

MODE ボタンによるアプリケーションの終了手順

アプリケーションは、その実行中に MODE ボタンが押された場合、直ちに処理を中断しシステムアプリケーションのモード管理画面へ復帰する必要があります。

ここでは、アプリケーションからシステムアプリケーションへ制御を渡す手順についてを説明します。

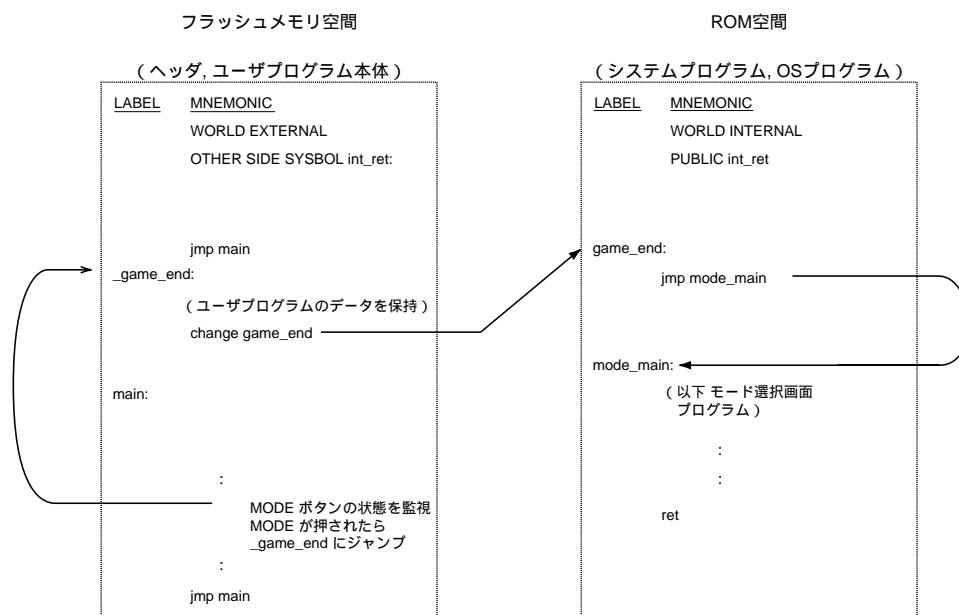


図 10-1 モード選択画面への復帰フローチャート

10.1 各ラベルの処理内容

先のサンプルフローチャートにおいて、各ラベルの役割は次のようになっています。

参照

『ビジュアルメモリ SDK』に添付の“ GHEAD.ASM ” GHEAD.H ”を合わせてご覧ください。

アプリケーション (フラッシュメモリ)

main

アプリケーションのメインプログラムです。

MODE ボタンが押されたことで、下記の OS プログラム復帰サブルーチンにジャンプするようにプログラムする必要があります。

_game_end

アプリケーションを終了し、OS プログラムへと処理を移行するサブルーチンです。実行中のアプリケーションのデータを保持する場合は、このサブルーチンにジャンプする前にデータを保存するようプログラムしてください。

注意

OS プログラムでは、データの保存は行いません。

システム BIOS (ROM)

game_end

アプリケーション終了後、システムアプリケーションに復帰する際の窓口となる復帰ルーチンです。

ROM 内のシステムアプリケーションに復帰し、モード選択プログラムを起動します。

mode_main

モード選択プログラムです。

参照

モード選択については「付録編」の「第 19 章 ビジュアルメモリのモード選択」を参照してください。

10.2 システムアプリケーションとの連携

前述のサンプルフローチャートにおいて、フラッシュメモリのアプリケーションが実行中であると仮定し、モード選択画面への復帰の流れを説明します。

- ①アプリケーション実行中に MODE ボタンが押されると、_game_end サブルーチンにジャンプします。

_game_end サブルーチン内の CHANGE 命令が実行されると、ROM 内プログラムに処理が移行します。

データを保持する必要があるアプリケーションでは、_game_end サブルーチン内の CHANGE 命令を実行する前に、データを保存するプログラムを組み込んでください。

注意

MODE ボタンの検出に、ポート 3 割り込みを使用しないでください。
ポート 3 割り込み処理ルーチン内で _game_end サブルーチンにジャンプすると、BIOS が正常に動作しません。

- ②アプリケーションから _game_end サブルーチンにジャンプすると、_game_end サブルーチン内に記述された CHANGE 命令により、ROM 内プログラムの game_end サブルーチンに処理が移行します。
- ③フラッシュメモリから、game_end サブルーチンに処理が移行した後、モード選択プログラムが起動されます。

第 11 章

ビジュアルメモリの初期化

ビジュアルメモリに対して以下の操作を行った場合、自動的に初期化が行われます。

- ①Katana に接続した状態で、Katana の電源を ON にする
- ②ビジュアルメモリ本体のリセットスイッチを押す
- ③ビジュアルメモリに電池をセットする

初期化の内容は、次のとおりです。

RAM のクリア

RAM (バンク 0, バンク 1) の全領域に '00H' を書き込まれます。ただし、XRAM は初期化後も値は変化しません。

レジスタは、リセット時にすべてハードウェアリセットにより初期化された後、ソフトウェアにて初期化されます。ハードウェアリセットによるレジスタの初期値は「ハードウェア編」の「5.4.2 リセット時のハードウェア状態」を参照してください。

システムクロック, サイクルタイムの設定

システムクロックは、サブクロック (水晶発振) に切り替わります。サイクルタイムはシステムクロックの 1/6 に設定されます。

ベースタイマーの設定

14 ビットベースタイマーモードに設定され、ベースタイマークロックは、サブクロック (水晶発振) に切り替わります。

また、ベースタイマー 0 割り込みを許可し、カウントを開始されます。

マスター割り込みの設定

マスター割り込みを許可します。

液晶ドライバの設定

液晶コントローラが起動されます。液晶クロックは、液晶ドライバに入力しているクロックの 1/2 に設定されます。

液晶表示スタートアドレスは XRAM の '000H' に設定され、文字数レジスタ、時分割レジスタが設定されます。

最後に液晶表示が ON となります。

ポート 1 の設定

ポート 1 は全ビット入力に設定されます。なお、ポート 1 のビット 7 は音声出力用に設定されます。

注意

ポート 1 のビット 7 は、初期化後入力モードになっています。そのため、アプリケーションで改めて出力モードに再設定する必要があります。

ポート 1 のビット 5~0 (ビジュアルメモリ用シリアルインターフェイス) は、同期式シリアルインターフェイスモードに設定されます。

ポート 3 の設定

ポート 3 の全ビットをプルアップし、全ビット入力モードに設定されます。

また、ポート 3 による割り込み要因の発生と HOLD モード解除を許可し、割り込み要求を許可します。

Maple バスインターフェイス回路の初期化

Maple バスインターフェイス回路が初期化されます。

作業用 RAM の設定

作業用 RAM は、アプリケーションから利用できるように設定されます。

第 12 章

サブルーチンリファレンス

システム BIOS で用意されているサブルーチンについて説明します。

12.1 フラッシュメモリへのアクセス機能

フラッシュメモリに対するアクセスに関するサブルーチンは次のとおりです。

フラッシュメモリのページデータ読み出し

フラッシュメモリ空間から、128 バイトデータを読み出します。

フラッシュメモリへの書き込み

フラッシュメモリ空間へ、128 バイトのデータを書き込みます。

フラッシュメモリとのペリファイ

フラッシュメモリに書き込んだデータのペリファイを行います。

注意

フラッシュメモリに対するアクセスを行う場合、システムクロックを 600KHz (CR 発振) に切り替える必要があります。

12.2 サブルーチン使用時の注意

フラッシュメモリ空間へのアクセスを行う場合は、以下の点に注意してください。

ビジュアルメモリには、命令実行サイクルの基本となるシステムクロックが 3 種類あります。

単体動作時は、水晶発振 (32KHz) のクロックを使用しますが、フラッシュメモリにアクセスする場合は、フラッシュメモリアクセス用サブルーチンを呼び出す前に RC 発振 (600KHz) に変更する必要があります。

また、サブルーチンの実行が終了した後、サブルーチンを呼び出す以前に使用していたクロックに切り替えます。

クロック切り替えのタイミングについては、次の図のとおりです。

名称	システムクロック発振源	発振周波数	命令サイクルタイム
メインクロック	セラミック (CF) 発振	6MHz	1.0 μ 秒
内蔵クロック	内蔵 (RC) 発振	600KHz	10.0 μ 秒
サブクロック	水晶 (CF) 発振	32KMHz	183.0 μ 秒

フラッシュメモリ関連

fm_prd_ex(ORG 0120H)

フラッシュメモリのページデータ読み出し

引数

読み出すフラッシュメモリの開始上位アドレス : fmadd_h (RAM バンク 1 07EH)
読み出すフラッシュメモリの開始下位アドレス : fmadd_l (RAM バンク 1 07FH)
読み出すフラッシュメモリのバンクアドレス : fmbank (RAM バンク 1 07DH)

戻り値

リードデータ (128 バイト): RAM バンク 1 の 080H ~ 0FFH

破壊レジスタ

このサブルーチンを呼び出すと、次のレジスタの内容が破壊されます。
ACC , TRL , TRH , r0

機能

フラッシュメモリの指定したアドレスから連続した 1 ページ (128 バイト) のデータをリードします。

説明

このサブルーチンを CALL することにより、フラッシュメモリから 1 ページ (128 バイト) のデータを読み出すことができます。このサブルーチンを使用する場合は、あらかじめ下記の設定を行う必要があります。

注意

このサブルーチンはエラーを返しません。引数などに注意して CALL してください。

使用する RAM のバンクの設定

- ①使用する RAM をバンク 1 に設定 (PSW のビット 1 を ' 1 ' に設定)

PSW レジスタについては「ハードウェア編」の「3.8 プログラムステータスワード (PSW)」を参照してください。

フラッシュメモリの読み出し開始アドレス値の設定

- ②上位アドレス (8 ビット) : fmadd_h (RAM バンク 1 の 07EH) に設定
③下位アドレス (8 ビット) : fmadd_l (RAM バンク 1 の 07FH) に設定

読み出しを行うフラッシュメモリのバンク設定

- ④読み出しを行うフラッシュメモリをバンク 0 に設定
RAM バンク 1 の 07DH を ' 00H ' に設定します。

注意

上記以外の値を設定した場合、正常に動作しない場合があります。

リードしたデータは、RAM バンク 1 の 080H ~ 0FFH に書き込まれます。

注意

読み出し設定の際には、以下の点に注意してください。

- ・ 2 ページにまたがってデータの読み出しはできません。そのため、読み出し開始アドレスの設定は、必ず各ページの先頭アドレスを指定してください。
各ページの先頭アドレスは、下記の式で決定されます

$$\text{先頭アドレス値 (2 バイト)} = 080\text{H} \times \text{ページ番号 (0 \sim 511)}$$

1 ページごとに読み出しを行うため、下位アドレスの 0 ~ 6 ビットは必ず ' 0 ' に設定する必要があります。各ページの先頭アドレス以外の値を設定した場合、正常に動作しない場合があります。

- ・ 読み出したデータは、元の RAM の内容に上書きされます。

ページについて

フラッシュメモリ空間を先頭アドレスから 128 バイトごとに分割したそれぞれの領域をページといいます。フラッシュメモリは、このページ単位で管理されます。

フラッシュメモリ空間の 1 バンクは 64K バイトですので、1 バンクは 512 ページに分割されています。

fm_prd_ex 実行時の動作は、次のとおりです。

fmadd_h = A0h
fmadd_l = 80h (ページ No. = 321) と設定したとき

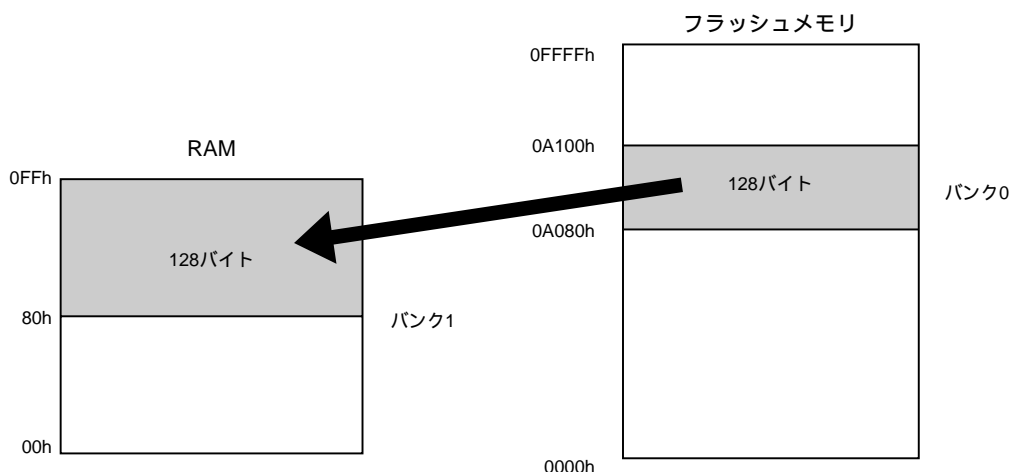


図 12-2 fm_prd_ex が行なうデータ転送

fm_wrt_ex (ORG 0100H)

フラッシュメモリへの書き込み

引数

書き込むフラッシュメモリの開始上位アドレス : fmadd_h (RAM バンク 1 07EH)
書き込むフラッシュメモリの開始下位アドレス : fmadd_l (RAM バンク 1 07FH)
書き込むフラッシュメモリのバンクアドレス : fm バンク (RAM バンク 1 07DH)
書き込むフラッシュメモリのデータ (128 バイト) : RAM バンク 1 080H ~ 0FFH
データ書き込み終了検出アルゴリズム指定 : RAM バンク 1 07CH のビット 0
(トグルビット方式 (0) / データポーリング方式 (1))

戻り値

ACC 正常終了すると 00H が、異常終了すると 0FFH が ACC にセットされます。

破壊レジスタ

このサブルーチンを呼び出すと、次のレジスタの内容が破壊されます。

ACC , B , C , TRL , TRH , r0

機能

フラッシュメモリの、指定したアドレスから連続した 1 ページ (128 バイト) の領域にデータを書き込みます。

説明

このサブルーチンを CALL することにより、1 ページ (128 バイト) 分のデータを指定したアドレスから連続した領域に格納します。

このサブルーチンを使用する場合は、あらかじめ下記の設定を行う必要があります。

- ① PSW のビット 1 を ' 1 ' に設定し、使用する RAM をバンク 1 に設定します。
- ② フラッシュメモリに書き込むデータを RAM バンク 1 の 080H ~ 0FFH に格納します。
- ③ RAM バンク 1 の 07DH を ' 00H ' に設定し、書き込みを行うフラッシュメモリをバンク 0 にします。

注意

フラッシュメモリのバンク 0 は、アプリケーションからアクセス禁止です。
データを書き込まないでください。

- ④ フラッシュメモリの上位アドレス (8 ビット) を、RAM バンク 1 の 07EH に書き込み、下位アドレス (8 ビット) を RAM バンク 1 の 07FH に書き込みます。
- ⑤ 書き込み終了検出アルゴリズムを RAM バンク 1 の 07CH に書き込みます。
トグルビット方式による検出を行なう場合は 00H を、データポーリング方式による検出を行なう場合は 01H を書き込みます。

注意

00H または 01H 以外は書き込まないでください。

注意

フラッシュメモリに書き込むときには、以下の点に注意してください。

- ・ 2 ページにまたがったデータの書き込みはできません。書き込み開始アドレスの設定は、必ず各ページの先頭アドレスを指定してください。

各ページの先頭アドレスは、下記の式で計算できます。

先頭アドレス値 (2 バイト) = 080H × ページ番号 (0 ~ 511)

1 ページごとに書き込みを行うため、下位アドレスの 0 ~ 6 ビットは必ず ' 0 ' になります。

各ページの先頭アドレス以外の値を設定した場合、正常に動作しない場合がありますので注意してください。

fm_wrt_ex 実行時の動作は、次のとおりです。

fmadd_h = A0h
fmadd_l = 80h (ページ No. = 321) と設定したとき

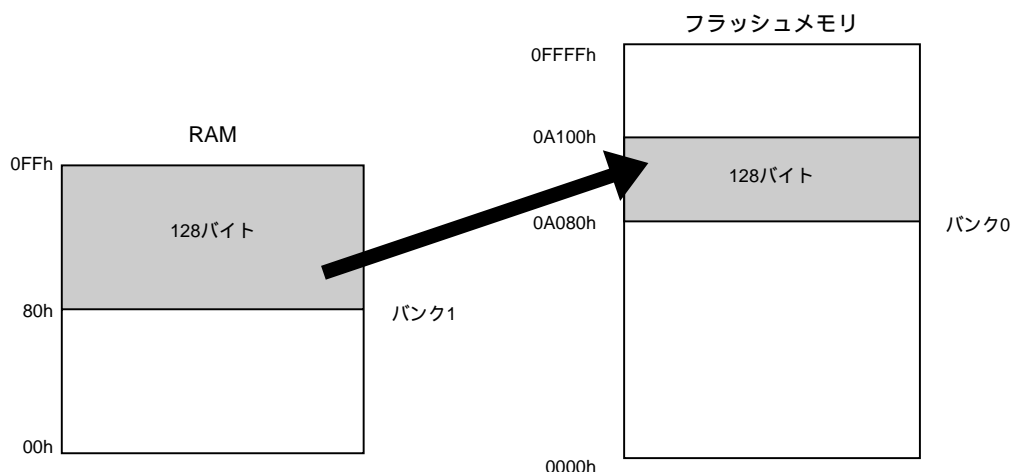


図 12-3 fm_wrt_ex が行なうデータ転送

fm_vrf_ex (ORG 0110H)

フラッシュメモリとのベリファイ

引数

ベリファイを開始するフラッシュメモリの上位アドレス: fmadd_h (RAM バンク 1 07EH)
ベリファイを開始するフラッシュメモリの下位アドレス: fmadd_l (RAM バンク 1 07FH)
ベリファイを行うフラッシュメモリのバンクアドレス : fmbank (RAM バンク 1 07DH)
ベリファイ用データ (128 バイト): RAM バンク 1 080H ~ 0FFH

戻り値

ベリファイ結果が ACC にセットされます。相違がない場合は 00H が、相違があった場合または異常終了した場合は 00H 以外がセットされます。

破壊レジスタ

このサブルーチンを呼び出すと、次のレジスタの内容が破壊されます。

ACC , TRL , TRH , r0

機能

フラッシュメモリにデータを書き込んだ後、書き込まれたデータが正しいかどうかをチェックします。fm_wrt_ex を用いてフラッシュメモリにデータを書き込んだ後に使用します。

説明

このサブルーチンは、fm_wrt_ex を CALL するときに指定した 128 バイトの書き込み用データと、実際にフラッシュメモリに書き込まれたデータとの比較を行います。

そのため、実際にこのサブルーチン呼び出すときは、fm_wrt_ex サブルーチン呼び出した直後に行う必要があります。

このサブルーチン呼び出す場合は、先に呼び出した fm_wrt_ex と同じ引数を設定する必要があります。fm_wrt_ex と異なる引数を設定した場合は、データのバリファイが正しく行われません。

このルーチン呼び出した後、128 バイトすべてのデータの整合性が確認できた場合は、戻り値として ACC に '00H' がセットされます。相違があった場合は、'00H' 以外の値がセットされます。

fm_vrf_ex 実行時の動作は次のとおりです。

fmadd_h = A0
fmadd_l = 80 (ページ No. = 321)
Fmabank = 01 と設定したとき

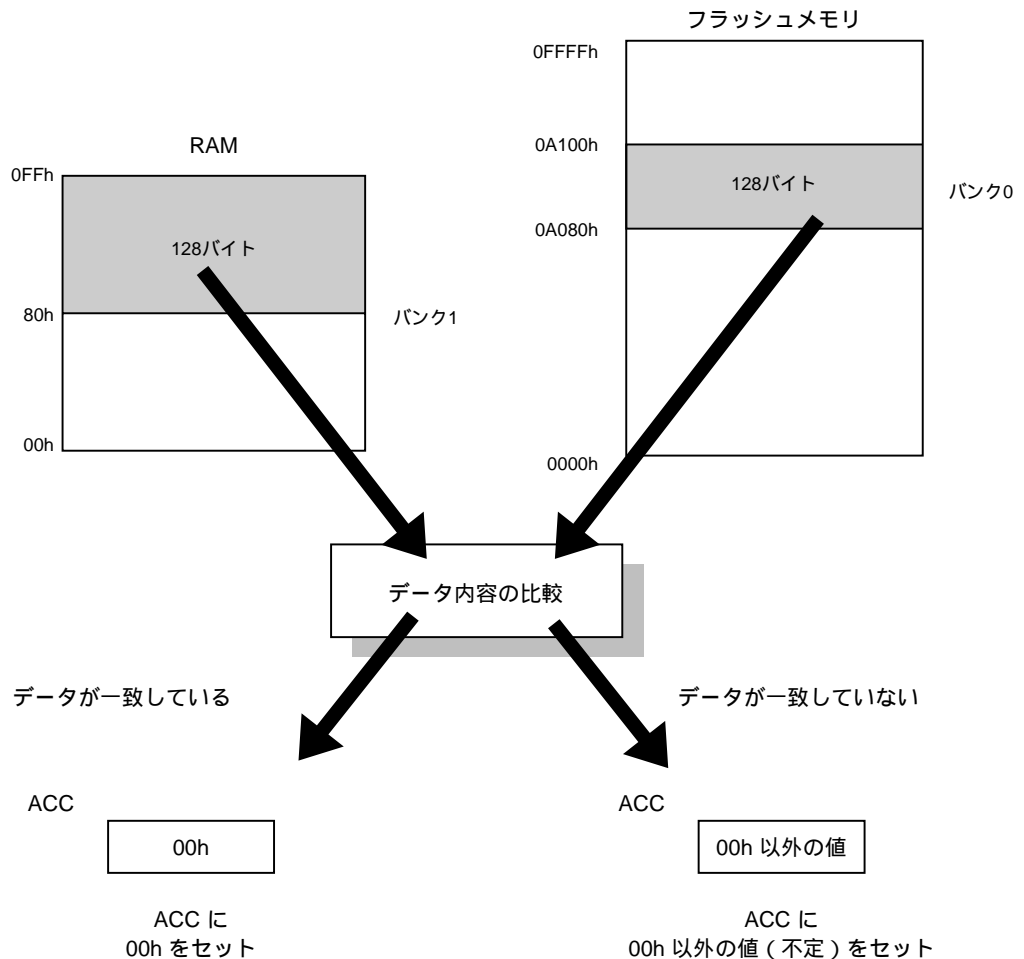


図 12-4 fm_vrf_ex 実行時の動作

時計機能

アプリケーションから利用できる時計機能に関する OS プログラムは、「時計データの自動更新」のみです。

timer_ex

クロック用カウントアップタイマー

引数

なし

戻り値

年: year_h (RAM バンク 0 017H, 18H)
 月: mon_h (RAM バンク 0 019H)
 日: day_h (RAM バンク 0 01AH)
 時: hour_h (RAM バンク 0 01BH)
 分: min_h (RAM バンク 0 01CH)
 秒: sec_h (RAM バンク 0 01DH)

年のデータは 2 バイトで構成されており、上位 1 バイトデータが 17H に、下位 1 バイトデータが 18H に格納されます。また、year_h は RAM バンク 0 の 017H に割り当てられており、018H 番地にアクセスする場合は year_h + 1 番地にアクセスする必要があります。

注意

このサブルーチンで得られる時刻データはすべて 16 進数です。10 進数への変換は、アプリケーションで行う必要があります。

なお、ワークエリアには BCD 日時データ領域がありますが、timer_ex ではこの領域は更新されません。

機能

現在の時刻データを取得し、RAM バンク 0 の指定領域に格納します。

説明

このサブルーチンは、ベースタイマー割り込みを利用したタイマーカウンタです。

注意

ベースタイマー 0 割り込みは timer_ex で使用しますので、アプリケーションから timer_ex をフックしないでください。ただし時刻データが取得できなくなります。

このサブルーチンは、ベースタイマー 0 割り込み要因が発生し、割り込みベクトルにジャンプした後に呼び出してください。また、このとき、同時にベースタイマー 0 の割り込み要因を必ずリセット (BTCR1 ビット = ' 0 ') してください。割り込み要因をリセットしなかった場合、時計機能が正常に動作しません。

第 13 章

ローバッテリー自動検出機能について

ビジュアルメモリには、電池容量が少なくなるとその旨のメッセージが LCD に表示される、ローバッテリー自動検出機能がシステム BIOS として実装されています。

フラッシュメモリへのデータの書き込みや、他のビジュアルメモリとの通信を行なうと電池を非常に多く消費するため、ローバッテリー自動検出が誤動作する可能性があります。そこで、これらの処理を行なう場合、あらかじめローバッテリー自動検出機能を OFF にすることで、誤動作を回避できます。

ローバッテリー自動検出許可フラグ

ローバッテリー自動検出を行なうかどうかを指定するのが、ローバッテリー自動検出許可フラグです。アプリケーションは、このフラグを操作することが可能です。

注意

アプリケーションで下記の処理を行う場合には、必ずローバッテリー検出フラグを '00H' に設定してください。下記の処理は、電池を多く消費するため、ローバッテリー自動検出が誤動作する可能性があります。

- ・シリアルインターフェイスを用いて、他のビジュアルメモリと通信を行うとき
- ・フラッシュメモリ空間に書き込みを行うとき

アドレス

06EH (RAM バンク 0) ローバッテリー自動検出フラグ

00H を指定するとローバッテリー自動検出が行なわれます。0FFH を指定すると自動検出は行なわれません。

注意

00H または 0FFH 以外は指定しないでください。

動作

ローバッテリー自動検出機能は、電池の電圧を監視しある値より低下した場合、実行中のプログラムを中断し、ローバッテリーを検出してから 3 秒間後に電池が消耗している旨 LCD に表示します。

説明

ローバッテリー検出機能は、電圧低下の検出と、電池消耗のメッセージの表示まですべて含んだ機能です。ローバッテリー自動検出許可フラグに 00H を設定している場合、ビジュアルメモリの動作状態に関わらず、一連の動作を自動的に行います。ローバッテリー自動検出許可フラグを 0FFH に設定している場合は、ローバッテリーの検出機能に関わるすべての動作を停止します。

注意

低電圧時にデータをフラッシュメモリに退避させるプログラムは、低電圧割り込みを使わずに、低電圧検出フラグ (PORT7 のビット 1) を監視するようにしてください。

低電圧割り込みを利用すると、電池があるにもかかわらず、フラッシュメモリの書き込み動作や、シリアル通信時に低電圧割り込みが発生する場合があります。

低電圧検出フラグについては「ハードウェア編」の「4.1.3 ポート 7」を参照してください。

第 14 章 定義変数一覧

OS プログラム BIOS を使用する上で必要な変数を示します。

時刻データ関連

シンボル	アドレス (RAM バンク)	内容	コメント
year	010H(バンク 0)	年 (BCD 4 桁)	timer_ex では更新せず
mon	012H(バンク 0)	月 (BCD 2 桁)	timer_ex では更新せず
day	013H(バンク 0)	日 (BCD 2 桁)	timer_ex では更新せず
hour	014H(バンク 0)	時 (BCD 2 桁)	timer_ex では更新せず
min	015H(バンク 0)	分 (BCD 2 桁)	timer_ex では更新せず
sec	016H(バンク 0)	秒 (BCD 2 桁)	timer_ex では更新せず
year_h	017H(バンク 0)	年 (HEX 4 桁)	
mon_h	019H(バンク 0)	月 (HEX 2 桁)	
day_h	01AH(バンク 0)	日 (HEX 2 桁)	
hour_h	01BH(バンク 0)	時 (HEX 2 桁)	
min_h	01CH(バンク 0)	分 (HEX 2 桁)	
sec_h	01DH(バンク 0)	秒 (HEX 2 桁)	
sec_f	01EH(バンク 0)	ワーク用	使用禁止
leaf_f	01FH(バンク 0)	ワーク用	使用禁止

注意

BCD データ格納用の year, mon, day, hour, min, sec は、システムアプリケーションの時計機能が利用するワークエリアです。timer_ex では、BCD 変換を行いませんので、これらのワークエリアは更新されません。

ローバッテリー自動検出関連

シンボル	アドレス (RAM バンク)	内容
なし	06EH(バンク 0)	ローバッテリー自動検出フラグ 00: 自動検出 FFH: 検出せず

フラッシュメモリ関係

シンボル	アドレス (RAM バンク)	内容
fmbank	07DH(バンク 1)	フラッシュメモリのバンク指定
fmadd_h	07EH(バンク 1)	フラッシュメモリのメモリアドレス (上位 8 ビット)
fmadd_l	07FH(バンク 1)	フラッシュメモリのメモリアドレス (下位 8 ビット)



第 4 部

PWM 音源編

ビジュアルメモリは、内蔵しているタイマー（タイマー 1）を用いて音声出力することができます。音声出力方式には、8 ビットパルスジェネレータ方式とビット長可変パルスジェネレータ方式（ビット長：9～16 ビット）の 2 とおりの方式があり、どちらの場合についても、タイマー 1 回路を用いて音声出力を行います。通常、8 ビットパルスジェネレータ方式を使用します。

なお PWM 音源を利用する場合は、クロックを 32KHz（水晶発振）に変更してください。

第 15 章

音声出力の方法

ここでは、ビジュアルメモリの音声出力方法について説明します。
ビジュアルメモリの音声出力には、タイマー 1 を使用します。

15.1 タイマー 1 概要

ビジュアルメモリの音声出力に使用するタイマー 1 について説明します。

ビジュアルメモリが内蔵しているタイマー 1 は、次の 4 つの機能を持った 16 ビットタイマーです。

モード 0: 8 ビットリロードタイマー × 2 チャンネル

モード 1: 8 ビットリロードタイマー + 8 ビットパルスジェネレータ

モード 2: 16 ビットリロードタイマー

モード 3: ビット長可変パルスジェネレータ (9~16 ビット)

これらの機能のうち、ビジュアルメモリ音声出力に使用するモードは、モード 1 です。

他のモードの使用方法については「ハードウェア編」の「4.3 タイマー 1 (T1)」を参照してください。

15.1.1 タイマー 1 ブロック構成

ビジュアルメモリの音声出力に使用するタイマー 1 は、次のようなブロック構成になっています。

タイマー 1 下位 (T1L) ①

サイクルクロックまたはサイクルクロックの 1/2 周期の信号をクロックとする 8 ビットリロードタイマーです。

T1L のオーバーフローで T1LR のデータがリロードされ、T1LRUN (T1CNT のビット 6) を '0' の設定時、T1LR のデータが T1L に転送されます。

タイマー 1 下位比較回路 (T1LC) ②

8 ビットのタイマー 1 下位比較データレジスタ (T1LC) と 8 ビットデータ比較回路で構成され、T1L と T1LC のデータを比較します。

タイマー 1 上位 (T1H) ③

サイクルクロックまたは T1L のオーバーフローをクロックとする 8 ビットリロードタイマーです。

T1H のオーバーフローで T1HR のデータがリロードされます。T1HRUN (T1CNT のビット

ト7)をリセットしても T1HR がリロードされます。

タイマー 1 上位比較回路 (T1HC) ④

8 ビットのタイマー 1 上位比較データレジスタ (T1HC) と 8 ビットデータ比較回路で構成され、T1H と T1HC のデータを比較します。

タイマー 1 制御レジスタ (T1CNT) ⑤

タイマー 1 の各モード設定や割り込み制御を行います。

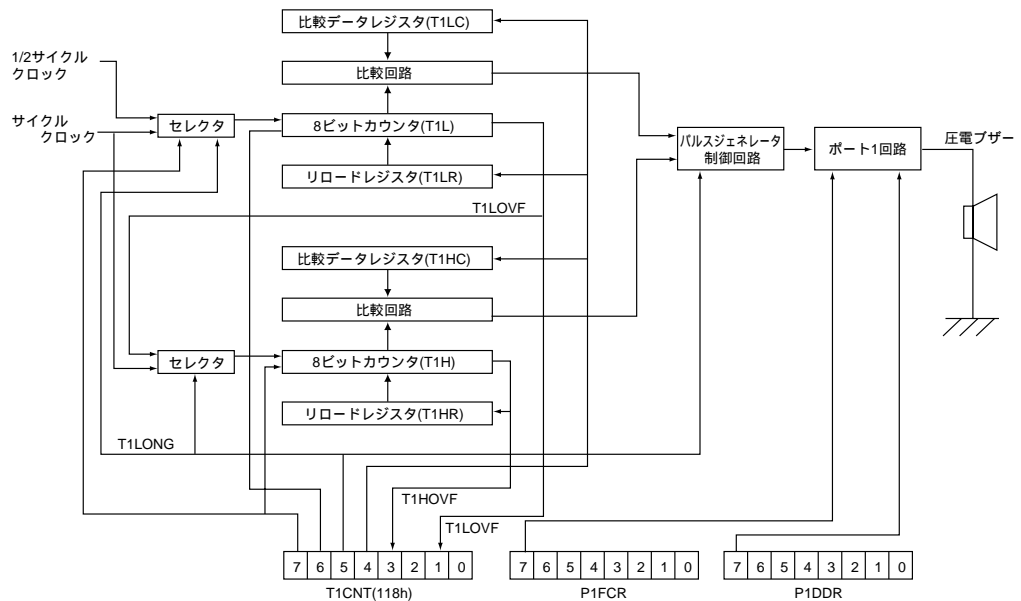


図 15-1 タイマー 1 ブロック図

15.1.2 関連レジスタ

タイマー 1 を制御するためには、次のレジスタを操作する必要があります。

シンボル	アドレス	機能
T1L	11BH	タイマー 1 下位カウンタレジスタ
T1LR	11BH	タイマー 1 下位リロードレジスタ
T1LC	11AH	タイマー 1 下位比較データレジスタ
T1CNT	118H	タイマー 1 制御レジスタ
P1	114H	ポート 1 ラッチレジスタ
P1DDR	145H	ポート 1 データディレクションレジスタ
P1FCR	146H	ポート 1 制御レジスタ
OCR	10EH	発振制御レジスタ

上記レジスタの詳細は「ハードウェア編」を参照してください。

15.1.3 モード設定

タイマー 1 を音声出力のためのモード (モード 1) に設定する方法を説明します。
モード設定に必要なレジスタは、以下の 4 つです。

T1CNT (ビット 5 : T1LONG)
P1 (ビット 7 : P17)
P1DDR (ビット 7 : P17DDR)
P1FCR (ビット 7 : P17FCR)

各モードとレジスタの値は、下図のとおりです。各モードで使用できるサイクルクロックの周期も併せて示します。

モード	クロック周期	T1LONG	P17FCR	P17DDR	P17
1	Tcyc	0	1	1	0

表中の Tcyc はサイクルクロックの周期です。

ビジュアルメモリで音声を出力する時には、必ずシステムクロックをサブクロック (32KHz) に設定してください。

システムクロックをサブクロック以外に設定した場合、正常に音声が出力されない場合がありますので、使用しないでください。

サイクルクロックは次のようになります。

システムクロック 32KHz (Tcyc = 183.0 μ s)

システムクロックの設定方法については「ハードウェア編」を参照してください。

注意

他のクロックを使用した場合の弊害について

ビジュアルメモリでは、システムクロックとして、32KHz の他に 600KHz、6MHz のクロックを使用できますが、音声出力の際、これらのクロックをつかうと、次の様な弊害があります。

600KHz

600KHz のクロックを使用した場合、その出力周波数誤差が - 50 % , + 100 % と非常に大きいので、出力される音声にばらつきが生じます。

6MHz

6MHz のクロックを使用した場合、他のクロック使用時に比べ非常に消費電力が大きいため、電池寿命が著しく短くなります。

15.2 8ビットカウンタモード

8ビットカウンタモード使用時のビジュアルメモリ音声出力について説明します。
基本的な動作については「ハードウェア編」を参照してください。

15.2.1 出力波形とパラメータの設定

8ビットカウンタモードで出力できる信号の波形と、波形を決定するパラメータについて説明します。

出力信号波形を図 15-2 に示します。

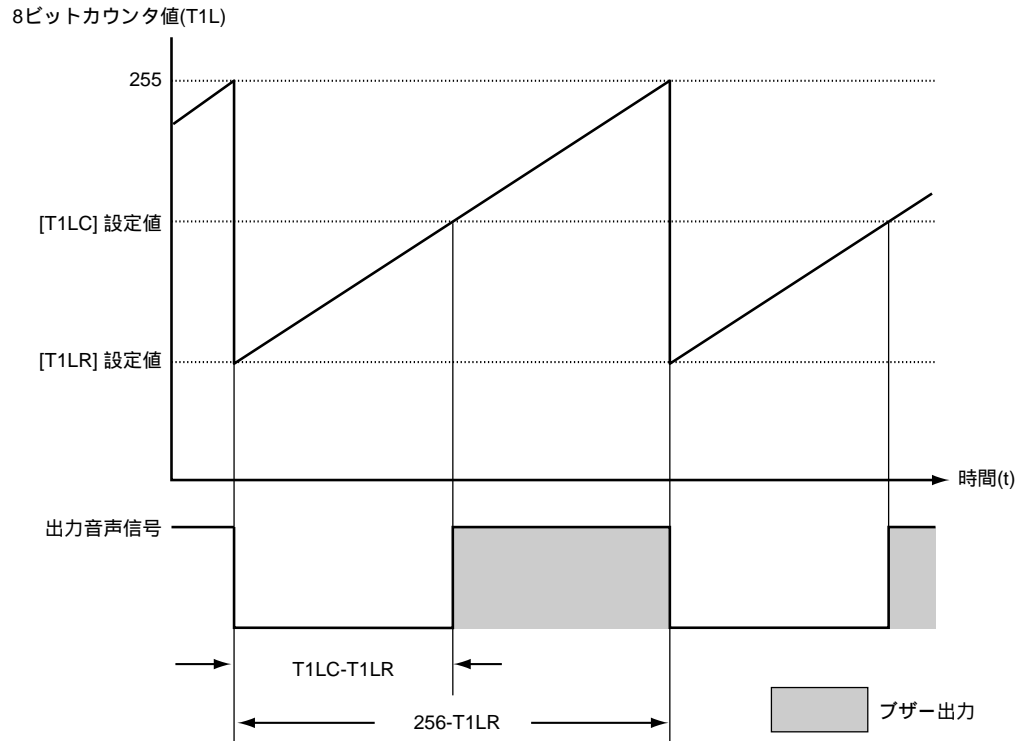


図 15-2 出力波形

15.2.2 8ビットカウンタモード設定

8ビットカウンタモードで音声信号を出力する手順について説明します。

8ビットカウンタモードで音声を出力する場合は、下記の手順で設定を行ってください。

① 出力波形の設定

出力する波形に応じたパラメータ (T1LR, T1LC) の設定します。下記の (1) (2) 式を用いて、出力波形を決定してください。

音声出力信号の 'L' レベルパルス幅 (10進数) = (T1LC 設定値 - T1LR 設定値) × Tcyc
... (1)

音声出力信号の周期 (10進数) = (256 - T1LR 設定値) × Tcyc ... (2)

Tcyc : サイクルクロック

出力波形とパラメータの設定についての詳細は「15.2.1 出力波形とパラメータの設定」を参照してください。

タイマー 1 のモードを設定

タイマー 1 をモード 1 に設定します。モード設定に必要なレジスタは、以下の 4 つです。

T1CNT (ビット 5 : T1LONG)

P1 (ビット 7 : P17)

P1DDR (ビット 7 : P17DDR)

P1FCR (ビット 7 : P17FCR)

モード 1 設定時のレジスタの値は下図のとおりです。

モード	T1LONG	P17FCR	P17DDR	P17
1	0	1	1	0

発声開始

タイマー 1 (下位 8 ビット) のカウントを開始し、音声を出力します。タイマー 1 のカウントを開始 / 停止するには、下記の設定を行ってください。

① 波形パラメータ更新

T1CNT ビット 4 (ELDT1C) を '1' に設定します。この設定を行わない場合、T1LR, T1LC で設定した波形パラメータが有効になりません。

T1CNT ビット 4 が '1' の時に波形パラメータを変更した場合は、変更した直後からパラメータの設定値は有効になります。

② タイマー 1 カウント開始

T1CNT ビット 6 (T1LRUN) を '1' に設定します。

音声の停止

8 ビットカウンタモードで出力している音声を停止させたい場合は、下記の設定を行ってください。

タイマー 1 (T1L) のカウント停止フラグ (T1CNT ビット 6) を '0' に設定します。

波形パラメータは、音声発声中 (タイマー 1 動作中) でも変更できます。異なる周波数の音を連続して出力する場合は、タイマー 1 の動作を停止させずに出力波形のパラメータを変更してください。このとき、T1CNT ビット 4 (ELDT1C) は、常に '1' に設定しておきます。

15.2.3 周波数特性

ビジュアルメモリのブザー出力の周波数特性表を下記に示します。

T1LR の値は、ビジュアルメモリで出力可能な周波数帯の設定値を示しています。

詳細は、T1LR の値と出力周波数との対応は「15.2.4 出力可能周波数表」を参照してください。

ビジュアルメモリ周波数特性表

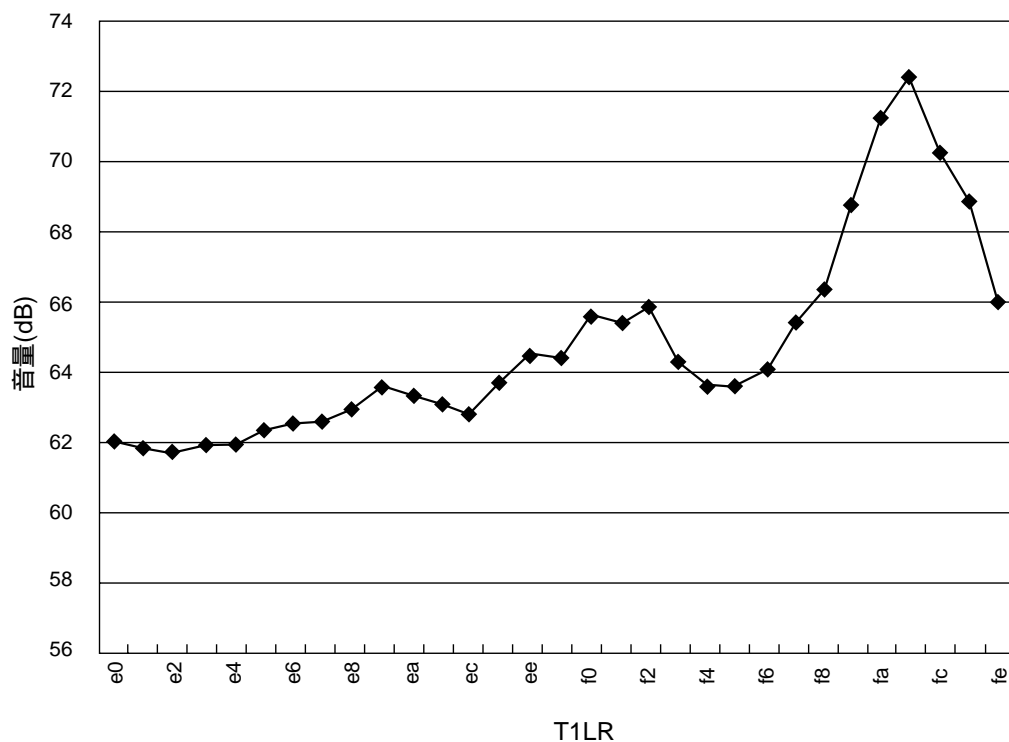


図 15-3 周波数特性

15.2.4 出力可能周波数表

システムクロックが 32KHz で設定可能な周波数（理論値）を示します。

ブザーの特性上すべての周波数の音声は出力できません。表中の推奨周波数を使用してください。

音声出力信号の 'L' レベルパルス幅は、出力信号周期の 1/2 (Duty = 50 %) で設定しています。

T1LR(hex)	T1LC(hex)	周波数(Hz)	T1LR(hex)	T1LC(hex)	周波数(Hz)	T1LR(hex)	T1LC(hex)	周波数(Hz)	T1LR(hex)	T1LC(hex)	周波数(Hz)
00	80	21.346	40	94	28.461	80	A8	42.691	C0	E0	85.383
01	80	21.429	41	A0	28.610	81	C0	43.027	C1	E0	86.738
02	81	21.514	42	A1	28.760	82	C1	43.369	C2	E1	88.137
03	81	21.599	43	A1	28.913	83	C1	43.716	C3	E1	89.582
04	82	21.684	44	A2	29.066	84	C2	44.068	C4	E2	91.075
05	82	21.771	45	A2	29.222	85	C2	44.427	C5	E2	92.618
06	83	21.858	46	A3	29.379	86	C3	44.791	C6	E3	94.215
07	83	21.946	47	A3	29.538	87	C3	45.161	C7	E3	95.868
08	84	22.034	48	A4	29.698	88	C4	45.537	C8	E4	97.580
09	84	22.123	49	A4	29.861	89	C4	45.920	C9	E4	99.354
0A	85	22.213	4A	A5	30.025	8A	C5	46.309	CA	E5	101.194
0B	85	22.304	4B	A5	30.191	8B	C5	46.705	CB	E5	103.103
0C	86	22.395	4C	A6	30.358	8C	C6	47.108	CC	E6	105.086
0D	86	22.488	4D	A6	30.528	8D	C6	47.517	CD	E6	107.147
0E	87	22.580	4E	A7	30.699	8E	C7	47.934	CE	E7	109.290
0F	87	22.674	4F	A7	30.873	8F	C7	48.358	CF	E7	111.520
10	88	22.769	50	A8	31.048	90	C8	48.790	D0	E8	113.843
11	88	22.864	51	A8	31.226	91	C8	49.230	D1	E8	116.266
12	89	22.960	52	A9	31.405	92	C9	49.677	D2	E9	118.793
13	89	23.057	53	A9	31.587	93	C9	50.133	D3	E9	121.433
14	8A	23.155	54	AA	31.770	94	CA	50.597	D4	EA	124.193
15	8A	23.253	55	AA	31.956	95	CA	51.070	D5	EA	127.081
16	8B	23.352	56	AB	32.144	96	CB	51.552	D6	EB	130.107
17	8B	23.453	57	AB	32.334	97	CB	52.043	D7	EB	133.280
18	8C	23.554	58	AC	32.527	98	CC	52.543	D8	EC	136.612
19	8C	23.656	59	AC	32.721	99	CC	53.053	D9	EC	140.115
1A	8D	23.759	5A	AD	32.919	9A	CD	53.573	DA	ED	143.802
1B	8D	23.862	5B	AD	33.118	9B	CD	54.104	DB	ED	147.689
1C	8E	23.967	5C	AE	33.320	9C	CE	54.645	DC	EE	151.791
1D	8E	24.073	5D	AE	33.524	9D	CE	55.197	DD	EE	156.128
1E	8F	24.179	5E	AF	33.731	9E	CF	55.760	DE	EF	160.720
1F	8F	24.287	5F	AF	33.941	9F	CF	56.335	DF	EF	165.590
20	90	24.395	60	B0	34.153	A0	D0	56.922	E0	F0	170.765
21	90	24.504	61	B0	34.368	A1	D0	57.521	E1	F0	176.274
22	91	24.615	62	B1	34.585	A2	D1	58.133	E2	F1	182.149
23	91	24.726	63	B1	34.806	A3	D1	58.758	E3	F1	188.430
24	92	24.839	64	B2	35.029	A4	D2	59.397	E4	F2	195.160
25	92	24.952	65	B2	35.255	A5	D2	60.049	E5	F2	202.388
26	93	25.066	66	B3	35.484	A6	D3	60.716	E6	F3	210.172
27	93	25.182	67	B3	35.716	A7	D3	61.399	E7	F3	218.579
28	94	25.299	68	B4	35.951	A8	D4	62.096	E8	F4	227.687
29	94	25.416	69	B4	36.189	A9	D4	62.810	E9	F4	237.586
2A	95	25.535	6A	B5	36.430	AA	D5	63.540	EA	F5	248.385
2B	95	25.655	6B	B5	36.674	AB	D5	64.288	EB	F5	260.213
2C	96	25.776	6C	B6	36.922	AC	D6	65.053	EC	F6	273.224
2D	96	25.898	6D	B6	37.173	AD	D6	65.837	ED	F6	287.604
2E	97	26.021	6E	B7	37.428	AE	D7	66.640	EE	F7	303.582
2F	97	26.146	6F	B7	37.686	AF	D7	67.463	EF	F7	321.440
30	98	26.272	70	B8	37.948	B0	D8	68.306	F0	F8	341.530
31	98	26.398	71	B8	38.213	B1	D8	69.171	F1	F8	364.299
32	99	26.527	72	B9	38.482	B2	D9	70.057	F2	F9	390.320
33	99	26.656	73	B9	38.755	B3	D9	70.967	F3	F9	420.345
34	9A	26.787	74	BA	39.032	B4	DA	71.901	F4	FA	455.373
35	9A	26.919	75	BA	39.313	B5	DA	72.860	F5	FA	496.771
36	9B	27.052	76	BB	39.598	B6	DB	73.844	F6	FB	546.448
37	9B	27.186	77	BB	39.887	B7	DB	74.856	F7	FB	607.165
38	9C	27.322	78	BC	40.180	B8	DC	75.896	F8	FC	683.060
39	9C	27.460	79	BC	40.478	B9	DC	76.965	F9	FC	780.640
3A	9D	27.598	7A	BD	40.780	BA	DD	78.064	FA	FD	910.747
3B	9D	27.738	7B	BD	41.086	BB	DD	79.195	FB	FD	1092.896
3C	9E	27.880	7C	BE	41.398	BC	DE	80.360	FC	FE	1366.120
3D	9E	28.023	7D	BE	41.714	BD	DE	81.559	FD	FE	1821.494
3E	9F	28.167	7E	BF	42.034	BE	DF	82.795	FE	FF	2732.240
3F	9F	28.313	7F	BF	42.360	BF	DF	84.069	FF	FF	5464.481


 : 使用推奨設定値

図 15-4 波形パラメータと出力周波数対応表

第 16 章 サンプルプログラム

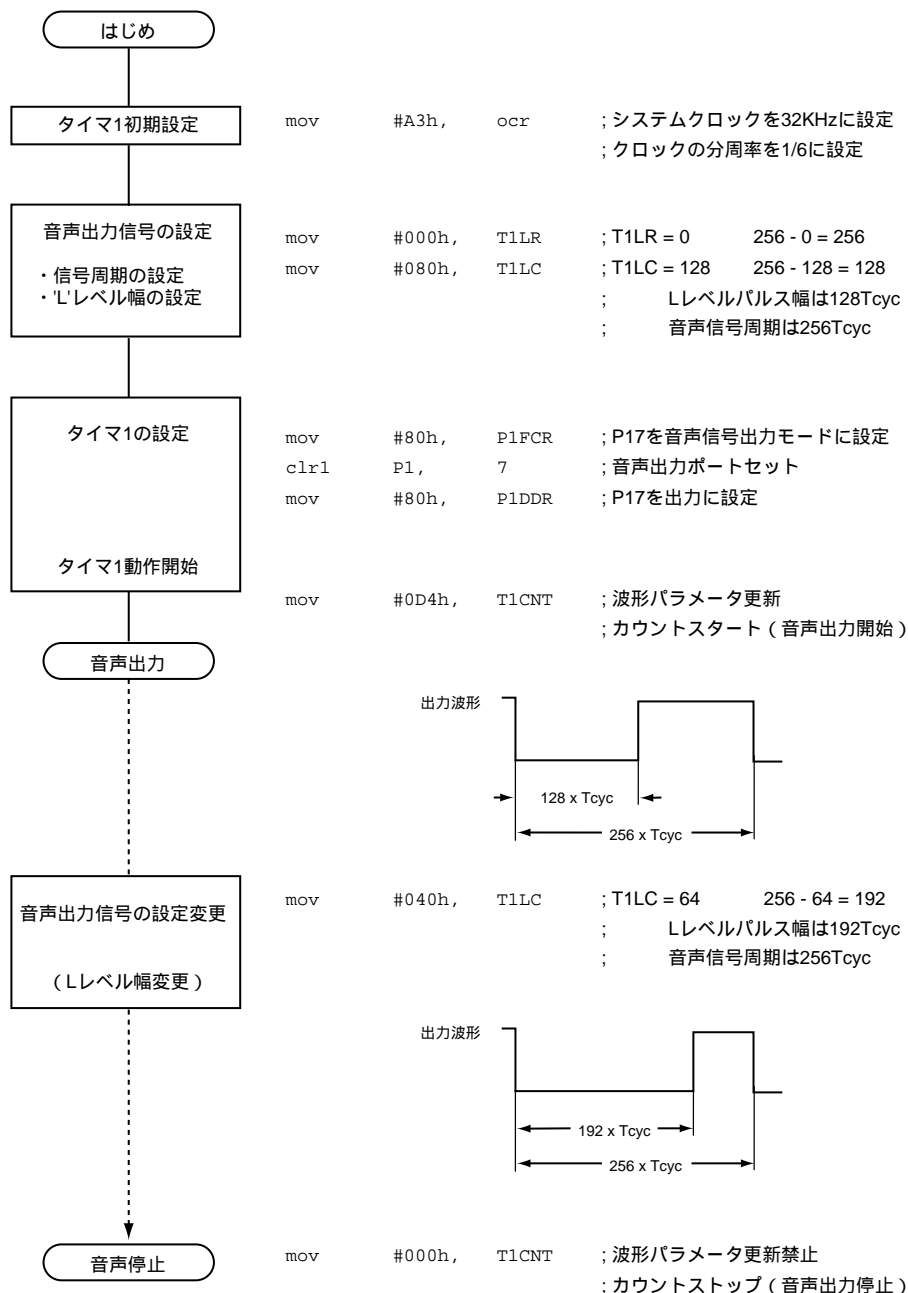


図 16-1 フローチャートとプログラム



第 5 部

付録編

第 17 章

ビット長可変パルスジェネレータ

「ハードウェア編」の「4.3 タイマー 1 (T1)」「モード 3: ビット長可変パルスジェネレータ (9 ~ 16 ビット)」で示した計算式についての補足説明です。

- ・大区間 P の周期 T_p

$$T_p = 2^{[BIT]} \times T_{tc}$$
- ・大区間 P 内の総 ' L ' レベルパルス幅 T_L

$$T_L = (2^{[BIT]} \times [T1LC] / 256 + [T1HC]) \times T_{tc}$$

- ・ T1HC , T1LC は 10 進数
- ・ [T1HC] は有効ビット値

[BIT] は設定するビット長です。大区間 P 内の小区間 T の数は、ビット長によって決まり、タイマー 1 上位リロードレジスタ (T1HR) とタイマー 1 下位リロードレジスタ (T1LR) で設定します。ただし、T1LR は 00H に設定してください。9 ビットパルスジェネレータの設定であれば、[BIT] = 9 であり、大区間 P の周期は $T_p = 29 \cdot T_{tc} = 512T_{tc}$ となります。小区間 T は $256T_{tc}$ (T_{tc} : パルス信号のクロック周期) で構成されているので、大区間 P には小区間 T が 2 回繰り返されます。

表 17-1

(削除) ビット長	小区間Tの 繰り返し 回数	パルスジェネレータ ビット長の設定 (2進)		'L'レベルパルス幅の設定 (2進)	
		T1HRの値	T1LRの値	T1HRの値 (上位ビット)	T1LRの値 (下位ビット)
16	256	0000 0000	0000 0000	XXXX XXXX	XXXX XXXX
15	238	1000 0000	0000 0000	XXXX XXXX	XXXX XXX0
14	64	1100 0000	0000 0000	XXXX XXXX	XXXX XX00
13	32	1110 0000	0000 0000	XXXX XXXX	XXXX X000
12	16	1111 0000	0000 0000	XXXX XXXX	XXXX 0000
11	8	1111 1000	0000 0000	XXXX XXXX	XXX0 0000
10	4	1111 1100	0000 0000	XXXX XXXX	XX00 0000
9	2	1111 1110	0000 0000	XXXX XXXX	X000 0000

(X:0 または 1) は有効ビットを示す

[T1HC] はタイマー 1 上位比較データレジスタ (T1HC) の有効値を示し、大区間 P 内に追加される ' L ' レベルパルス幅を設定します。

[T1HC] によって ' L ' レベルパルスが付加される小区間の位置は、次の図のとおりです。

[T1HC] = 1 の場合には ' 1 ' と示されている区間に ' L ' レベルパルスが 1T_{tc} だけ付加され、[T1HC] = 6 の場合には " 2 " と " 4 " と示されている区間に 1T_{tc} 幅の ' L ' レベルパルスが付加されます。

9ビット	1			小区間256																		
10ビット	2	1	2		小区間256																	
11ビット	4	2	4	1	4	2	4			小区間256												
12ビット	8	4	6	2	8	4	8	1	8	4	8	2	8	4	8			小区間256				
16ビット	128	64	128	32	128	64	128	16	128	64	128	32	...	32	128	32	128	64	128			小区間256



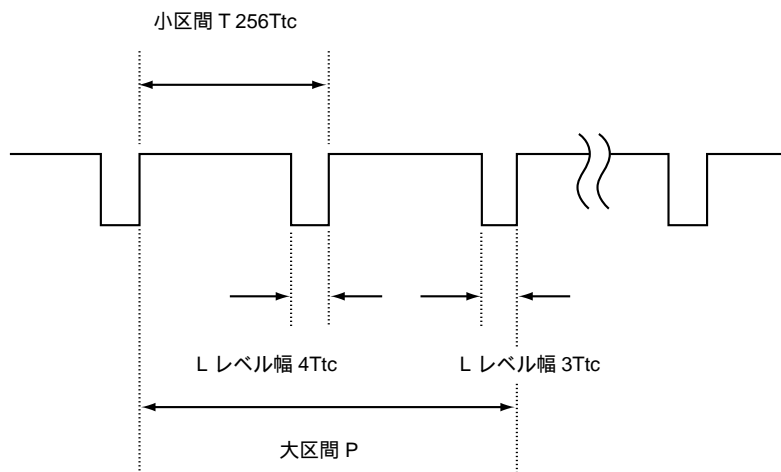


図 17-2 $T1HC = 1$ の場合 L レベルパルスは $7Ttc$

次に、11 ビットパルスジェネレータについて説明します。

[BIT] = 11 であり、大区間 P の周期は $T^P = 2_{11} \cdot Ttc = 2048Ttc$ となります。小区間 T は $256Ttc$ (Ttc : パルスジェネレータのクロック周期) で構成されているので、大区間 P には小区間 T が 8 回繰り返されます。

図 17-3 は $T1LC$ を一定とした場合の $T1HC$ による出力波形の変化を示しています。

$T1LC = 10$ (0AH) [$T1HC$] = 0 のとき、すべての小区間において $10Ttc$ の ' L ' レベルパルスが出力されます。

[$T1HC$] = 3 のときには、(B) のパルスように、ひとつの大区間の中に $11Ttc$ の ' L ' レベルパルスを持つ小区間が 3 つ生成されます。[$T1HC$] = 4 のときには、(C) のパルスのように $11Ttc$ の ' L ' レベルパルスを持つ小区間が 4 つ生成されます。また、[$T1HC$] = 5 のときには、(D) のように、 $11Ttc$ の ' L ' レベルパルスを持つ小区間が 5 つ生成されます。

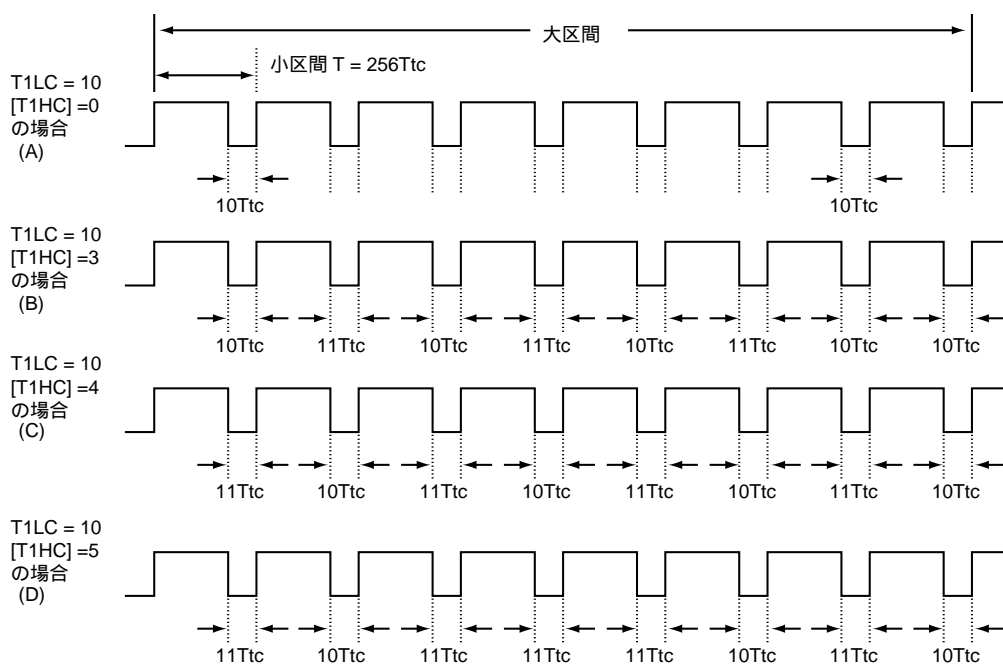


図 17-3 $T1HC$ の値と $11Ttc$ の L レベルパルスの数

第 18 章

シンボル一覧表

表 18-1

シンボル	アドレス	名称	初期値
RAM (バンク0)	00H-0FFH	データメモリ	XXXXXXXX (リセット時は保持)
RAM (バンク1)	00H-0FFH	データメモリ	XXXXXXXX (リセット時は保持)
ACC	100H	アキュムレータ	00000000
PSW	101H	プログラムステータスワード	00000000
B	102H	Bレジスタ	00000000
C	103H	Cレジスタ	00000000
TRL	104H	テーブル参照レジスタ下位バイト	00000000
TRH	105H	テーブル参照レジスタ上位バイト	00000000
SP	106H	スタックポインタ	XXXXXXXX
PCON	107H	パワー制御レジスタ	HHHHHH00
IE	108H	マスター割り込み許可制御レジスタ	0HHHHH00
IP	109H	割り込み優先順位制御レジスタ	0X000000
OCR	10EH	発振制御レジスタ	0H00HH00
TOCNT	110H	タイマー0制御レジスタ	00000000
TOPRR	111H	タイマー0プリスケラデータ	00000000
TOL	112H	タイマー0下位	00000000
TOLR	113H	タイマー0下位リロードデータ	00000000
TOH	114H	タイマー0上位	00000000
TOHR	115H	タイマー0上位リロードデータ	00000000
T1CNT	118H	タイマー1制御レジスタ	00000000
T1LC	11AH	タイマー1下位比較データ	00000000
T1L	11BH	タイマー1下位	00000000
T1LR		タイマー1下位リロードデータ	00000000
T1HC	11CH	タイマー1上位比較データ	00000000
T1H	11DH	タイマー1上位	00000000
T1HR		タイマー1上位リロードデータ	00000000
MCR	120H	モード制御レジスタ	00000000
STAD	122H	スタートアドレスレジスタ	00000000
CNR	123H	文字数レジスタ	H0000000
TDR	124H	時分割レジスタ	HH000000
XRBK	125H	バンクアドレスレジスタ	H0000000
VCCR	127H	液晶コントラスト制御レジスタ	00000000
SCON0	130H	SIO0制御レジスタ	H0H00000
SBUF0	131H	SIO0バッファ	00000000
SBR	132H	SIOボーレートジェネレータ	00000000
SCON1	134H	SIO1制御レジスタ	00H00000
SBUF1	135H	SIO1バッファ	00000000
P1	144H	ポート1ラッチ	00000000
P1DDR	145H	ポート1データディレクションレジスタ	00000000
P1FCR	146H	ポート1機能制御レジスタ	00000000
P3	14CH	ポート3ラッチ	00000000
P3DDR	14DH	ポート3データディレクションレジスタ	00000000
P3INT	14EH	ポート3割込み機能制御レジスタ	HHHHHH00
P7	15CH	ポート7ラッチ	HHHHXXXX
I01CR	15DH	外部割込み0,1制御	00000000
I23CR	15EH	外部割込み2,3制御	00000000
ISL	15FH	入力信号選択	HH000000
BTCR	17FH	ベースタイマ制御	00000000
RAM (XRAM) (バンク0)	180H-1FBH	液晶表示メモリ	XXXXXXXX (リセット時は保持)
RAM (XRAM) (バンク1)	180H-1FBH		
RAM (XRAM) (バンク2)	180H-185H		
VSEL	163H	制御レジスタ	HHH0HH00
VRMAD1	164H	システム用アドレスレジスタ1	00000000
VRMAD2	165H	システム用アドレスレジスタ2	HHHHHHH0
VTRBF	166H	送受信バッファ	XXXXXXXX
VLREG	167H	レンジレジスタ	00000000

第 19 章

ビジュアルメモリのモード選択

ビジュアルメモリの各動作モードと、モード選択は次の図のようになっています。

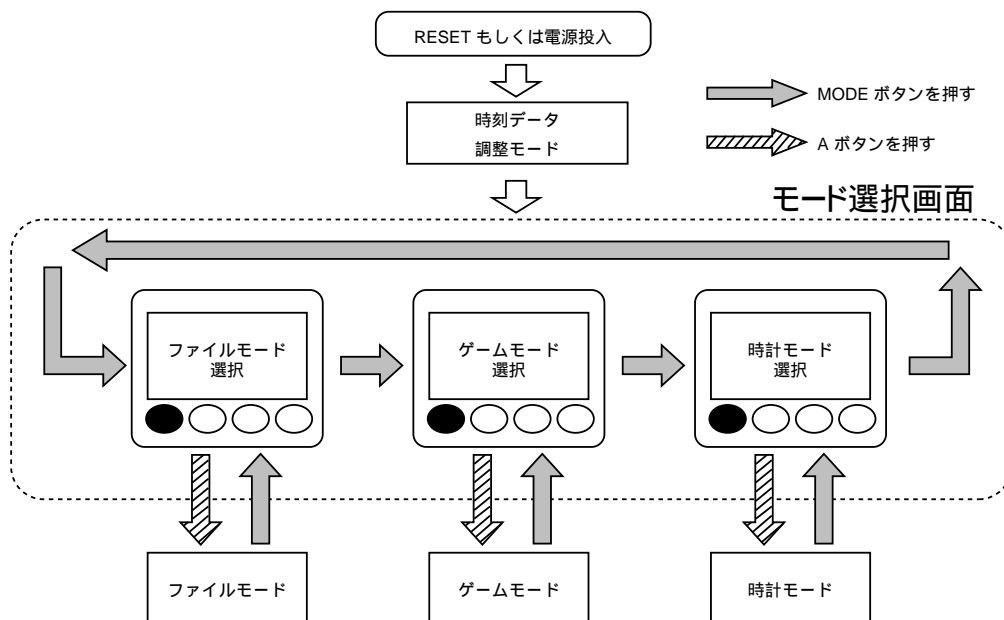


図 19-1 モード選択の遷移

モード選択画面

モード選択画面は、ビジュアルメモリで利用できる 3 つのモードを選択、実行するモードです。

MODE ボタンを押すごとに、選択しているモードが切り替わります。選択中のモードは、LCD のアイコンが点滅します。A ボタンを押すと選択中のモードが実行されます。

ファイルモード

ビジュアルメモリに保存されているゲームデータやビジュアルメモリ用のアプリケーションを管理 / 編集するモードです。

ファイルモード実行中に MODE ボタンを押すと、モード選択画面に切り替わります。

ゲームモード

フラッシュメモリに転送されているアプリケーションを実行するモードです。

アプリケーション実行中に MODE ボタンが押された場合、モード選択画面へ復帰するようにプログラムする必要があります。

注意

ゲームモードからモード選択画面への復帰は、BIOS でサポートしていません。アプリケーションにおいて、必ず復帰処理を行なうように設計してください。

時計モード

現在も時刻を表示するモードです。

時計モード実行中に MODE ボタンを押すと、モード選択画面に復帰します。

方向キーを押しながら A ボタンを押すと、時刻データの設定モードになります。