

日立 SuperH™ RISC engine  
SH-4 ハードウェアマニュアル  
SH7091

---

SH-4 ハードウェアマニュアル

発行年月日

平成 10 年 4 月 第 1 版

平成 11 年 2 月 第 2 版

発行

株式会社 日立製作所

半導体事業本部統括営業本部

編集

株式会社 超 L メディア

技術ドキュメントグループ

©株式会社 日立製作所 1998

---

## ご注意

- 1 本書に記載の製品及び技術のうち「外国為替及び外国貿易法」に基づき安全保障貿易管理関連貨物・技術に該当するものを輸出する場合、または国外に持ち出す場合は日本国政府の許可が必要です。
- 2 本書に記載された情報の使用に際して、弊社もしくは第三者の特許権、著作権、商標権、その他の知的所有権等の権利に対する保証または実施権の許諾を行うものではありません。また本書に記載された情報を使用した事により第三者の知的所有権等の権利に関わる問題が生じた場合、弊社はその責を負いませんので予めご了承ください。
- 3 製品及び製品仕様は予告無く変更する場合がありますので、最終的な設計、ご購入、ご使用に際しましては、事前に最新の製品規格または仕様書をお求めになりご確認ください。
- 4 弊社は品質・信頼性の向上に努めておりますが、宇宙、航空、原子力、燃焼制御、運輸、交通、各種安全装置、ライフサポート関連の医療機器等のように、特別な品質・信頼性が要求され、その故障や誤動作が直接人命を脅かしたり、人体に危害を及ぼす恐れのある用途にご使用をお考えのお客様は、事前に弊社営業担当迄ご相談をお願い致します。
- 5 設計に際しては、特に最大定格、動作電源電圧範囲、放熱特性、実装条件及びその他諸条件につきましては、弊社保証範囲内でご使用いただきますようお願い致します。  
保証値を越えてご使用された場合の故障及び事故につきましては、弊社はその責を負いません。また保証値内のご使用であっても半導体製品について通常予測される故障発生率、故障モードをご考慮の上、弊社製品の動作が原因でご使用機器が人身事故、火災事故、その他の拡大損害を生じないようにフェールセーフ等のシステム上の対策を講じて頂きますようお願い致します。
- 6 本製品は耐放射線設計をしておりません。
- 7 本書の一部または全部を弊社の文書による承認なしに転載または複製することを堅くお断り致します。
- 8 本書をはじめ弊社半導体についてのお問い合わせ、ご相談は弊社営業担当迄お願い致します。

---

## はじめに

---

SH-4 (SH7091) はマルチメディア機器向けに 128 ビットのグラフィックエンジンと 360MIPS の高性能を実現する SuperH<sup>TM</sup> RISC engine ファミリの最上位機種として開発されたものです。

SH7091 の CPU は、RISC タイプの命令セットを持っており、SH-1、SH-2、SH-3、SH-3E マイクロコンピュータとオブジェクトコードレベルでの上位互換性を保持しています。

内蔵 FPU は、単精度および倍精度の浮動小数点演算に加えて、128 ビットグラフィックエンジンを持ち 32 ビットの浮動小数点データを 128 ビット分一度に処理できます。また、4×4 の行列演算や内積演算をサポートしており、1.4GFLOPS の性能を発揮できます。

さらに、FPU 命令を含む 2 命令同時実行型スーパスカラ方式の採用により、従来方式に比べ同一周波数で最大 2 倍の性能を実現できます。

SH7091 は、最小部品点数でユーザシステムを構成できるように内蔵モジュールとして発振回路、割り込みコントローラ (INTC)、ダイレクトメモリアクセスコントローラ (DMAC)、タイマ (TMU)、リアルタイムクロック (RTC)、シリアルコミュニケーションインタフェース (SCI、SCIF)、ユーザブレークコントローラ (UBC) を内蔵しています。

また、キャッシュは命令用として 8k バイト、データ用として 16k バイトを内蔵しており、メモリマネジメントユニット (MMU) は 4G バイトの仮想アドレス空間を物理アドレス空間に変換します。外部メモリのアクセスをサポートするバスステートコントローラ (BSC) は、ROM、SRAM、DRAM、シンクロナス DRAM、PCMCIA に加えて、64 ビットシンクロナス DRAM4 バンク方式と 64 ビットデータバスに対応しています。

このハードウェアマニュアルでは、SH7091 のハードウェアについて説明します。命令の詳細については、プログラミングマニュアルをご覧ください。

関連するマニュアル

SH7091 の実行命令について

「SH7091 プログラミングマニュアル」

開発環境システムについては、当社営業部までお問い合わせください。

【注】 SuperH<sup>TM</sup> は、(株) 日立製作所の商標です。

---

# 目次

---

## 第 1 章 概要

|     |                  |     |
|-----|------------------|-----|
| 1.1 | SH7091 の特長 ..... | 1-1 |
| 1.2 | ブロック図 .....      | 1-5 |

## 第 2 章 プログラミングモデル

|       |                   |      |
|-------|-------------------|------|
| 2.1   | データフォーマット .....   | 2-1  |
| 2.2   | レジスタの構成 .....     | 2-2  |
| 2.2.1 | 特権モードとバンク .....   | 2-2  |
| 2.2.2 | 汎用レジスタ .....      | 2-5  |
| 2.2.3 | 浮動小数点レジスタ .....   | 2-6  |
| 2.2.4 | コントロールレジスタ .....  | 2-8  |
| 2.2.5 | システムレジスタ .....    | 2-9  |
| 2.3   | メモリ割り付けレジスタ ..... | 2-11 |
| 2.4   | レジスタのデータ形式 .....  | 2-11 |
| 2.5   | メモリ上でのデータ形式 ..... | 2-12 |
| 2.6   | 処理状態 .....        | 2-13 |
| 2.7   | 処理モード .....       | 2-14 |

## 第 3 章 メモリマネジメントユニット (MMU)

|       |                           |      |
|-------|---------------------------|------|
| 3.1   | 概要 .....                  | 3-1  |
| 3.1.1 | 特長 .....                  | 3-1  |
| 3.1.2 | MMU の役割 .....             | 3-1  |
| 3.1.3 | レジスタの構成 .....             | 3-3  |
| 3.1.4 | 注意事項 .....                | 3-3  |
| 3.2   | レジスタの説明 .....             | 3-4  |
| 3.3   | メモリ空間 .....               | 3-7  |
| 3.3.1 | 物理メモリ空間 .....             | 3-7  |
| 3.3.2 | 外部メモリ空間 .....             | 3-10 |
| 3.3.3 | 仮想メモリ空間 .....             | 3-10 |
| 3.3.4 | 内蔵 RAM 空間 .....           | 3-12 |
| 3.3.5 | アドレス変換 .....              | 3-12 |
| 3.3.6 | 単一仮想記憶モードと多重仮想記憶モード ..... | 3-12 |
| 3.3.7 | アドレス空間識別子 (ASID) .....    | 3-12 |
| 3.4   | TLB の機能 .....             | 3-13 |
| 3.4.1 | 共用 TLB (UTLB) の構成 .....   | 3-13 |



|       |                            |      |
|-------|----------------------------|------|
| 3.4.2 | 命令 TLB (ITLB) の構成 .....    | 3-16 |
| 3.4.3 | アドレス変換方式 .....             | 3-17 |
| 3.5   | MMU の機能 .....              | 3-19 |
| 3.5.1 | MMU のハードウェア管理 .....        | 3-19 |
| 3.5.2 | MMU のソフトウェア管理 .....        | 3-19 |
| 3.5.3 | MMU の命令 (LDTLB) .....      | 3-19 |
| 3.5.4 | ハードウェア ITLB ミスハンドリング ..... | 3-20 |
| 3.5.5 | シノニム問題の回避 .....            | 3-20 |
| 3.6   | MMU 例外 .....               | 3-21 |
| 3.6.1 | 命令 TLB 多重ヒット例外 .....       | 3-21 |
| 3.6.2 | 命令 TLB ミス例外 .....          | 3-22 |
| 3.6.3 | 命令 TLB 保護違反例外 .....        | 3-22 |
| 3.6.4 | データ TLB 多重ヒット例外 .....      | 3-23 |
| 3.6.5 | データ TLB ミス例外 .....         | 3-23 |
| 3.6.6 | データ TLB 保護違反例外 .....       | 3-24 |
| 3.6.7 | 初期ページ書き込み例外 .....          | 3-25 |
| 3.7   | メモリ割り付け TLB の構成 .....      | 3-26 |
| 3.7.1 | ITLB アドレスアレイ .....         | 3-26 |
| 3.7.2 | ITLB データアレイ 1 .....        | 3-27 |
| 3.7.3 | ITLB データアレイ 2 .....        | 3-27 |
| 3.7.4 | UTLB アドレスアレイ .....         | 3-28 |
| 3.7.5 | UTLB データアレイ 1 .....        | 3-29 |
| 3.7.6 | UTLB データアレイ 2 .....        | 3-30 |

## 第 4 章 キャッシュ

|       |                           |      |
|-------|---------------------------|------|
| 4.1   | 概要 .....                  | 4-1  |
| 4.1.1 | 特長 .....                  | 4-1  |
| 4.1.2 | レジスタの構成 .....             | 4-1  |
| 4.2   | レジスタの説明 .....             | 4-2  |
| 4.3   | オペランドキャッシュ (OC) .....     | 4-4  |
| 4.3.1 | 構成 .....                  | 4-4  |
| 4.3.2 | リード動作 .....               | 4-5  |
| 4.3.3 | ライト動作 .....               | 4-6  |
| 4.3.4 | ライトバックバッファ .....          | 4-7  |
| 4.3.5 | ライトスルーバッファ .....          | 4-7  |
| 4.3.6 | RAM モード .....             | 4-7  |
| 4.3.7 | OC インデックスモード .....        | 4-8  |
| 4.3.8 | キャッシュと外部メモリとのコヒーレンシ ..... | 4-8  |
| 4.3.9 | プリフェッチ動作 .....            | 4-9  |
| 4.4   | 命令キャッシュ (IC) .....        | 4-10 |
| 4.4.1 | 構成 .....                  | 4-10 |
| 4.4.2 | リード動作 .....               | 4-11 |
| 4.4.3 | IC インデックスモード .....        | 4-11 |

|       |                       |      |
|-------|-----------------------|------|
| 4.5   | メモリ割り付けキャッシュの構成 ..... | 4-12 |
| 4.5.1 | IC アドレスアレイ .....      | 4-12 |
| 4.5.2 | IC データアレイ .....       | 4-13 |
| 4.5.3 | OC アドレスアレイ .....      | 4-14 |
| 4.5.4 | OC データアレイ .....       | 4-15 |
| 4.6   | ストアキュー .....          | 4-16 |
| 4.6.1 | SQ の構成 .....          | 4-16 |
| 4.6.2 | SQ への書き込み .....       | 4-16 |
| 4.6.3 | 外部メモリへの転送 .....       | 4-17 |
| 4.6.4 | SQ へのプロテクション .....    | 4-17 |

## 第5章 例外処理

|       |                          |      |
|-------|--------------------------|------|
| 5.1   | 概要 .....                 | 5-1  |
| 5.1.1 | 特長 .....                 | 5-1  |
| 5.1.2 | レジスタ構成 .....             | 5-1  |
| 5.2   | レジスタの説明 .....            | 5-2  |
| 5.3   | 例外処理の機能 .....            | 5-3  |
| 5.3.1 | 例外処理の流れ .....            | 5-3  |
| 5.3.2 | 例外処理ベクタアドレス .....        | 5-3  |
| 5.4   | 例外の種類と優先順位 .....         | 5-4  |
| 5.5   | 例外フロー .....              | 5-6  |
| 5.5.1 | 例外フロー .....              | 5-6  |
| 5.5.2 | 例外要因の受け付け .....          | 5-7  |
| 5.5.3 | 例外要求と BL ビット .....       | 5-9  |
| 5.5.4 | 例外処理からの復帰 .....          | 5-10 |
| 5.6   | 各例外の説明 .....             | 5-10 |
| 5.6.1 | リセット .....               | 5-10 |
| 5.6.2 | 一般例外 .....               | 5-14 |
| 5.6.3 | 割り込み .....               | 5-23 |
| 5.6.4 | 複数回の例外が発生する場合の優先順位 ..... | 5-25 |
| 5.7   | 注意事項 .....               | 5-26 |
| 5.8   | 制限事項 .....               | 5-26 |

## 第6章 浮動小数点ユニット

|       |                                     |     |
|-------|-------------------------------------|-----|
| 6.1   | 概要 .....                            | 6-1 |
| 6.2   | データフォーマット .....                     | 6-2 |
| 6.2.1 | 浮動小数点フォーマット .....                   | 6-2 |
| 6.2.2 | 非数 (NaN) .....                      | 6-3 |
| 6.2.3 | 非正規化数 .....                         | 6-4 |
| 6.3   | レジスタ .....                          | 6-5 |
| 6.3.1 | 浮動小数点レジスタ .....                     | 6-5 |
| 6.3.2 | 浮動小数点ステータス/コントロールレジスタ (FPSCR) ..... | 6-7 |

|       |                          |      |
|-------|--------------------------|------|
| 6.3.3 | 浮動小数点通信レジスタ (FPUL) ..... | 6-8  |
| 6.4   | 丸め .....                 | 6-8  |
| 6.5   | 浮動小数点例外 .....            | 6-9  |
| 6.6   | グラフィックサポート機能 .....       | 6-10 |
| 6.6.1 | ジオメトリック演算命令 .....        | 6-10 |
| 6.6.2 | ペア単精度データ転送 .....         | 6-11 |

## 第7章 命令セット

|     |                  |     |
|-----|------------------|-----|
| 7.1 | 実行環境 .....       | 7-1 |
| 7.2 | アドレッシングモード ..... | 7-3 |
| 7.3 | 命令セット .....      | 7-6 |

## 第8章 バイブライン動作

|     |                         |      |
|-----|-------------------------|------|
| 8.1 | パイプライン .....            | 8-1  |
| 8.2 | 並列実行性 .....             | 8-7  |
| 8.3 | 実行サイクルとパイプラインストール ..... | 8-10 |

## 第9章 低消費電力モード

|       |                                  |     |
|-------|----------------------------------|-----|
| 9.1   | 概要 .....                         | 9-1 |
| 9.1.1 | 低消費電力モードの種類 .....                | 9-1 |
| 9.1.2 | レジスタ構成 .....                     | 9-2 |
| 9.1.3 | 端子構成 .....                       | 9-2 |
| 9.2   | レジスタの説明 .....                    | 9-2 |
| 9.2.1 | スタンバイコントロールレジスタ (STBCR) .....    | 9-2 |
| 9.2.2 | 周辺モジュール端子ハイインピーダンス制御 .....       | 9-4 |
| 9.2.3 | 周辺モジュール端子プルアップ制御 .....           | 9-5 |
| 9.2.4 | スタンバイコントロールレジスタ 2 (STBCR2) ..... | 9-5 |
| 9.3   | スリープモード .....                    | 9-6 |
| 9.3.1 | スリープモードへの遷移 .....                | 9-6 |
| 9.3.2 | スリープモードの解除 .....                 | 9-6 |
| 9.4   | ディープスリープモード .....                | 9-6 |
| 9.4.1 | ディープスリープモードへの遷移 .....            | 9-6 |
| 9.4.2 | ディープスリープモードの解除 .....             | 9-6 |
| 9.5   | スタンバイモード .....                   | 9-7 |
| 9.5.1 | スタンバイモードへの遷移 .....               | 9-7 |
| 9.5.2 | スタンバイモードの解除 .....                | 9-8 |
| 9.5.3 | クロックポーズ機能 .....                  | 9-8 |
| 9.6   | モジュールスタンバイ機能 .....               | 9-9 |
| 9.6.1 | モジュールスタンバイ機能への遷移 .....           | 9-9 |
| 9.6.2 | モジュールスタンバイ機能の解除 .....            | 9-9 |

|       |                         |      |
|-------|-------------------------|------|
| 9.7   | STATUS 端子の変化タイミング ..... | 9-10 |
| 9.7.1 | リセットの場合 .....           | 9-10 |
| 9.7.2 | スタンバイ解除の場合 .....        | 9-11 |
| 9.7.3 | スリープ解除の場合 .....         | 9-14 |
| 9.7.4 | ディープスリープ解除の場合 .....     | 9-15 |

## 第 10 章 クロック発振回路

|        |  |       |
|--------|--|-------|
| 10.1   | 概要 .....                                   | 10-1  |
| 10.1.1 | 特長 .....                                   | 10-1  |
| 10.2   | CPG の概要 .....                              | 10-2  |
| 10.2.1 | CPG のブロック図 .....                           | 10-2  |
| 10.2.2 | CPG の端子構成 .....                            | 10-4  |
| 10.2.3 | CPG のレジスタ構成 .....                          | 10-4  |
| 10.3   | クロック動作モード .....                            | 10-4  |
| 10.4   | CPG のレジスタの説明 .....                         | 10-6  |
| 10.4.1 | 周波数制御レジスタ (FRQCR) .....                    | 10-6  |
| 10.5   | 周波数の変更方法 .....                             | 10-8  |
| 10.5.1 | PLL 回路 1 の起動/停止の変更(PLL 回路 2 が停止の場合) .....  | 10-8  |
| 10.5.2 | PLL 回路 1 の起動/停止の変更(PLL 回路 2 が起動の場合) .....  | 10-8  |
| 10.5.3 | バスクロック分周率の変更 (PLL 回路 2 が起動の場合) .....       | 10-8  |
| 10.5.4 | バスクロック分周率の変更 (PLL 回路 2 が停止の場合) .....       | 10-8  |
| 10.5.5 | CPU、周辺モジュールクロック分周率の変更 .....                | 10-9  |
| 10.6   | 出力クロックの制御 .....                            | 10-9  |
| 10.7   | WDT の概要 .....                              | 10-9  |
| 10.7.1 | WDT のブロック図 .....                           | 10-9  |
| 10.7.2 | レジスタ構成 .....                               | 10-10 |
| 10.8   | WDT のレジスタの説明 .....                         | 10-10 |
| 10.8.1 | ウォッチドッグタイマカウンタ (WTCNT) .....               | 10-10 |
| 10.8.2 | ウォッチドッグタイマコントロール / ステータスレジスタ (WTCSR) ..... | 10-10 |
| 10.8.3 | レジスタアクセス時の注意 .....                         | 10-12 |
| 10.9   | WDT の使用方法 .....                            | 10-13 |
| 10.9.1 | スタンバイ解除の手順 .....                           | 10-13 |
| 10.9.2 | 周波数変更の手順 .....                             | 10-13 |
| 10.9.3 | ウォッチドッグタイマモードの使用法 .....                    | 10-13 |
| 10.9.4 | インターバルタイマモードの使用法 .....                     | 10-14 |
| 10.10  | ボード設計上の注意事項 .....                          | 10-14 |

## 第 11 章 リアルタイムクロック (RTC)

|         |                         |       |
|---------|-------------------------|-------|
| 11.1    | 概要                      | 11-1  |
| 11.1.1  | 特長                      | 11-1  |
| 11.1.2  | ブロック図                   | 11-2  |
| 11.1.3  | 端子構成                    | 11-3  |
| 11.1.4  | レジスタ構成                  | 11-4  |
| 11.2    | レジスタの説明                 | 11-5  |
| 11.2.1  | 64Hz カウンタ (R64CNT)      | 11-5  |
| 11.2.2  | 秒カウンタ (RSECCNT)         | 11-5  |
| 11.2.3  | 分カウンタ (RMINCNT)         | 11-6  |
| 11.2.4  | 時カウンタ (RHRCNT)          | 11-6  |
| 11.2.5  | 曜日カウンタ (RWKCNT)         | 11-7  |
| 11.2.6  | 日カウンタ (RDAYCNT)         | 11-7  |
| 11.2.7  | 月カウンタ (RMONCNT)         | 11-8  |
| 11.2.8  | 年カウンタ (RYRCNT)          | 11-8  |
| 11.2.9  | 秒アラームレジスタ (RSECAR)      | 11-9  |
| 11.2.10 | 分アラームレジスタ (RMINAR)      | 11-9  |
| 11.2.11 | 時アラームレジスタ (RHRAR)       | 11-10 |
| 11.2.12 | 曜日アラームレジスタ (RWKAR)      | 11-10 |
| 11.2.13 | 日アラームレジスタ (RDAYAR)      | 11-11 |
| 11.2.14 | 月アラームレジスタ (RMONAR)      | 11-11 |
| 11.2.15 | RTC コントロールレジスタ 1 (RCR1) | 11-12 |
| 11.2.16 | RTC コントロールレジスタ 2 (RCR2) | 11-13 |
| 11.3    | 動作説明                    | 11-15 |
| 11.3.1  | 時刻設定手順                  | 11-15 |
| 11.3.2  | 時刻読み出し手順                | 11-16 |
| 11.3.3  | アラーム機能                  | 11-17 |
| 11.4    | 割り込み                    | 11-17 |
| 11.5    | 使用上の注意                  | 11-18 |
| 11.5.1  | レジスタの初期設定について           | 11-18 |
| 11.5.2  | 水晶発振回路                  | 11-18 |

## 第 12 章 タイマユニット (TMU)

|        |                            |      |
|--------|----------------------------|------|
| 12.1   | 概要                         | 12-1 |
| 12.1.1 | 特長                         | 12-1 |
| 12.1.2 | ブロック図                      | 12-2 |
| 12.1.3 | 端子構成                       | 12-2 |
| 12.1.4 | レジスタ構成                     | 12-3 |
| 12.2   | レジスタの説明                    | 12-4 |
| 12.2.1 | タイマアウトプットコントロールレジスタ (TOCR) | 12-4 |
| 12.2.2 | タイマスタートレジスタ (TSTR)         | 12-5 |
| 12.2.3 | タイマコンスタントレジスタ (TCOR)       | 12-6 |
| 12.2.4 | タイマカウンタ (TCNT)             | 12-6 |
| 12.2.5 | タイマコントロールレジスタ (TCR)        | 12-7 |

|        |                              |       |
|--------|------------------------------|-------|
| 12.2.6 | インプットキャプチャレジスタ (TCPR2) ..... | 12-9  |
| 12.3   | 動作説明 .....                   | 12-10 |
| 12.3.1 | カウンタの動作 .....                | 12-10 |
| 12.3.2 | インプットキャプチャ機能 .....           | 12-13 |
| 12.4   | 割り込み .....                   | 12-14 |
| 12.5   | 使用上の注意 .....                 | 12-14 |
| 12.5.1 | レジスタの書き込みについて .....          | 12-14 |
| 12.5.2 | TCNT レジスタの読み出しについて .....     | 12-14 |
| 12.5.3 | RTC 分周器のリセットについて .....       | 12-14 |
| 12.5.4 | 外部クロック周波数について .....          | 12-14 |

## 第 13 章 バスステートコントローラ (BSC)

|         |   |        |
|---------|---|--------|
| 13.1    | 概要 .....                                  | 13-1   |
| 13.1.1  | 特長 .....                                  | 13-1   |
| 13.1.2  | ブロック図 .....                               | 13-3   |
| 13.1.3  | 端子構成 .....                                | 13-4   |
| 13.1.4  | レジスタ構成 .....                              | 13-6   |
| 13.1.5  | エリアの概要 .....                              | 13-7   |
| 13.1.6  | PCMCIA サポート .....                         | 13-10  |
| 13.2    | レジスタの説明 .....                             | 13-13  |
| 13.2.1  | バスコントロールレジスタ 1 (BCR1) .....               | 13-13  |
| 13.2.2  | バスコントロールレジスタ 2 (BCR2) .....               | 13-18  |
| 13.2.3  | ウェイトコントロールレジスタ 1 (WCR1) .....             | 13-19  |
| 13.2.4  | ウェイトコントロールレジスタ 2 (WCR2) .....             | 13-21  |
| 13.2.5  | ウェイトコントロールレジスタ 3 (WCR3) .....             | 13-26  |
| 13.2.6  | 個別メモリコントロールレジスタ (MCR) .....               | 13-28  |
| 13.2.7  | PCMCIA コントロールレジスタ (PCR) .....             | 13-33  |
| 13.2.8  | シンクロナス DRAM モードレジスタ (SDMR) .....          | 13-35  |
| 13.2.9  | リフレッシュタイムコントロール / ステータスレジスタ (RTCSR) ..... | 13-37  |
| 13.2.10 | リフレッシュタイムカウンタ (RTCNT) .....               | 13-39  |
| 13.2.11 | リフレッシュタイムコンスタントレジスタ (RTCOR) .....         | 13-39  |
| 13.2.12 | リフレッシュカウントレジスタ (RFCR) .....               | 13-39  |
| 13.2.13 | リフレッシュコントロール関連レジスタアクセス時の注意 .....          | 13-40  |
| 13.3    | 動作説明 .....                                | 13-41  |
| 13.3.1  | エンディアン / アクセスサイズとデータアライメント .....          | 13-41  |
| 13.3.2  | エリアの説明 .....                              | 13-47  |
| 13.3.3  | 基本インタフェース .....                           | 13-51  |
| 13.3.4  | DRAM インタフェース .....                        | 13-59  |
| 13.3.5  | シンクロナス DRAM インタフェース .....                 | 13-75  |
| 13.3.6  | バースト ROM インタフェース .....                    | 13-97  |
| 13.3.7  | PCMCIA インタフェース .....                      | 13-100 |
| 13.3.8  | MPX インタフェース .....                         | 13-109 |
| 13.3.9  | バイト制御 SRAM .....                          | 13-116 |
| 13.3.10 | アクセスサイクル間ウェイト .....                       | 13-119 |
| 13.3.11 | バスアービトレーション .....                         | 13-121 |

|         |                  |        |
|---------|------------------|--------|
| 13.3.12 | マスタモード.....      | 13-123 |
| 13.3.13 | スレーブモード.....     | 13-123 |
| 13.3.14 | 部分共有マスタモード.....  | 13-124 |
| 13.3.15 | マスタとスレーブの協調..... | 13-125 |
| 13.3.16 | 使用上の注意.....      | 13-125 |

## 第 14 章 ダイレクトメモリアクセスコントローラ (DMAC)

|        |  |       |
|--------|--|-------|
| 14.1   | 概要 .....                                 | 14-1  |
| 14.1.1 | 特長.....                                  | 14-1  |
| 14.1.2 | DMAC ブロック図.....                          | 14-3  |
| 14.1.3 | 端子構成.....                                | 14-4  |
| 14.1.4 | レジスタ構成.....                              | 14-5  |
| 14.2   | 各レジスタの説明 .....                           | 14-6  |
| 14.2.1 | DMA ソースアドレスレジスタ 0~3 (SAR0~3) .....       | 14-6  |
| 14.2.2 | DMA デスティネーションアドレスレジスタ 0~3 (DAR0~3) ..... | 14-6  |
| 14.2.3 | DMA トランスファカウンタレジスタ 0~3 (DMATCR0~3) ..... | 14-7  |
| 14.2.4 | DMA チャネルコントロールレジスタ 0~3 (CHCR0~3) .....   | 14-7  |
| 14.2.5 | DMA オペレーションレジスタ (DMAOR) .....            | 14-13 |
| 14.3   | 動作説明 .....                               | 14-16 |
| 14.3.1 | 動作説明.....                                | 14-16 |
| 14.3.2 | DMA 転送要求 .....                           | 14-18 |
| 14.3.3 | チャネルの優先順位.....                           | 14-19 |
| 14.3.4 | DMA 転送の種類 .....                          | 14-22 |
| 14.3.5 | バスサイクルのサイクル数と DREQ 端子のサンプリングタイミング .....  | 14-28 |
| 14.3.6 | DMA 転送終了 .....                           | 14-43 |
| 14.4   | 使用例 .....                                | 14-45 |
| 14.4.1 | 外部メモリと DACK 付外部デバイスとの転送例.....            | 14-45 |
| 14.5   | オンデマンドデータトランスファモード .....                 | 14-46 |
| 14.5.1 | 動作説明.....                                | 14-46 |
| 14.5.2 | DDT 使用上の注意.....                          | 14-47 |
| 14.6   | 使用上の注意 .....                             | 14-50 |

## 第 15 章 シリアルコミュニケーションインタフェース (SCI)

|        |                               |      |
|--------|-------------------------------|------|
| 15.1   | 概要 .....                      | 15-1 |
| 15.1.1 | 特長.....                       | 15-1 |
| 15.1.2 | ブロック図.....                    | 15-3 |
| 15.1.3 | 端子構成.....                     | 15-4 |
| 15.1.4 | レジスタ構成.....                   | 15-4 |
| 15.2   | レジスタの説明 .....                 | 15-5 |
| 15.2.1 | レシーブシフトレジスタ (SCRSR1) .....    | 15-5 |
| 15.2.2 | レシーブデータレジスタ (SCRDR1) .....    | 15-5 |
| 15.2.3 | トランスミットシフトレジスタ (SCTSR1) ..... | 15-5 |
| 15.2.4 | トランスミットデータレジスタ (SCTDR1) ..... | 15-6 |

|        |                         |       |
|--------|-------------------------|-------|
| 15.2.5 | シリアルモードレジスタ (SCSMR1)    | 15-6  |
| 15.2.6 | シリアルコントロールレジスタ (SCSCR1) | 15-8  |
| 15.2.7 | シリアルステータスレジスタ (SCSSR1)  | 15-11 |
| 15.2.8 | シリアルポートレジスタ (SCSPTR1)   | 15-15 |
| 15.2.9 | ビットレートレジスタ (SCBRR1)     | 15-19 |
| 15.3   | 動作説明                    | 15-26 |
| 15.3.1 | 概要                      | 15-26 |
| 15.3.2 | 調歩同期式モード時の動作            | 15-28 |
| 15.3.3 | マルチプロセッサ通信機能            | 15-38 |
| 15.3.4 | クロック同期式モード時の動作          | 15-46 |
| 15.4   | SCI の割り込み要因と DMAC       | 15-55 |
| 15.5   | 使用上の注意                  | 15-55 |

## 第 16 章 FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

|         |                                |       |
|---------|--------------------------------|-------|
| 16.1    | 概要                             | 16-1  |
| 16.1.1  | 特長                             | 16-1  |
| 16.1.2  | ブロック図                          | 16-2  |
| 16.1.3  | 端子構成                           | 16-3  |
| 16.1.4  | レジスタ構成                         | 16-3  |
| 16.2    | レジスタの説明                        | 16-4  |
| 16.2.1  | レシーブシフトレジスタ (SCRSR2)           | 16-4  |
| 16.2.2  | レシーブ FIFO データレジスタ (SCFRDR2)    | 16-4  |
| 16.2.3  | トランスミットシフトレジスタ (SCTSR2)        | 16-4  |
| 16.2.4  | トランスミット FIFO データレジスタ (SCFTDR2) | 16-5  |
| 16.2.5  | シリアルモードレジスタ (SCSMR2)           | 16-5  |
| 16.2.6  | シリアルコントロールレジスタ (SCSCR2)        | 16-7  |
| 16.2.7  | シリアルステータスレジスタ (SCFSR2)         | 16-9  |
| 16.2.8  | ビットレートレジスタ (SCBRR2)            | 16-13 |
| 16.2.9  | FIFO コントロールレジスタ (SCFCR2)       | 16-14 |
| 16.2.10 | FIFO データ数レジスタ (SCFDR2)         | 16-16 |
| 16.2.11 | シリアルポートレジスタ (SCSPTR2)          | 16-17 |
| 16.2.12 | ラインステータスレジスタ (SCLSR2)          | 16-21 |
| 16.3    | 動作説明                           | 16-21 |
| 16.3.1  | 概要                             | 16-21 |
| 16.3.2  | シリアル動作                         | 16-22 |
| 16.4    | SCIF 割り込み要因と DMAC              | 16-32 |
| 16.5    | 使用上の注意                         | 16-33 |

## 第 17 章 スマートカードインタフェース

|        |       |      |
|--------|-------|------|
| 17.1   | 概要    | 17-1 |
| 17.1.1 | 特長    | 17-1 |
| 17.1.2 | ブロック図 | 17-2 |
| 17.1.3 | 端子構成  | 17-3 |



|        |                                |       |
|--------|--------------------------------|-------|
| 17.1.4 | レジスタ構成.....                    | 17-3  |
| 17.2   | 各レジスタの説明 .....                 | 17-4  |
| 17.2.1 | スマートカードモードレジスタ (SCSCMR1) ..... | 17-4  |
| 17.2.2 | シリアルモードレジスタ (SCSMR1) .....     | 17-5  |
| 17.2.3 | シリアルコントロールレジスタ (SCSCR1) .....  | 17-5  |
| 17.2.4 | シリアルステータスレジスタ (SCSSR1) .....   | 17-6  |
| 17.3   | 動作説明 .....                     | 17-7  |
| 17.3.1 | 概要.....                        | 17-7  |
| 17.3.2 | 端子接続.....                      | 17-7  |
| 17.3.3 | データフォーマット.....                 | 17-8  |
| 17.3.4 | レジスタ設定.....                    | 17-9  |
| 17.3.5 | クロック.....                      | 17-11 |
| 17.3.6 | データの送信 / 受信動作.....             | 17-13 |
| 17.4   | 使用上の注意 .....                   | 17-20 |

## 第 18 章 I/O ポート

|        |                                    |       |
|--------|------------------------------------|-------|
| 18.1   | 概要 .....                           | 18-1  |
| 18.1.1 | 特長.....                            | 18-1  |
| 18.1.2 | ブロック図.....                         | 18-2  |
| 18.1.3 | 端子構成.....                          | 18-9  |
| 18.1.4 | レジスタ構成.....                        | 18-10 |
| 18.2   | レジスタの説明 .....                      | 18-11 |
| 18.2.1 | ポートコントロールレジスタ A (PCTRA) .....      | 18-11 |
| 18.2.2 | ポートデータレジスタ A (PDTRA) .....         | 18-12 |
| 18.2.3 | ポートコントロールレジスタ B (PCTRB) .....      | 18-12 |
| 18.2.4 | ポートデータレジスタ B (PDTRB) .....         | 18-13 |
| 18.2.5 | GPIO 割り込みコントロールレジスタ (GPIOIC) ..... | 18-13 |
| 18.2.6 | シリアルポートレジスタ (SCSPTR1) .....        | 18-14 |
| 18.2.7 | シリアルポートレジスタ (SCSPTR2) .....        | 18-15 |

## 第 19 章 割り込みコントローラ (INTC)

|        |   |      |
|--------|---|------|
| 19.1   | 概要 .....                                  | 19-1 |
| 19.1.1 | 特長.....                                   | 19-1 |
| 19.1.2 | ブロック図.....                                | 19-2 |
| 19.1.3 | 端子構成.....                                 | 19-3 |
| 19.1.4 | レジスタ構成.....                               | 19-3 |
| 19.2   | 割り込み要因 .....                              | 19-4 |
| 19.2.1 | NMI 割り込み .....                            | 19-4 |
| 19.2.2 | IRL 割り込み .....                            | 19-4 |
| 19.2.3 | 内蔵周辺モジュール割り込み.....                        | 19-6 |
| 19.2.4 | 割り込み例外処理と優先順位.....                        | 19-7 |
| 19.3   | レジスタの説明 .....                             | 19-9 |
| 19.3.1 | 割り込み優先レベル設定レジスタ A ~ C (IPRA ~ IPRC) ..... | 19-9 |

|        |                            |       |
|--------|----------------------------|-------|
| 19.3.2 | 割り込みコントロールレジスタ (ICR) ..... | 19-10 |
| 19.4   | 動作説明 .....                 | 19-12 |
| 19.4.1 | 割り込み動作の流れ.....             | 19-12 |
| 19.4.2 | 多重割り込み.....                | 19-14 |
| 19.4.3 | MAI ビットによる割り込みマスク .....    | 19-14 |
| 19.5   | 割り込み応答時間 .....             | 19-15 |

## 第 20 章 ユーザブレイクコントローラ

|         |                                 |       |
|---------|---------------------------------|-------|
| 20.1    | 概要 .....                        | 20-1  |
| 20.1.1  | 特長.....                         | 20-1  |
| 20.1.2  | ブロック図.....                      | 20-2  |
| 20.2    | 各レジスタの説明 .....                  | 20-4  |
| 20.2.1  | UBC コントロールレジスタへのアクセス.....       | 20-4  |
| 20.2.2  | ブレイクアドレスレジスタ A (BARA) .....     | 20-4  |
| 20.2.3  | ブレイク ASID レジスタ A (BASRA) .....  | 20-4  |
| 20.2.4  | ブレイクアドレスマスクレジスタ A (BAMRA) ..... | 20-5  |
| 20.2.5  | ブレイクバスサイクルレジスタ A (BBRA) .....   | 20-5  |
| 20.2.6  | ブレイクアドレスレジスタ B (BARB) .....     | 20-6  |
| 20.2.7  | ブレイク ASID レジスタ B (BASRB) .....  | 20-6  |
| 20.2.8  | ブレイクアドレスマスクレジスタ B (BAMRB) ..... | 20-6  |
| 20.2.9  | ブレイクデータレジスタ B (BDRB) .....      | 20-7  |
| 20.2.10 | ブレイクデータマスクレジスタ B (BDMRB) .....  | 20-7  |
| 20.2.11 | ブレイクバスサイクルレジスタ B (BBRB) .....   | 20-7  |
| 20.2.12 | ブレイクコントロールレジスタ (BRCR) .....     | 20-8  |
| 20.3    | 動作説明 .....                      | 20-10 |
| 20.3.1  | アクセスに関する用語の説明.....              | 20-10 |
| 20.3.2  | 命令間隔に関する用語の説明.....              | 20-10 |
| 20.3.3  | ユーザブレイク動作の流れ.....               | 20-11 |
| 20.3.4  | 命令アクセスサイクルブレイク .....            | 20-12 |
| 20.3.5  | オペランドアクセスサイクルブレイク .....         | 20-12 |
| 20.3.6  | 条件一致フラグの設定.....                 | 20-13 |
| 20.3.7  | 回避したプログラムカウンタ (PC) 値.....       | 20-13 |
| 20.3.8  | シーケンシャル条件に対応した隣接 A、B の設定 .....  | 20-14 |
| 20.3.9  | UBC 使用上の注意.....                 | 20-15 |
| 20.4    | ユーザブレイクデバッグサポート機能 .....         | 20-16 |
| 20.5    | 使用例 .....                       | 20-17 |

## 第 21 章 日立ユーザデバッグインタフェース (Hitachi-UDI)

|        |             |      |
|--------|-------------|------|
| 21.1   | 概要 .....    | 21-1 |
| 21.1.1 | 特長.....     | 21-1 |
| 21.1.2 | ブロック図.....  | 21-1 |
| 21.1.3 | 端子構成.....   | 21-2 |
| 21.1.4 | レジスタ構成..... | 21-2 |

|        |                            |      |
|--------|----------------------------|------|
| 21.2   | レジスタの説明 .....              | 21-3 |
| 21.2.1 | インストラクションレジスタ (SDIR) ..... | 21-3 |
| 21.2.2 | データレジスタ (SDDR) .....       | 21-4 |
| 21.2.3 | バイパスレジスタ (SDBPR) .....     | 21-4 |
| 21.3   | 動作説明 .....                 | 21-5 |
| 21.3.1 | TAP 制御 .....               | 21-5 |
| 21.3.2 | Hitachi-UDI リセット .....     | 21-6 |
| 21.3.3 | Hitachi-UDI 割り込み .....     | 21-6 |
| 21.3.4 | BYPASS .....               | 21-6 |
| 21.4   | 注意事項 .....                 | 21-6 |

## 第 22 章 ピン配置図

|        |                         |       |
|--------|-------------------------|-------|
| 22.1   | ピン配置図 .....             | 22-1  |
| 22.2   | 端子機能 .....              | 22-3  |
| 22.2.1 | 端子機能 (256 ピン BGA) ..... | 22-3  |
| 22.2.2 | 端子機能 (208 ピン QFP) ..... | 22-11 |

## 第 23 章 電気的特性

|        |                      |       |
|--------|----------------------|-------|
| 23.1   | 絶対最大定格 .....         | 23-1  |
| 23.2   | DC 特性 .....          | 23-2  |
| 23.3   | AC 特性 .....          | 23-3  |
| 23.3.1 | クロック・制御信号タイミング ..... | 23-4  |
| 23.3.2 | 制御信号タイミング .....      | 23-11 |
| 23.3.3 | バスタイミング .....        | 23-12 |
| 23.3.4 | 周辺モジュール信号タイミング ..... | 23-60 |
| 23.3.5 | AC 特性測定条件 .....      | 23-64 |
| 23.3.6 | 負荷容量による遅延時間の変化 ..... | 23-65 |

## 付録

|     |                                  |       |
|-----|----------------------------------|-------|
| A.  | アドレス一覧 .....                     | 付録-1  |
| B.  | 外形寸法図 .....                      | 付録-5  |
| C.  | モード端子の設定 .....                   | 付録-7  |
| D.  | CKIO2ENB 端子構成 .....              | 付録-9  |
| E.  | 端子機能 .....                       | 付録-10 |
| E.1 | 端子の状態 .....                      | 付録-10 |
| E.2 | 未使用端子の処理 .....                   | 付録-12 |
| F.  | シンクロナス DRAM のアドレスマルチプレクス表 .....  | 付録-13 |
| G.  | アドレスポート .....                    | 付録-22 |
| H.  | SH7091 用オンデマンドデータトランスファモード ..... | 付録-24 |
| H.1 | DDT モードにおける端子説明 .....            | 付録-24 |
| H.2 | 各チャンネルの転送要求受け付けについて .....        | 付録-26 |

---

# 1. 概要

---

## 1.1 SH7091 の特長

SH7091 は SH-1、SH-2、SH-3、SH-3E マイクロコンピュータとのオブジェクトコードレベルでの上位互換性を特長とする 32 ビット RISC (縮小命令セットコンピュータ) マイコンです。SH7091 は 8k バイトの命令キャッシュ、コピーバックまたはライトスルーモードの選択が可能な 16k バイトオペランドキャッシュ、4 エントリのフルアソシアティブ命令 TLB (変換ルックアサイドバッファ)、64 エントリのフルアソシアティブ共用 TLB 付き MMU (メモリ管理ユニット) を内蔵しています。

SH7091 は、外部回路なしに DRAM、シンクロナス DRAM に直結できるバスステートコントローラ (BSC) を内蔵しています。16 ビット固定長の命令セットにより、32 ビット命令に比較してプログラムコードのサイズをほぼ 50% 縮小することができます。

SH7091 の特長を表 1.1 に示します。

表 1.1 SH7091 の特長 (1)

| 項目  | 特長  |
|-----|---|
| LSI | <ul style="list-style-type: none"><li>・ 周波数：200MHz</li><li>・ 性能：<ul style="list-style-type: none"><li>- 360 MIPS (200 MHz)</li><li>- 1.4 GFLOPS (200 MHz)</li></ul></li><li>・ スーパスカラ：2 つの命令の並行実行</li><li>・ 電圧：1.8 V (内部)、3.3 V (IO)</li><li>・ パッケージ：256 ピン BGA、208 ピン QFP</li><li>・ 外部バス：<ul style="list-style-type: none"><li>- 独立 26 ビットアドレス + 64 ビットデータ</li><li>- (内部バス周波数に対して) 1/2、1/3、1/4、1/6、1/8 外部バス周波数</li></ul></li></ul>  |
| CPU | <ul style="list-style-type: none"><li>・ 日立オリジナルアーキテクチャ</li><li>・ 32 ビット内部データバス</li><li>・ 汎用レジスタファイル：<ul style="list-style-type: none"><li>- 16 本の 32 ビット汎用レジスタ (および 8 本の 32 ビットシャドウレジスタ)</li><li>- 7 本の 32 ビット制御レジスタ</li><li>- 4 本の 32 ビットシステムレジスタ</li></ul></li><li>・ RISC タイプ命令セット (SH シリーズと上位互換性)：<ul style="list-style-type: none"><li>- 命令長：コードの効率改善のための 16 ビット固定長</li><li>- ロードストアアーキテクチャ</li><li>- 遅延分岐命令</li><li>- 条件付き実行</li><li>- C 言語に基づく命令セット</li></ul></li><li>・ FPU を含む 2 命令同時実行型スーパスカラ</li><li>・ 命令実行時間：最大 2 命令 / サイクル</li><li>・ 仮想アドレス空間：4G バイト (448M バイト外部メモリ空間)</li><li>・ 空間識別子 ASID：8 ビット、256 仮想アドレス空間</li><li>・ 乗算器内蔵</li><li>・ 5 段パイプライン</li></ul> |

## 1. 概要

表 1.1 SH7091 の特長 (2)

| 項目                | 特長  |
|-------------------|---|
| FPU               | <ul style="list-style-type: none"> <li>・浮動小数点コプロセッサ内蔵</li> <li>・単精度 (32 ビット) および倍精度 (64 ビット) をサポート</li> <li>・IEEE754 に準拠したデータタイプおよび例外をサポート</li> <li>・丸めモード： 近傍および 0 方向への丸め</li> <li>・非正規化数の扱い： 0 への切捨て、または IEEE754 に準拠のための割り込み発生</li> <li>・浮動小数点レジスタ： 32 ビット x16 ワード x2 バンク<br/>(単精度 x16 ワードまたは倍精度 x8 ワード) x2 バンク</li> <li>・32 ビット CPU-FPU 浮動小数点通信レジスタ (FPUL)</li> <li>・FMAC (乗算およびアキュムレート) 命令をサポート</li> <li>・FDIV (除算) / FSQRT (平方根) 命令をサポート</li> <li>・FLDI0 / FLDI1 (ロード定数 0/1) 命令をサポート</li> <li>・命令実行時間 <ul style="list-style-type: none"> <li>- レイテンシ (FMAC/FADD/FSUB/FMUL) : 3 サイクル (単精度)、8 サイクル (倍精度)</li> <li>- ピッチ (FMAC/FADD/FSUB/FMUL) : 1 サイクル (単精度)、6 サイクル (倍精度)</li> </ul> </li> </ul> <p>【注】： FMAC は単精度に対してのみサポートしています。</p> <ul style="list-style-type: none"> <li>・3D グラフィック命令 (単精度のみ) : <ul style="list-style-type: none"> <li>- 4 次元ベクトル変換および行列演算 (FTRV)、4 サイクル (ピッチ)、7 サイクル (レイテンシ)</li> <li>- 4 次元ベクトル (FIPR) の内積、1 サイクル (ピッチ)、4 サイクル (レイテンシ)</li> </ul> </li> <li>・5 段パイプライン</li> </ul> |
| クロックパルス発生回路 (CPG) | <ul style="list-style-type: none"> <li>・メインクロック選択可能： EXTAL の 1/2、1、3、6 倍</li> <li>・クロックモード： <ul style="list-style-type: none"> <li>- CPU 周波数： (メインクロックに対して) 1、1/2、1/3、1/4、1/6、1/8 : 最大 200MHz</li> <li>- バス周波数： (メインクロックに対して) 1/2、1/3、1/4、1/6、1/8 : 最大 100MHz</li> <li>- 周辺周波数： (メインクロックに対して) 1/2、1/3、1/4、1/6、1/8 : 最大 50MHz</li> </ul> </li> <li>・低消費電力モード <ul style="list-style-type: none"> <li>- スリープモード</li> <li>- スタンバイモード</li> <li>- モジュールスタンバイ機能</li> </ul> </li> <li>・1 チャネルのウォッチドッグタイマ</li> </ul>   |
| メモリ管理ユニット (MMU)   | <ul style="list-style-type: none"> <li>・4G バイトのアドレス空間、256 のアドレス空間識別子 (ASID 8 ビット)</li> <li>・単一仮想記憶モードと多重仮想記憶モード</li> <li>・複数のページサイズをサポート： 1k、4k、64k、1M バイト</li> <li>・命令に対する 4 エントリのフルアソシアティブ TLB</li> <li>・命令およびオペランドに対する 64 エントリのフルアソシアティブ TLB</li> <li>・ソフトウェアによる入換方法およびランダムカウンタ方式入換アルゴリズムをサポート</li> <li>・TLB の内容はアドレスマッピングにより直接アクセス可能</li> </ul>   |

表 1.1 SH7091 の特長 (3)

| 項目                  | 特長  |
|---------------------|---|
| キャッシュメモリ            | <ul style="list-style-type: none"> <li>・ 命令キャッシュ(IC) <ul style="list-style-type: none"> <li>- 8k バイト、ダイレクトマッピング</li> <li>- 256 エントリ、32 バイトブロック長</li> <li>- 通常モード (8k バイトキャッシュ)</li> <li>- インデックスモード</li> </ul> </li> <li>・ オペランドキャッシュ (OC) <ul style="list-style-type: none"> <li>- 16k バイト、ダイレクトマッピング</li> <li>- 512 エントリ、32 バイトブロック長</li> <li>- 通常モード (16k バイトキャッシュ)</li> <li>- インデックスモード</li> <li>- RAM モード (8k バイトキャッシュ + 8k バイト RAM)</li> <li>- 選択可能な書き込み方式 (コピーバック / ライトスルー)</li> </ul> </li> <li>・ 1 段コピーバックバッファ、1 段ライトスルーバッファ</li> <li>・ キャッシュメモリの内容はアドレスマッピングにより直接アクセス可能 (内蔵メモリとして使用可能)。</li> <li>・ ストアキュー (32 バイト×2 エントリ)</li> </ul>  |
| 割り込みコントローラ (INTC)   | <ul style="list-style-type: none"> <li>・ 5 本の独立した外部割り込み: NMI、IRL3~IRL0</li> <li>・ 15 レベルの符号化した外部割り込み: IRL3~IRL0</li> <li>・ 内蔵周辺割り込み: モジュールごとに優先レベルを設定</li> </ul>  |
| ユーザブレイクコントローラ (UBC) | <ul style="list-style-type: none"> <li>・ ユーザブレイク割り込みによるデバッグをサポート</li> <li>・ 2 本のブレイクチャネル</li> <li>・ アドレス、データ値、アクセスのタイプ、データサイズはすべてブレイク条件として設定可能。</li> <li>・ シーケンシャルブレイク機能をサポート</li> </ul>  |
| バスステートコントローラ (BSC)  | <ul style="list-style-type: none"> <li>・ 外部メモリアccessをサポート <ul style="list-style-type: none"> <li>- 64/32/16/8 ビットの外部データバス</li> </ul> </li> <li>・ それぞれ最大 64M バイトの 7 つのエリアに分割した外部メモリ空間、各エリアには次の機能を設定可能。 <ul style="list-style-type: none"> <li>- バスサイズ (8、16、32、または 64 ビット)</li> <li>- ウェイトサイクル数 (ハードウェアウェイト機能もサポート)</li> <li>- 空間のタイプを設定することにより、DRAM、シンクロナス DRAM、バースト ROM に対する直結が可能。</li> <li>- 高速ページモードと DRAM 用 EDO をサポート</li> <li>- PCMCIA インタフェースをサポート</li> <li>- 該当エリアに対するチップセレクト信号 (<math>\overline{CS0}</math>~<math>\overline{CS6}</math>) を出力</li> </ul> </li> <li>・ DRAM / シンクロナス DRAM リフレッシュ機能 <ul style="list-style-type: none"> <li>- プログラマブルなりフレッシュ間隔</li> <li>- CAS ビフォー RAS リフレッシュモードおよびセルフリフレッシュモードをサポート</li> </ul> </li> <li>・ DRAM / シンクロナス DRAM バーストアクセス機能</li> <li>・ ビッグエンディアンまたはリトルエンディアンを設定可能</li> </ul> |

## 1. 概要

表 1.1 SH7091 の特長 (4)

| 項目   | 特長   |
|--|--|
| ダイレクト<br>メモリアクセス<br>コントローラ<br>(DMAC)       | <ul style="list-style-type: none"><li>・ 4 チャンネル物理アドレス DMA コントローラ</li><li>・ 転送データサイズ： 8、16、32、64 ビット、または 32 バイト</li><li>・ アドレスモード<ul style="list-style-type: none"><li>- 1 バスサイクルシングルアドレスモード</li><li>- 2 バスサイクルデュアルアドレスモード</li></ul></li><li>・ 転送要求： 外部、内蔵モジュール、またはオートリクエスト</li><li>・ バスモード： サイクルスチール、またはバーストモード</li><li>・ オンデマンドデータ転送をサポート</li></ul> |
| タイマ (TMU)                                  | <ul style="list-style-type: none"><li>・ 3 チャンネルのオートリロード方式 32 ビットタイマ</li><li>・ インプットキャプチャ機能</li><li>・ 7 種類のカウンタ入力クロックを選択可能</li></ul>  |
| リアルタイムク<br>ロック (RTC)                       | <ul style="list-style-type: none"><li>・ 内蔵クロック、カレンダー機能</li><li>・ 最大 1/256 秒の分解能 (サイクル割り込み) を持つ内蔵 32kHz 水晶発振回路</li></ul>  |
| シリアルコミュ<br>ニケーションイ<br>ンタフェース<br>(SCI、SCIF) | <ul style="list-style-type: none"><li>・ 2 本の全二重通信チャンネル (SCI、SCIF)</li><li>・ チャンネル 1 (SCI)<ul style="list-style-type: none"><li>- 調歩同期式モードまたはクロック同期式モードの選択可能</li><li>- スマートカードインタフェースをサポート</li></ul></li><li>・ チャンネル 2 (SCIF)<ul style="list-style-type: none"><li>- 調歩同期式モードをサポート</li><li>- 送信部、受信部それぞれに 16 バイトの FIFO 付き</li></ul></li></ul>         |
| パッケージ                                      | <ul style="list-style-type: none"><li>・ 256 ピン BGA、208 ピン QFP</li></ul>  |

## 1.2 ブロック図

図 1.1 に SH7091 の機能ブロック図を示します。

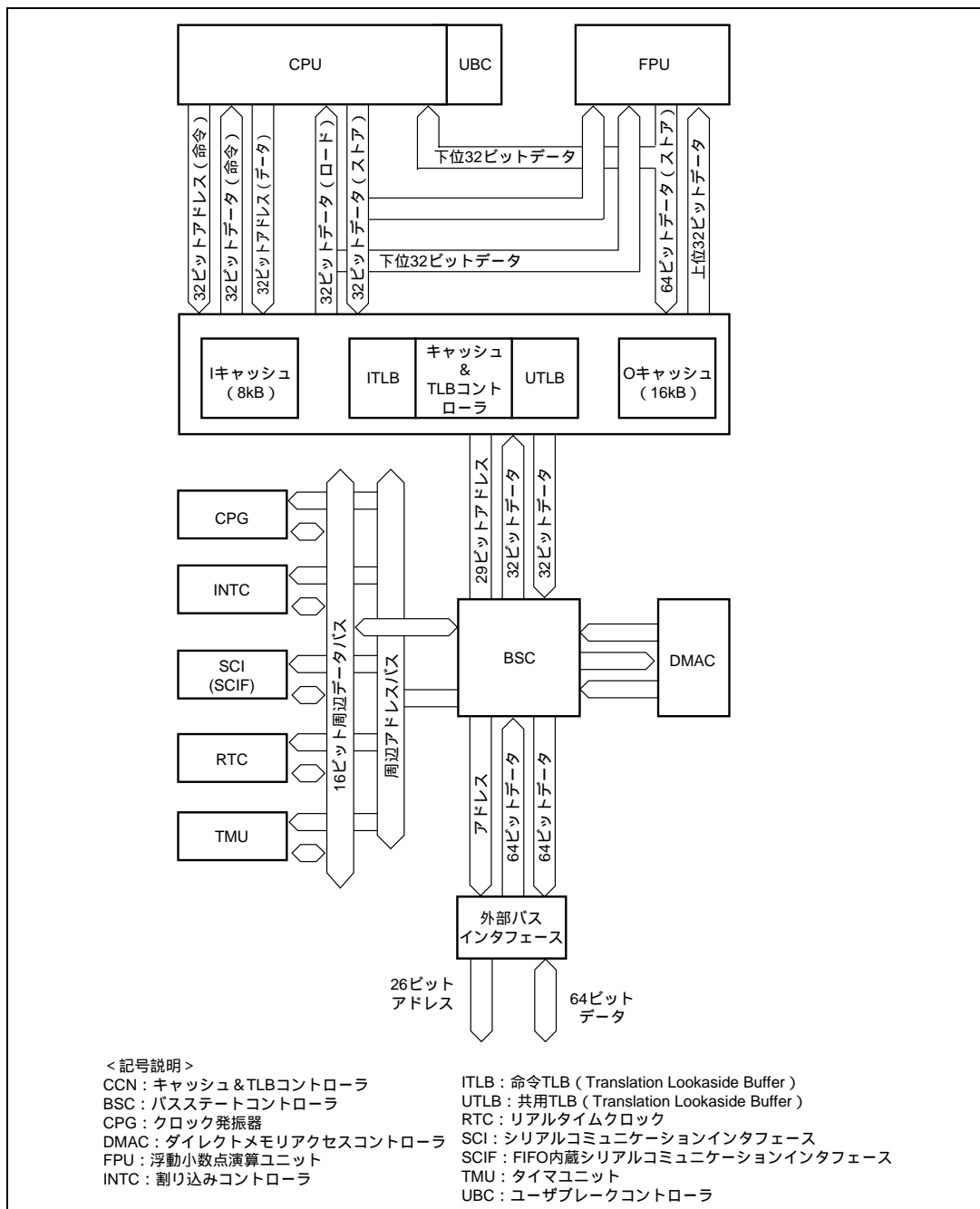


図 1.1 SH7091 機能ブロック図



---

## 2. プログラミングモデル

---

### 2.1 データフォーマット

SH7091 でサポートしているデータフォーマットを図 2.1 に示します。

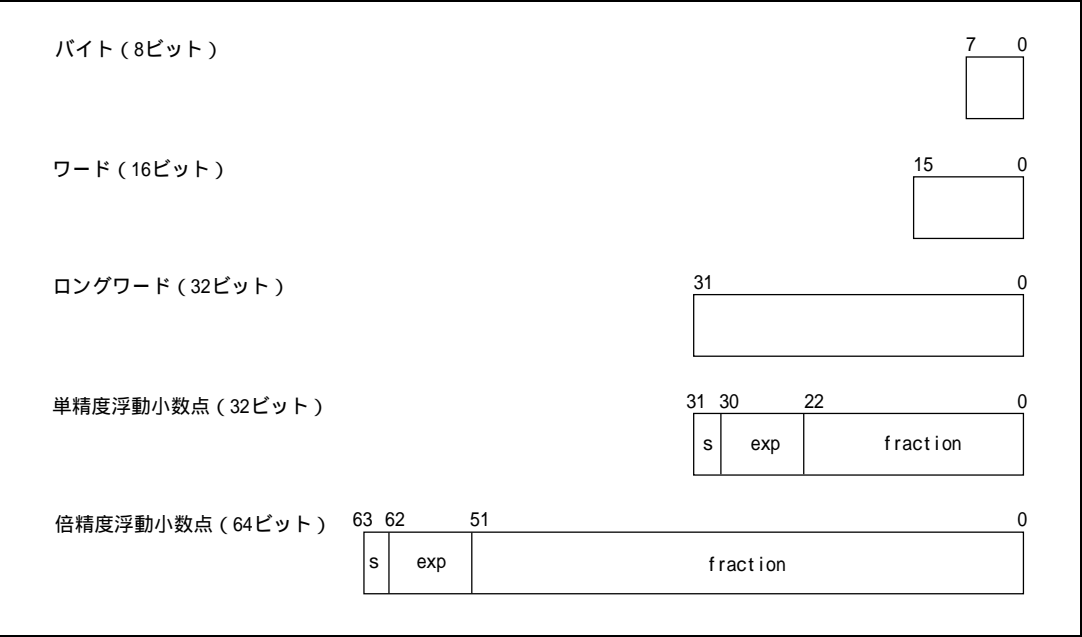


図 2.1 データフォーマット

## 2.2 レジスタの構成

### 2.2.1 特権モードとバンク

#### (1) 処理モード

処理モードにはユーザモードと特権モードの2つがあります。通常はユーザモードで動作し、例外が発生または割り込みを受け付けると特権モードになります。レジスタには、汎用レジスタ、システムレジスタ、コントロールレジスタ、および浮動小数点レジスタがあり、アクセスできるレジスタはそれぞれの処理モードで異なります。

#### (2) 汎用レジスタ

汎用レジスタにはR0からR15までの16本のレジスタがあります。汎用レジスタR0からR7は、バンクレジスタで、処理モードで切り換えることができます。

特権モードのとき、ステータスレジスタ(SR)のレジスタバンクビット(RB)により、汎用レジスタとしてアクセスできるレジスタとできないレジスタが決められます。汎用レジスタとしてアクセスできないレジスタは、コントロールレジスタのロード命令(LDC)とストア命令(STC)でアクセスします。

RBビットが1のとき、つまりバンク1が選ばれているときは、バンク1の汎用レジスタR0\_BANK1からR7\_BANK1とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスすることができ、バンク0の汎用レジスタR0\_BANK0からR7\_BANK0の8本のレジスタはLDC/STC命令でアクセスできます。

RBビットが0のとき、つまりバンク0が選ばれているときは、バンク0の汎用レジスタR0\_BANK0からR7\_BANK0とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスすることができ、バンク1の汎用レジスタR0\_BANK1からR7\_BANK1の8本のレジスタはLDC/STC命令でアクセスできます。

ユーザモードのときは、バンク0の汎用レジスタR0\_BANK0からR7\_BANK0とバンクに関係ないR8からR15との合計16本のレジスタが汎用レジスタR0からR15としてアクセスすることができ、バンク1の汎用レジスタR0\_BANK1からR7\_BANK1の8本のレジスタはアクセスできません。

#### (3) コントロールレジスタ

コントロールレジスタには、処理モードで共通のグローバルベースレジスタ(GBR)とステータスレジスタ(SR)があり、特権モードでのみアクセスできる退避ステータスレジスタ(SSR)、退避プログラムカウンタ(SPC)、ベクタベースレジスタ(VBR)、退避ジェネラルレジスタ15(SGR)、デバッグベースレジスタ(DBR)があります。ステータスレジスタには、特権モードでのみアクセスできるビット(例えばRBビット)があります。

#### (4) システムレジスタ

システムレジスタには、積和レジスタ(MACH/MACL)、プロシージャレジスタ(PR)、プログラムカウンタ(PC)、浮動小数点ステータス/コントロールレジスタ(FPSCR)、浮動小数点通信レジスタ(FPUL)があり、処理モードに関係しません。

#### (5) 浮動小数点レジスタ

浮動小数点レジスタには、FR0~FR15、XF0~XF15の32本のレジスタがあります。FR0~FR15、XF0~XF15を各々FPR0\_BANK0~FPR15\_BANK0、FPR0\_BANK1~FPR15\_BANK1のいずれのバンクに割り付けるか選択できます。

また、FR0~FR15は、DR0/2/4/6/8/10/12/14(倍精度浮動小数点レジスタ、またはレジスタペア)の8本、FV0/4/8/12(レジスタベクタ)の4本として使用でき、XF0~XF15は、XD0/2/4/6/8/10/12/14(レジスタペア)の8本、XMTRX(レジスタ行列)の1本として使用できます。

リセット後のレジスタの値を表 2.1 に示します。

表 2.1 レジスタの初期値

| 区分         | レジスタ   | 初期値*   |
|------------|--|--|
| 汎用レジスタ     | R0_BANK0 ~ R7_BANK0、<br>R0_BANK1 ~ R7_BANK1、<br>R8 ~ R15 | 不定   |
| コントロールレジスタ | SR   | MD ビットは 1、RB ビットは 1、BL ビットは 1、FD ビットは 0、I3 ~ I0 は 1111 (H'F)、予約ビットは 0、その他は不定 |
|            | GBR、SSR、SPC、SGR、DBR                                      | 不定   |
|            | VBR  | H'00000000   |
| システムレジスタ   | MACH、MACL、PR、FPUL  | 不定   |
|            | PC   | H'A0000000   |
|            | FPSCR  | H'00040001   |
| 浮動小数点レジスタ  | FR0 ~ FR15、XF0 ~ XF15                                    | 不定   |

【注】 \* パワーオンリセット、マニュアルリセットで初期化されます。

処理モード別の CPU レジスタ構成を図 2.2 に示します。

ユーザモードと特権モードは、ステータスレジスタの処理動作モードビット (MD) で切り換えます。

## 2. プログラミングモデル

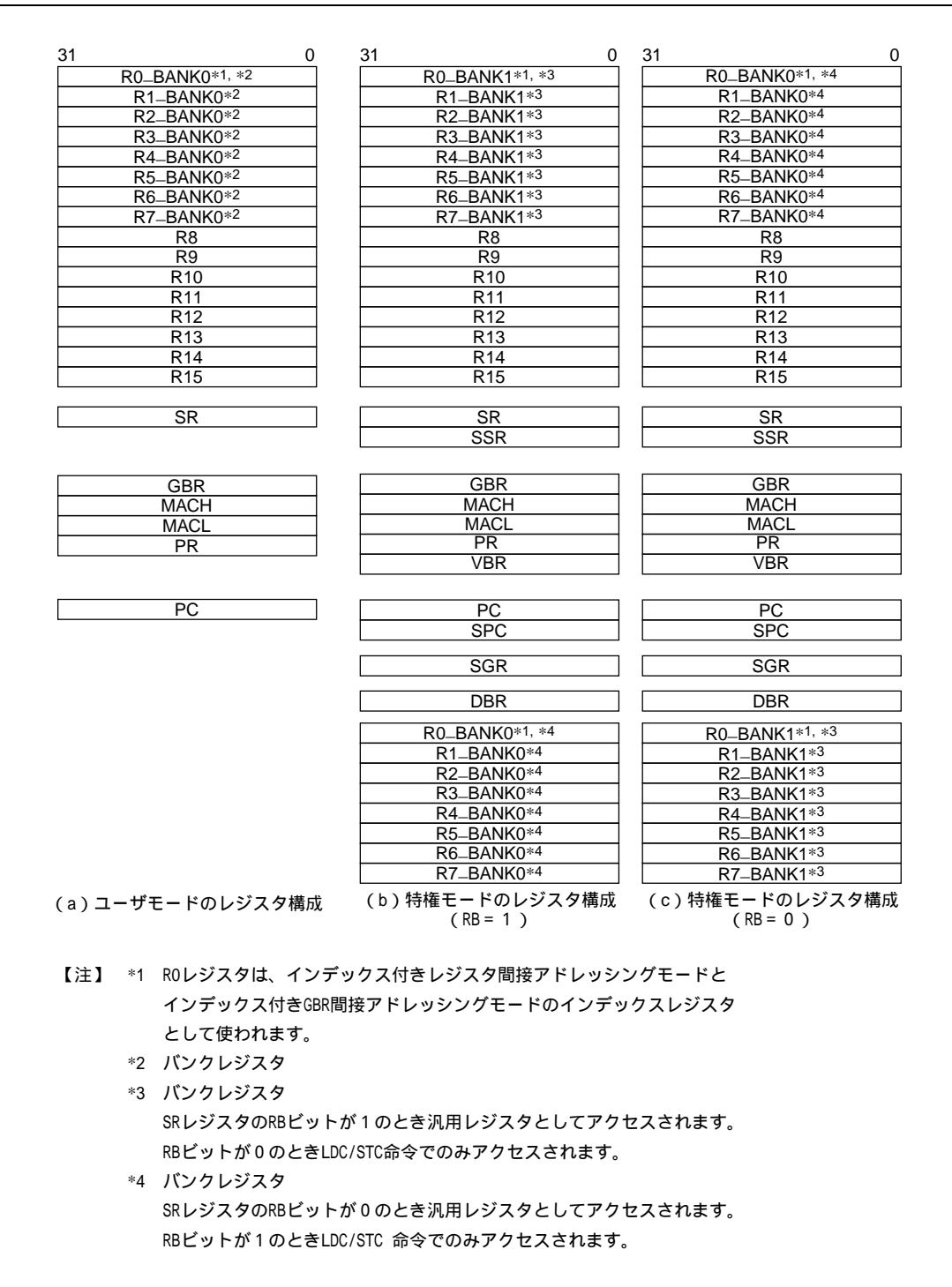


図 2.2 処理モード別の CPU レジスタ構成

### 2.2.2 汎用レジスタ

図 2.3 にプロセッサモードと汎用レジスタの関係を示します。SH7091 には 24 本の 32 ビット汎用レジスタ (R0\_BANK0~7\_BANK0、R0\_BANK1~7\_BANK1、R8~R15) があります。ただし、これらのうち 16 本のレジスタのみ 1 つのプロセッサモードで汎用レジスタ R0~R15 としてアクセスできます。SH7091 には特権モードとユーザモードの 2 つのプロセッサモードがあります。R0~R7 はその 2 つのモードにより次のように割り当てられます。

- R0\_BANK0~R7\_BANK0  
ユーザモード (SR.MD=0) では、常に R0~R7 に割り当てられます。  
特権モード (SR.MD=1) では、(SR.RB=0) の場合に限り R0~R7 に割り当てられます。
- R0\_BANK1~R7\_BANK1  
ユーザモードでは、アクセスできません。  
特権モードでは、(SR.RB=1) の場合に限り、R0~R7 に割り当てられます。

| SR.MD=0 または<br>(SR.MD=1, SR.RB=0) |          | (SR.MD=1, SR.RB=1) |
|-----------------------------------|----------|--------------------|
| R0                                | R0_BANK0 | R0_BANK0           |
| R1                                | R1_BANK0 | R1_BANK0           |
| R2                                | R2_BANK0 | R2_BANK0           |
| R3                                | R3_BANK0 | R3_BANK0           |
| R4                                | R4_BANK0 | R4_BANK0           |
| R5                                | R5_BANK0 | R5_BANK0           |
| R6                                | R6_BANK0 | R6_BANK0           |
| R7                                | R7_BANK0 | R7_BANK0           |
| R0_BANK1                          | R0_BANK1 | R0                 |
| R1_BANK1                          | R1_BANK1 | R1                 |
| R2_BANK1                          | R2_BANK1 | R2                 |
| R3_BANK1                          | R3_BANK1 | R3                 |
| R4_BANK1                          | R4_BANK1 | R4                 |
| R5_BANK1                          | R5_BANK1 | R5                 |
| R6_BANK1                          | R6_BANK1 | R6                 |
| R7_BANK1                          | R7_BANK1 | R7                 |
| R8                                | R8       | R8                 |
| R9                                | R9       | R9                 |
| R10                               | R10      | R10                |
| R11                               | R11      | R11                |
| R12                               | R12      | R12                |
| R13                               | R13      | R13                |
| R14                               | R14      | R14                |
| R15                               | R15      | R15                |

図 2.3 汎用レジスタ

#### 【プログラミング上の注意】

ユーザの R0~R7 は R0\_BANK0~R7\_BANK0 に、例外・割り込み後の R0~R7 は R0\_BANK1~R7\_BANK1 に割り当てられるので、割り込みハンドラはユーザの R0~R7 (R0\_BANK0~R7\_BANK0) を退避または復帰する必要はありません。

リセット後の R0\_BANK0~R7\_BANK0、R0\_BANK1~R7\_BANK1、R8~R15 の値は不定です。

### 2.2.3 浮動小数点レジスタ

図 2.4 に浮動小数点レジスタを示します。32 本の 32 ビット浮動小数点レジスタがあります。これらは、2 つのバンクで構成され、FPR0\_BANK0 ~ FPR15\_BANK0、FPR0\_BANK1 ~ FPR15\_BANK1 があります。また、この 32 本レジスタは FR0 ~ FR15, DR0/2/4/6/8/10/12/14、FV0/4/8/12, XF0 ~ XF15, XD0/2/4/6/8/10/12/14, XMTRX として参照されます。FPRn\_BANKi と参照名の対応は FPSCR の FR ビットによって決まります。図 2.4 を参照してください。

(1) 浮動小数点レジスタ FPRn\_BANKi (32 レジスタ)

FPR0\_BANK0, FPR1\_BANK0, FPR2\_BANK0, FPR3\_BANK0,  
FPR4\_BANK0, FPR5\_BANK0, FPR6\_BANK0, FPR7\_BANK0,  
FPR8\_BANK0, FPR9\_BANK0, FPR10\_BANK0, FPR11\_BANK0,  
FPR12\_BANK0, FPR13\_BANK0, FPR14\_BANK0, FPR15\_BANK0  
FPR0\_BANK1, FPR1\_BANK1, FPR2\_BANK1, FPR3\_BANK1,  
FPR4\_BANK1, FPR5\_BANK1, FPR6\_BANK1, FPR7\_BANK1,  
FPR8\_BANK1, FPR9\_BANK1, FPR10\_BANK1, FPR11\_BANK1,  
FPR12\_BANK1, FPR13\_BANK1, FPR14\_BANK1, FPR15\_BANK1

(2) 単精度浮動小数点レジスタ FRi (16 レジスタ)

FPSCR.FR = 0 のとき、FR0 ~ FR15 は FPR0\_BANK0 ~ FPR15\_BANK0 に割り当てられます。  
FPSCR.FR = 1 のとき、FR0 ~ FR15 は FPR0\_BANK1 ~ FPR15\_BANK1 に割り当てられます。

(3) 倍精度浮動小数点レジスタ、または単精度浮動小数点レジスタのペア DRi (8 レジスタ)

DR レジスタは、2 つの FR レジスタから構成されます。  
DR0 = {FR0, FR1}, DR2 = {FR2, FR3},  
DR4 = {FR4, FR5}, DR6 = {FR6, FR7},  
DR8 = {FR8, FR9}, DR10 = {FR10, FR11},  
DR12 = {FR12, FR13}, DR14 = {FR14, FR15}

(4) 単精度浮動小数点ベクトルレジスタ FVi (4 レジスタ)

FV レジスタは 4 つの FR レジスタから構成されます。  
FV0 = {FR0, FR1, FR2, FR3},  
FV4 = {FR4, FR5, FR6, FR7},  
FV8 = {FR8, FR9, FR10, FR11},  
FV12 = {FR12, FR13, FR14, FR15}

(5) 単精度浮動小数点拡張レジスタ XFi (16 レジスタ)

FPSCR.FR = 0 のとき、XF0 ~ XF15 は FPR0\_BANK1 ~ FPR15\_BANK1 に割り当てられます。  
FPSCR.FR = 1 のとき、XF0 ~ XF15 は FPR0\_BANK0 ~ FPR15\_BANK0 に割り当てられます。

(6) 単精度浮動小数点拡張レジスタのペア XD<sub>i</sub> (8 レジスタ)

XD レジスタは 2 つの XF レジスタから構成されます。  
XD0 = {XF0, XF1}, XD2 = {XF2, XF3},  
XD4 = {XF4, XF5}, XD6 = {XF6, XF7},  
XD8 = {XF8, XF9}, XD10 = {XF10, XF11},  
XD12 = {XF12, XF13}, XD14 = {XF14, XF15}

## (7) 単精度浮動小数点拡張レジスタ行列 XMTRX

XMTRX は 16 本の XF レジスタから構成されます。

$$\text{XMTRX} = \begin{pmatrix} \text{XF0} & \text{XF4} & \text{XF8} & \text{XF12} \\ \text{XF1} & \text{XF5} & \text{XF9} & \text{XF13} \\ \text{XF2} & \text{XF6} & \text{XF10} & \text{XF14} \\ \text{XF3} & \text{XF7} & \text{XF11} & \text{XF15} \end{pmatrix}$$

| FPSCR.FR=0 |      |      |             | FPSCR.FR=1 |      |       |  |
|------------|------|------|-------------|------------|------|-------|--|
| FV0        | DR0  | FR0  | FPR0_BANK0  | XF0        | XD0  | XMTRX |  |
|            |      | FR1  | FPR1_BANK0  | XF1        |      |       |  |
|            | DR2  | FR2  | FPR2_BANK0  | XF2        | XD2  |       |  |
|            |      | FR3  | FPR3_BANK0  | XF3        |      |       |  |
| FV4        | DR4  | FR4  | FPR4_BANK0  | XF4        | XD4  |       |  |
|            |      | FR5  | FPR5_BANK0  | XF5        |      |       |  |
|            | DR6  | FR6  | FPR6_BANK0  | XF6        | XD6  |       |  |
|            |      | FR7  | FPR7_BANK0  | XF7        |      |       |  |
| FV8        | DR8  | FR8  | FPR8_BANK0  | XF8        | XD8  |       |  |
|            |      | FR9  | FPR9_BANK0  | XF9        |      |       |  |
|            | DR10 | FR10 | FPR10_BANK0 | XF10       | XD10 |       |  |
|            |      | FR11 | FPR11_BANK0 | XF11       |      |       |  |
| FV12       | DR12 | FR12 | FPR12_BANK0 | XF12       | XD12 |       |  |
|            |      | FR13 | FPR13_BANK0 | XF13       |      |       |  |
|            | DR14 | FR14 | FPR14_BANK0 | XF14       | XD14 |       |  |
|            |      | FR15 | FPR15_BANK0 | XF15       |      |       |  |
| XMTRX      | XD0  | XF0  | FPR0_BANK1  | FR0        | DR0  | FV0   |  |
|            |      | XF1  | FPR1_BANK1  | FR1        |      |       |  |
|            | XD2  | XF2  | FPR2_BANK1  | FR2        | DR2  |       |  |
|            |      | XF3  | FPR3_BANK1  | FR3        |      |       |  |
|            | XD4  | XF4  | FPR4_BANK1  | FR4        | DR4  | FV4   |  |
|            |      | XF5  | FPR5_BANK1  | FR5        |      |       |  |
|            | XD6  | XF6  | FPR6_BANK1  | FR6        | DR6  |       |  |
|            |      | XF7  | FPR7_BANK1  | FR7        |      |       |  |
|            | XD8  | XF8  | FPR8_BANK1  | FR8        | DR8  | FV8   |  |
|            |      | XF9  | FPR9_BANK1  | FR9        |      |       |  |
|            | XD10 | XF10 | FPR10_BANK1 | FR10       | DR10 |       |  |
|            |      | XF11 | FPR11_BANK1 | FR11       |      |       |  |
|            | XD12 | XF12 | FPR12_BANK1 | FR12       | DR12 | FV12  |  |
|            |      | XF13 | FPR13_BANK1 | FR13       |      |       |  |
|            | XD14 | XF14 | FPR14_BANK1 | FR14       | DR14 |       |  |
|            |      | XF15 | FPR15_BANK1 | FR15       |      |       |  |

図 2.4 浮動小数点レジスタ

## 【プログラミング上の注意】

リセット後の FPR0\_BANK0 ~ FPR15\_BANK0、FPR0\_BANK1 ~ FPR15\_BANK1 の値は不定です。

### 2.2.4 コントロールレジスタ

#### (1) ステータスレジスタ SR

( 32 ビット、特権保護、初期値 = 0111 0000 0000 0000 0000 00XX 1111 00XX)

| 31 | 30 | 29 | 28 | 27 | 16 |  |  | 15 | 14 | 10 |  | 9 | 8 | 7     | 4 |   | 3 | 2 | 1 | 0 |
|----|----|----|----|----|----|--|--|----|----|----|--|---|---|-------|---|---|---|---|---|---|
| —  | MD | RB | BL | —  |    |  |  |    | FD | —  |  | M | Q | IMASK |   | — |   | S | T |   |

【注】 —：予約ビット。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

X：不定

- MD：プロセッサモード

- MD=0：

ユーザモード（命令の中には実行できない命令があり、リソースの中にはアクセスできないリソースがあります。）

- MD=1：

特権モード

- RB：

特権モードでの汎用レジスタバンク指定子（リセット、例外または割り込みにより 1 にセットされます。）

- RB=0：

R0\_BANK0～R7\_BANK0は、汎用レジスタR0～R7としてアクセスされます（R0\_BANK1～R7\_BANK1はLDC/STC R0\_BANK～R7\_BANK命令を使用することによってアクセスできます）。

- RB=1：

R0\_BANK1～R7\_BANK1は、汎用レジスタR0～R7としてアクセスされます（R0\_BANK0～R7\_BANK0はLDC/STC R0\_BANK～R7\_BANK命令を使用することによってアクセスできます）。

- BL：

例外 / 割り込みブロックビット（リセット、例外または割り込みにより 1 にセットされます。）

- BL=1：

割り込み要求はマスクされます。（BL=1）のときユーザブレイク以外の一般例外が発生すると、プロセッサは、リセット状態に遷移します。

- FD：FPU ディセーブルビット（リセットにより 0 にクリアされます。）

- FD=1：

FPU命令は一般FPU抑止例外を発生させ、FPU命令が遅延スロットにある場合、スロットFPU抑止例外が発生します。（FPU命令：H'F\*\*\*命令、FPUL/FPSCRに対するLDS(L)/STS(L)命令）

- M、Q：DIV0S、DIV0U、DIV1 命令が使用

- IMASK：割り込みマスクレベル

IMASKより低いレベルの外部割り込みはマスクされます。

- S：MAC 命令の飽和動作を指定します。

- T：真 / 偽条件、またはキャリ / ボロービット

#### (2) 回避ステータスレジスタ SSR（32 ビット、特権保護、初期値=不定）

SR の内容は例外または割り込みの発生時、SSR に回避されます。



- (3) 退避プログラムカウンタ SPC (32 ビット、特権保護、初期値=不定)

割り込みの発生した命令のアドレスは SPC に退避されます。

- (4) グローバルベースレジスタ GBR (32 ビット、初期値=不定)

GBR は GBR 参照 MOV 命令のベースアドレスとして参照されます。

- (5) ベクタベースレジスタ VBR (32 ビット、特権保護、初期値=H'0000 0000)

VBR は例外および割り込み発生時、分岐先のベースアドレスとして参照されます。詳細については「第 5 章 例外処理」を参照してください。

- (6) 退避ジェネラルレジスタ 15 SGR (32 ビット、特権保護、初期値=不定)

R15 の内容は例外または割り込みの発生時 SGR に退避されます。

- (7) デバッグベースレジスタ DBR (32 ビット、特権保護、初期値=不定)

ユーザブレイクデバッグ機能を有効にする場合 (BRCCR.UBDE=1)、DBR は VBR の代わりにユーザブレイクハンドラへの分岐先アドレスとして参照されます。

## 2.2.5 システムレジスタ

- (1) 積和上位レジスタ MACH (32 ビット、初期値=不定)、

積和下位レジスタ MACL (32 ビット、初期値=不定)

MACH / MACL は、MAC 命令の加算値として用いられます。また MAC 命令、MUL の演算結果を格納するためにも用いられます。

- (2) プロシジャレジスタ PR (32 ビット、初期値=不定)

BSR、BSRF、JSR 命令を用いたサブルーチンコールの戻りアドレスは PR に格納されます。PR は、サブルーチンからの復帰命令 (RTS) によって参照されます。

- (3) プログラムカウンタ PC (32 ビット、初期値=H'A000 0000)

PC は命令フェッチアドレスを示します。

- (4) 浮動小数点ステータス / コントロールレジスタ FPSCR

(32 ビット、初期値=H'0004 0001)

|    |    |    |    |    |    |    |    |       |   |        |      |   |    |
|----|----|----|----|----|----|----|----|-------|---|--------|------|---|----|
| 31 | 22 | 21 | 20 | 19 | 18 | 17 | 12 | 11    | 7 | 6      | 2    | 1 | 0  |
| —  |    |    |    | FR | SZ | PR | DN | Cause |   | Enable | Flag |   | RM |

【注】 —: 予約ビット。読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

- FR: 浮動小数点レジスタバンク

- FR=0:

FPR0\_BANK0 ~ FPR15\_BANK0 は FR0 ~ FR15 に、FPR0\_BANK1 ~ FPR15\_BANK1 は XF0 ~ XF15 に割り当てられます。

- FR=1:

FPR0\_BANK0 ~ FPR15\_BANK0 は XF0 ~ XF15 に、FPR0\_BANK1 ~ FPR15\_BANK1 は FR0 ~ FR15 に割り当てられます。

## 2. プログラミングモデル

- SZ：転送サイズモード
  - － SZ=0：  
FMOV命令のデータサイズは32ビットです。
  - － SZ=1：  
FMOV命令のデータサイズは32ビットペア（64ビット）です。
- PR：精度モード
  - － PR=0：  
浮動小数点命令を単精度で実行します。
  - － PR=1：  
浮動小数点命令を倍精度で実行します（倍精度がサポートされていない命令の結果は未定義です。）

SZ と PR は同時に 1 にセットしないでください。この設定は予約されています。

[SZ, PR]=11：予約（FPU 命令演算は未定義です。）

- DN：非正規化モード
  - － DN=0：非正規化数を非正規化数として扱います。
  - － DN=1：非正規化数を 0 として扱います。

|        |                      | FPU エラー<br>(E) | 無効演算<br>(V) | 0 除算<br>(Z) | オーバ<br>フロー(O) | アンダ<br>フロー (U) | 不正確<br>(I) |
|--------|----------------------|----------------|-------------|-------------|---------------|----------------|------------|
| Cause  | FPU 例外要因<br>フィールド    | ビット 17         | ビット 16      | ビット 15      | ビット 14        | ビット 13         | ビット 12     |
| Enable | FPU 例外イネーブル<br>フィールド | なし             | ビット 11      | ビット 10      | ビット 9         | ビット 8          | ビット 7      |
| Flag   | FPU 例外フラグフィ<br>ールド   | なし             | ビット 6       | ビット 5       | ビット 4         | ビット 3          | ビット 2      |

FPU 演算命令を実行すると、要因フィールドは最初に 0 に設定されます。次に FPU 例外が要求されると、要因フィールドとフラグフィールドの該当ビットが 1 にセットされます。

フラグフィールドは、フラグフィールドが最後にクリアされたそれ以降に発生した例外のステータスを保持します。

- RM：丸めモード
  - － RM=00：近傍への丸め
  - － RM=01：0 方向への丸め
  - － RM=10：予約
  - － RM=11：予約
- ビット 22～31：予約

(5) 浮動小数点通信レジスタ FPUL（32 ビット、初期値=不定）

FPU レジスタと CPU レジスタ間のデータ転送は、FPUL を介して行われます。

### 【プログラミング上の注意】

SZ=1 かつビッグエンディアン方式の場合、FMOV は倍精度浮動小数点ロードまたはストアとして使用できます。リトルエンディアン方式の場合、倍精度浮動小数点をロードまたはストアするためには、SZ=0 でデータサイズ 32 ビットを 2 度実行する必要があります。

## 2.3 メモリ割り付けレジスタ

付録 A にメモリに割り付けた制御レジスタを示します。制御レジスタは次のメモリ領域にダブルマッピングされています。すべてのレジスタには 2 つのアドレスがあります。

H'1F00 0000 ~ H'1FFF FFFF  
H'FF00 0000 ~ H'FFFF FFFF

以上 2 つの領域は次のように使用します。

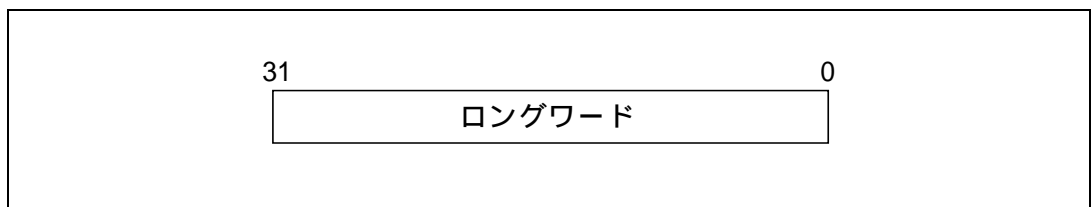
- H'1F00 0000 ~ H'1FFF FFFF  
この領域は TLB を用いたアドレス変換モード下でアクセスしなければなりません。外部メモリは、SH-4 アーキテクチャでは 29 ビットアドレス空間として定義されているので、TLB の物理ページ番号は 32 ビットアドレス空間をカバーしません。アドレス変換時、メモリ割り付けレジスタにアクセスして、この領域のページ番号を TLB の該当フィールドに設定することができます。この領域のページ番号を TLB に設定した実際のページ番号として使用してください。アドレス変換を行わない場合、この領域に対するアクセスの動作は不定です。
- H'FF00 0000 ~ H'FFFF FFFF  
この領域はアドレス変換なしにアクセスしなければなりません。  
2 つの領域のレジスタが割り付けられていないアドレスにはアクセスしないでください。レジスタが割り付けられていないアドレスに対するアクセスの動作は不定になります。また、メモリ割り付けレジスタは一定のデータサイズでアクセスしなければなりません。不正なサイズでアクセスした場合も動作は不定になります。

### 【プログラミング上の注意】

ユーザモードで領域 H'FF00 0000 ~ H'FFFF FFFF にアクセスすると、アドレスエラーが発生します。ユーザモードではメモリ割り付けレジスタはアドレス変換によるアクセスで参照することができます。

## 2.4 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード (32 ビット) です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト (8 ビット)、もしくはワード (16 ビット) の場合は、ロングワードに符号拡張し、レジスタに格納します。



## 2.5 メモリ上でのデータ形式

バイト、ワード、ロングワードのデータ形式があります。メモリは8ビットのバイト、16ビットのワード、32ビットのロングワードいずれの形でアクセスすることができます。32ビットに満たないメモリオペランドは符号拡張されてレジスタに格納されます。

ワードオペランドはワード境界（2バイト刻みの偶数番地：2n番地）から、ロングワードオペランドはロングワード境界（4バイト刻みの偶数番地：4n番地）からアクセスしてください。これを守らない場合は、アドレスエラーになります。バイトオペランドはどの番地からでもアクセスできます。

データフォーマットは、ビックエンディアンかリトルエンディアンのどちらかのバイト順を選択できます。エンディアンはパワーオンリセット時に外部ピン（MD5端子）で設定してください。MD5端子がローレベルの場合ビックエンディアンに、MD5端子がハイレベルの場合リトルエンディアンに設定されます。エンディアンは動的には変更できません。ただしビット位置は常に最上位（most-significant）から最下位（least-significant）へ左から右へ減少するように番号が付けられています。すなわち32ビットのロングワードでは、一番左のビット、ビット31が最上位ビットで、一番右のビット、ビット0が最下位ビットです。

メモリ上のデータ形式を図2.5に示します。リトルエンディアンモードのときは、バイト長（8ビット）で書き込んだデータはバイト長で読み出してください。ワード長（16ビット）で書き込んだデータはワード長で読み出してください。

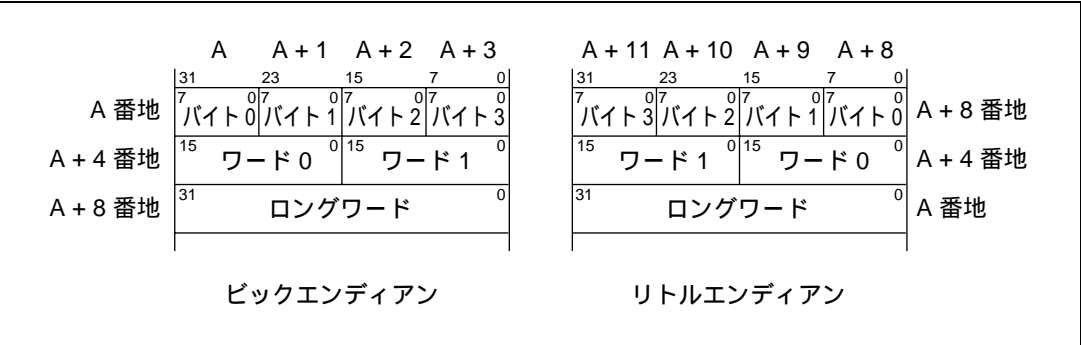


図 2.5 メモリ上のデータ形式

【注】 SH7091 では、64ビット長データフォーマットのエンディアン変換をサポートしていません。そのため、リトルエンディアンモード下で倍精度浮動小数点フォーマット（64ビット長）のアクセスをした場合、上位32ビットと下位32ビットが逆になります。

## 2.6 処理状態

処理状態にはリセット状態、例外処理状態、バス権解放状態、プログラム実行状態、低消費電力状態の5種類があります。

### (1) リセット状態

CPU がリセットされている状態です。 $\overline{\text{RESET}}$  端子がローレベルになるとリセット状態になります。 $\overline{\text{MRESET}}$  端子がハイレベルのときパワーオンリセット状態になり、 $\overline{\text{MRESET}}$  端子がローレベルのとき、マニュアルリセット状態になります。リセットについては、「第5章 例外処理」を参照してください。

パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタが初期化されます。マニュアルリセット状態では、バスステートコントローラ (BSC) を除く内蔵周辺モジュールのレジスタと CPU の内部状態とが初期化されます。マニュアルリセット状態では、BSC は初期化されませんのでリフレッシュ動作は継続しています。詳細は、各章のレジスタ構成を参照してください。

### (2) 例外処理状態

リセット、一般例外、割り込みの例外処理要因によって、CPU が処理状態の流れを変えるときの過渡的な状態です。

リセットの場合は、H'A000 0000 に分岐してユーザが作成した例外処理プログラムの実行を開始します。

一般例外、割り込みの場合は、プログラムカウンタ (PC) を退避プログラムカウンタ (SPC) に、ステータスレジスタ (SR) を退避ステータスレジスタ (SSR)、R15 を退避ジェネラルレジスタ 15 (SGR) に退避します。ベクタベースアドレスの内容とベクタオフセットの和で求められたユーザ作成の例外サービスルーチンの開始アドレスに分岐して、プログラムの実行を開始します。リセット、一般例外、割り込みについては、「第5章 例外処理」を参照してください。

### (3) プログラム実行状態

CPU が順次プログラムを実行している状態です。

### (4) 低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令で低消費電力状態になります。スリープモードとスタンバイモードの2つのモードがあります。低消費電力状態の詳細は「第9章 低消費電力モード」を参照してください。

### (5) バス権解放状態

CPU がバス権を要求したデバイスにバスを解放している状態です。

状態間の遷移を図 2.6 に示します。

## 2. プログラミングモデル

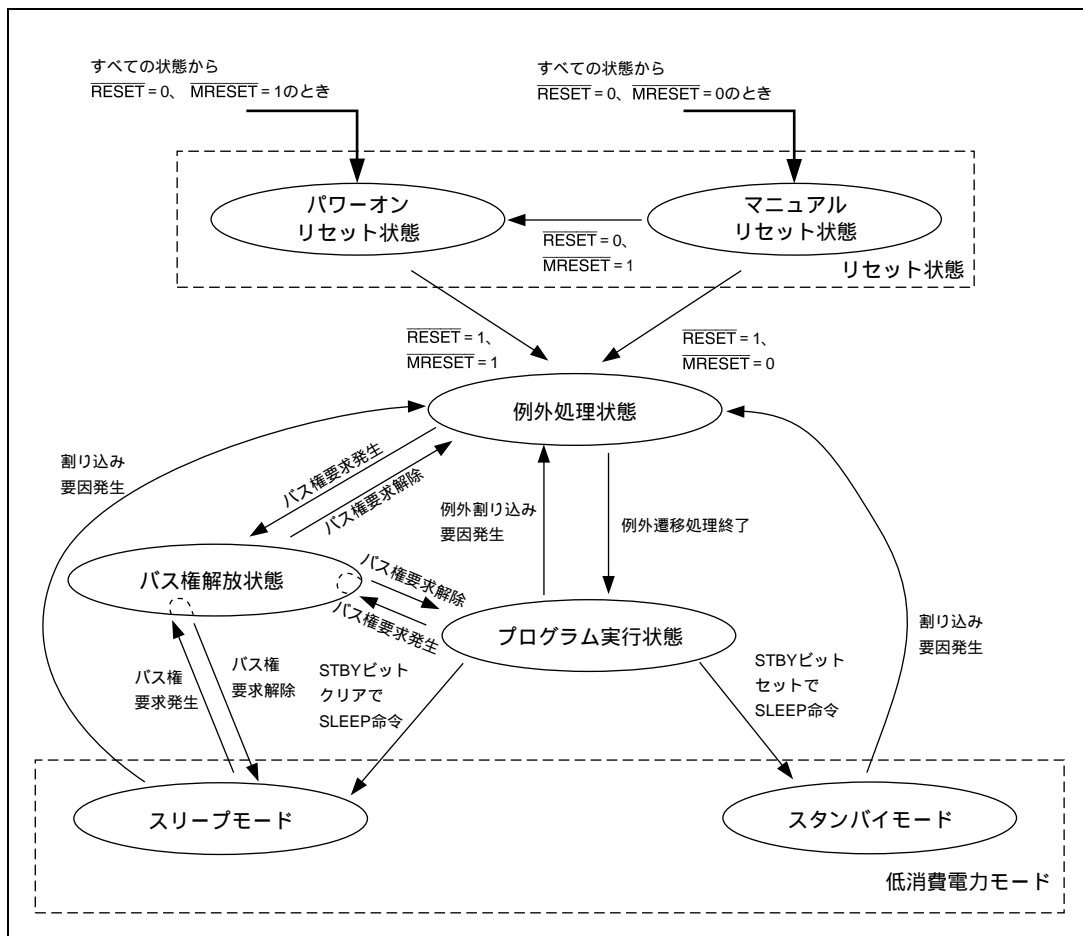


図 2.6 処理状態の状態遷移図

## 2.7 処理モード

処理モードには特権モードとユーザモードの2種類があります。ステータスレジスタ (SR) の処理モードビット (MD) で処理モードが決まります。MD ビットが 0 のときユーザモードになり、1 のとき特権モードになります。リセット状態、例外処理状態になると、MD ビットが 1 になります。例外処理が終了したときは、MD ビットを 0 にクリアしてユーザモードに切り換えます。特権モードでのみアクセスできるレジスタとビットがあります。

---

## 3. メモリマネジメントユニット (MMU)

---

### 3.1 概要

#### 3.1.1 特長

SH7091 は 8 ビットのアドレス空間識別子と 32 ビットの仮想アドレス空間から 29 ビットの外部メモリ空間を扱うことができます。仮想アドレスから物理アドレスへのアドレス変換は SH7091 に内蔵されたメモリマネジメントユニット (MMU:Memory Management Unit) を用いて行います。MMU は変換ルックアサイドバッファ (TLB:Translation Lookaside Buffer) にユーザ作成のアドレス変換テーブルの情報をキャッシングすることにより、高速にアドレス変換を行います。SH7091 は命令 TLB (ITLB) を 4 エントリ、共用 TLB (UTLB) を 64 エントリ内蔵しており ITLB には UTLB のコピーがハードウェアにより格納されます。アドレス変換方式はページング方式で、4 種類 (1k/4k/64k/1M バイト) のページサイズをサポートしています。また特権モード、ユーザモードのそれぞれにおいて、仮想アドレス空間へのアクセス権を設定し、記憶保護を行うことができます。

#### 3.1.2 MMU の役割

MMU とは物理メモリを有効に利用するために考え出された機能です。図 3.1 に示すように、プロセスのサイズが物理メモリより少ない場合、プロセスの全てを物理メモリへマッピングすることが可能です。しかしプロセスのサイズが増大し、物理メモリに収まらない場合、プロセスを分割して実行に必要な部分を随時物理メモリへマッピングする必要性が生じます (1)。この物理メモリへのマッピングをプロセス自身が考えながら実行している、プロセスにかかる負担が増大します。この負担を軽減するために物理メモリへのマッピングを一括して行おうとして生まれた考え方が仮想記憶方式です (2)。仮想記憶方式では物理メモリに比べて十分に大きな仮想メモリを用意します。プロセスはこの仮想メモリにマッピングされます。このためプロセスは仮想メモリ上での動作だけを考えていれば良くなります。仮想メモリから物理メモリへのマッピングには、MMU が用いられます。MMU は通常 OS が管理しており、プロセスが必要とする仮想メモリを円滑に物理メモリへマッピングできるように物理メモリの入れ換えを行います。物理メモリの入れ換えは 2 次記憶などとの間で行われます。

こうして生まれた仮想記憶方式は複数のプロセスが同時に走行するタイムシェアリングシステム (TSS) の上で威力を発揮します (3)。TSS 上で走行する複数のプロセスが、おのあの物理メモリへのマッピングを意識しながら動作していたのでは効率が上がりません。この効率を上げ、各プロセスの負担を減らすために仮想記憶方式は使われます (4)。この仮想記憶方式ではプロセスごとに仮想メモリが割り当てられます。MMU は複数の仮想メモリを効率よく物理メモリへマッピングする働きをします。さらにあるプロセスが別のプロセスの物理メモリに誤ってアクセスしないように、MMU には記憶保護の機能も備わっています。

MMU を用いて仮想メモリから物理メモリへアドレス変換を行うとき、その変換情報が MMU に登録されていなかったり、別のプロセスの仮想メモリへ誤ってアクセスすることがあります。そのとき MMU は例外を発生させ、物理メモリのマッピングを変更し、新たなアドレス変換情報を登録します。

### 3. メモリマネジメントユニット (MMU)

MMU の機能はソフトウェアのみでも実現可能ですが、プロセスが物理メモリへアクセスするたびにソフトウェアで変換を行っていたのでは効率が悪くなります。そのためハードウェア上にアドレス変換のためのバッファ (TLB) を用意し、頻繁に使用されるアドレス変換情報は TLB に置いておきます。TLB はアドレス変換情報のためのキャッシュといえます。しかしキャッシュと違いアドレス変換に失敗したとき、つまり例外が発生したときの、アドレス変換情報の入れ換えは通常ソフトウェアで行います。このためソフトウェアで柔軟にメモリ管理を行うことが可能となります。

MMU が仮想メモリから物理メモリへのマッピングをする方式として、固定長のアドレス変換を用いる方式 (ページング方式) と可変長のアドレス変換を用いる方式 (セグメント方式) があります。ページング方式では固定サイズのページと呼ばれるアドレス空間 (通常 1k ~ 64k バイト) が変換の単位となります。

以下 SH7091 では仮想メモリ上のアドレス空間のことを仮想アドレス空間、物理メモリ上のアドレス空間のことを物理アドレス空間と呼ぶことにします。

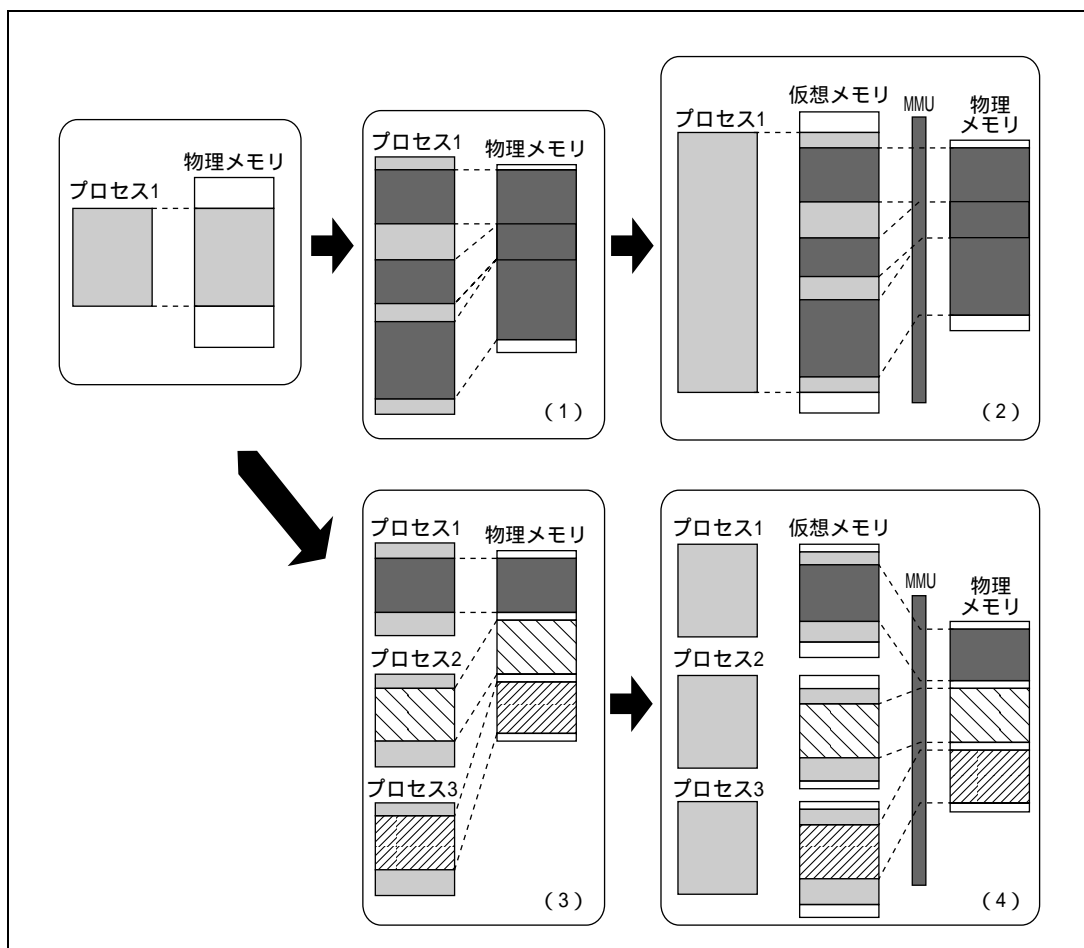


図 3.1 MMU の役割



### 3.1.3 レジスタの構成

MMU レジスタの構成を表 3.1 に示します。

表 3.1 レジスタ構成

| 名称                        | 略称    | R/W | 初期値 <sup>*1</sup> | P4 アドレス <sup>*2</sup> | エリア 7<br>アドレス <sup>*2</sup> | アクセス<br>サイズ |
|---------------------------|-------|-----|-------------------|-----------------------|-----------------------------|-------------|
| ページテーブルエントリ<br>上位レジスタ     | PTEH  | R/W | 不定                | H'FF00 0000           | H'1F00 0000                 | 32          |
| ページテーブルエントリ<br>下位レジスタ     | PTL   | R/W | 不定                | H'FF00 0004           | H'1F00 0004                 | 32          |
| ページテーブルエントリ<br>アシスタンスレジスタ | PTEA  | R/W | 不定                | H'FF00 0034           | H'1F00 0034                 | 32          |
| 変換テーブルベースレジスタ             | TTB   | R/W | 不定                | H'FF00 0008           | H'1F00 0008                 | 32          |
| TLB 例外アドレスレジスタ            | TEA   | R/W | 不定                | H'FF00 000C           | H'1F00 000C                 | 32          |
| MMU 制御レジスタ                | MMUCR | R/W | H'0000 0000       | H'FF00 0010           | H'1F00 0010                 | 32          |

【注】 \*1 初期値とはパワーオンリセット、マニュアルリセット後の値を示します。

\*2 P4 アドレスは仮想 / 物理アドレス空間の P4 領域を用いた場合のものです。TLB を用いて物理アドレス空間のエリア 7 からアクセスする場合、アドレスの上位 3 ビットが無視されます。

### 3.1.4 注意事項

本マニュアル中で予約領域とは、アクセスした場合に動作を保証しない領域を示します。

## 3.2 レジスタの説明

MMU に関連するレジスタは 6 つあります。

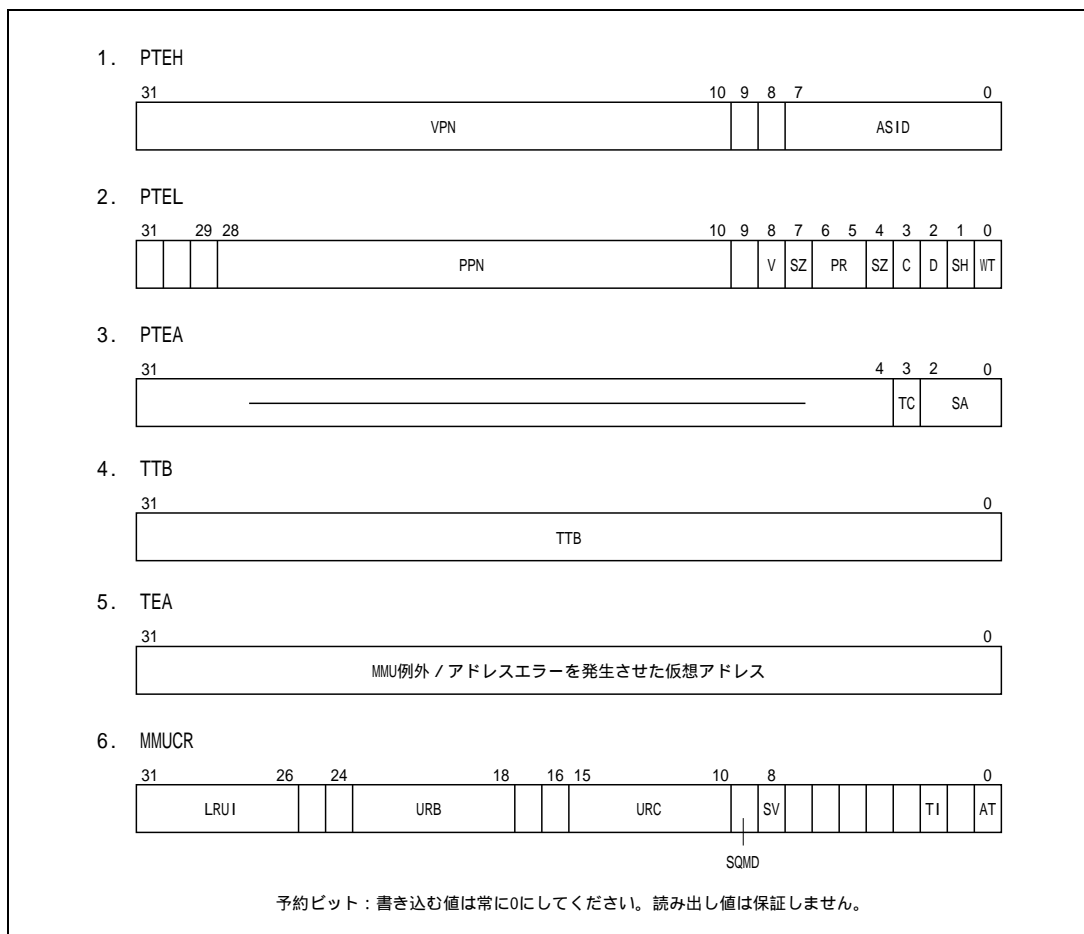


図 3.2 MMU 関連レジスタ

#### (1) ページエントリ上位レジスタ (PTEH)

PTEH へは、P4 領域の H'FF00 0000 からとエリア 7 の H'1F00 0000 からロングワードサイズでアクセスすることが可能です。PTEH は仮想ページ番号 (VPN) とアドレス空間識別子 (ASID) から構成されています。VPN は MMU 例外またはアドレスエラー例外が発生した際に、ハードウェアにより例外を発生させた仮想アドレスの VPN が設定されます。VPN はページサイズにより異なりますが、例外発生時にハードウェアにより設定される VPN は例外を発生させた仮想アドレスの上位 22 ビットとなります。VPN の設定はソフトウェアにより行うことも可能です。ASID には現在実行中のプロセスの番号をソフトウェアにより設定します。ASID がハードウェアにより更新されることはありません。この VPN と ASID が LDTLB 命令により UTLB に登録されます。

## (2) ページエントリ下位レジスタ (PTEL)

PTEL へは、P4 領域の H'FF00 0004 からとエリア 7 の H'1F00 0004 からロングワードサイズでアクセスすることが可能です。PTEL は LDTLB 命令により UTLB へ登録する物理ページ番号とページ管理情報を格納するために使用されます。本レジスタはソフトウェアの指示がない限り内容が変更されることはありません。

## (3) ページテーブルエントリアシスタンスレジスタ (PTEA)

PTEA へは、P4 領域の H'FF00 0034 からとエリア 7 の H'1F00 0034 からロングワードサイズでアクセスすることが可能です。PTEA は LDTLB 命令により UTLB への PCMCIA のアクセスのためのアシスタントビットを格納するために使用されます。本レジスタはソフトウェアの指示がない限り内容が変更されることはありません。

## (4) 変換テーブルベースレジスタ (TTB)

TTB へは P4 領域の H'FF00 0008 からとエリア 7 の H'1F00 0008 からロングワードサイズでアクセスすることが可能です。このレジスタは、例えば現在使用しているページテーブルのベースアドレスの格納用に使用します。TTB はソフトウェアの指示がない限り内容が変更されることはありません。本レジスタはソフトウェアで自由に使用可能です。

## (5) TLB 例外アドレスレジスタ (TEA)

TEA へは P4 領域の H'FF00 000C からとエリア 7 の H'1F00 000C からロングワードサイズでアクセスすることが可能です。MMU 例外またはアドレスエラー例外発生後に、このレジスタへは例外を発生させた仮想アドレスがハードウェアにより設定されます。このレジスタはソフトウェアにより変更することは可能です。

## (6) MMU 制御レジスタ (MMUCR)

MMUCR には以下のビットがあります。

- LRUI:Least Recently Used ITLB
- URB:UTLB Replace Boundary
- URC:UTLB Replace Counter
- SQMD:Store Queue Mode Bit
- SV:Single Virtual Mode Bit
- TI:TLB Invalidate
- AT:Address Translation Bit

MMUCR へは P4 領域の H'FF00 0010 からとエリア 7 の H'1F00 0010 からロングワードサイズでアクセスすることが可能です。MMUCR の各ビットは以下に示すように、MMU の設定を行います。このため MMUCR の書き換えは P1、P2 領域のプログラムで行うようにしてください。MMUCR 更新後に、P0、P3、U0、ストアキュー領域へのデータアクセス命令は、MMUCR 更新命令から 4 命令以降に配置してください。また P0、P3、U0 領域への分岐命令は、MMUCR 更新命令から 8 命令以降に配置してください。MMUCR はソフトウェアにより変更可能です。ただし LRUI ビットと URC ビットはハードウェアにより更新されることもあります。

### 3. メモリマネジメントユニット (MMU)

- LRUI:

ITLBミス発生時に入れ換えるITLBのエントリを決めるため、LRU方式(Least Recently Used)を用いています。LRUIビットを用いて、ITLBの追い出すエントリを確定することができます。LRUIは以下のアルゴリズムで更新が行われます。この表で "—" は更新を行わないことを意味します。

|                  | LRUI |     |     |     |     |     |
|------------------|------|-----|-----|-----|-----|-----|
|                  | [5]  | [4] | [3] | [2] | [1] | [0] |
| ITLBのエントリ0を用いたとき | 0    | 0   | 0   | —   | —   | —   |
| ITLBのエントリ1を用いたとき | 1    | —   | —   | 0   | 0   | —   |
| ITLBのエントリ2を用いたとき | —    | 1   | —   | 1   | —   | 0   |
| ITLBのエントリ3を用いたとき | —    | —   | 1   | —   | 1   | 1   |
| 上記以外             | —    | —   | —   | —   | —   | —   |

またLRUIが以下の状態のとき、対応するITLBのエントリがITLBミスにより更新されます。この表で "\*" はdon't careを意味します。

|                  | LRUI |     |     |     |     |     |
|------------------|------|-----|-----|-----|-----|-----|
|                  | [5]  | [4] | [3] | [2] | [1] | [0] |
| ITLBのエントリ0が更新される | 1    | 1   | 1   | *   | *   | *   |
| ITLBのエントリ1が更新される | 0    | *   | *   | 1   | 1   | *   |
| ITLBのエントリ2が更新される | *    | 0   | *   | 0   | *   | 1   |
| ITLBのエントリ3が更新される | *    | *   | 0   | *   | 0   | 0   |
| 上記以外             | 設定禁止 |     |     |     |     |     |

上記の表で設定禁止の値にはソフトウェアの責任で設定しないようにしてください。パワーオン、マニュアルリセット後、LRUIは0に初期化されますので、ハードウェアの更新によりLRUIが上記の表の設定禁止の値になることはありません。

- URB : 入れ換えを行う UTLB エントリの境界を示すビット  
URB>0のときに有効となります。
- URC : LDTLB 命令により入れ換えを行う UTLB エントリを示すためのランダムカウンタ  
UTLBへのアクセスが発生する度にインクリメントされます。ただしURB>0の場合、URC = URBの条件が成立するとURCは0にクリアされます。またソフトウェアによりURC>URBとなる値がURCに書き込まれた場合、最初はURC = H'3FになるまでURBを超えてインクリメントが行われますので注意してください。URCはLDTLB命令によってカウントアップされません。

- SQMD:ストアキューモードビット  
ストアキューへのアクセス権を指定します。
  - 0: ユーザ / 特権アクセスが可能
  - 1: 特権アクセスが可能 (ユーザアクセスの場合はアドレスエラー例外)
- SV:単一仮想記憶モード / 多重仮想記憶モードの切り換えビット
  - 0: 多重仮想記憶モード
  - 1: 単一仮想記憶モード
 このビットを変更するときは、必ずTIビットにも1を書き込んでください。
- TI:
 

このビットに1を書き込むと、UTLB/ITLBの有効ビットを全て無効化(0にクリア)します。読み出しは常に0です。
- AT:
 

MMUのイネーブル(有効)とディスエーブル(無効)を指定します。

  - 0: MMU ディスエーブル
  - 1: MMU イネーブル

ATビットが0の状態ではMMU例外は発生しません。このためMMUを使用しないソフトウェアではATビットを0の状態で使用してください。

### 3.3 メモリ空間

#### 3.3.1 物理メモリ空間

SH7091は32ビットの物理メモリ空間をサポートし、4Gバイトのアドレス空間をアクセスできます。MMUCR.ATビットを0にし、MMUをディスエーブル状態にしたときのアドレス空間がこの物理メモリ空間です。物理メモリ空間は図3.3に示す通り、いくつかの領域に分かれています。物理メモリ空間は固定的に29ビットの外部メモリ空間へマッピングされ、その対応は物理メモリ空間のアドレスの上位3ビットを無視することで行えます。特権モードではP0領域からP4領域の4Gバイトの空間をアクセスすることが可能です。ユーザモードではU0領域の2Gバイトの空間をアクセスすることが可能です。ユーザモードでP1～P4領域(ストアキュー領域を除く)をアクセスした場合、アドレスエラーとなります。

### 3. メモリマネジメントユニット (MMU)

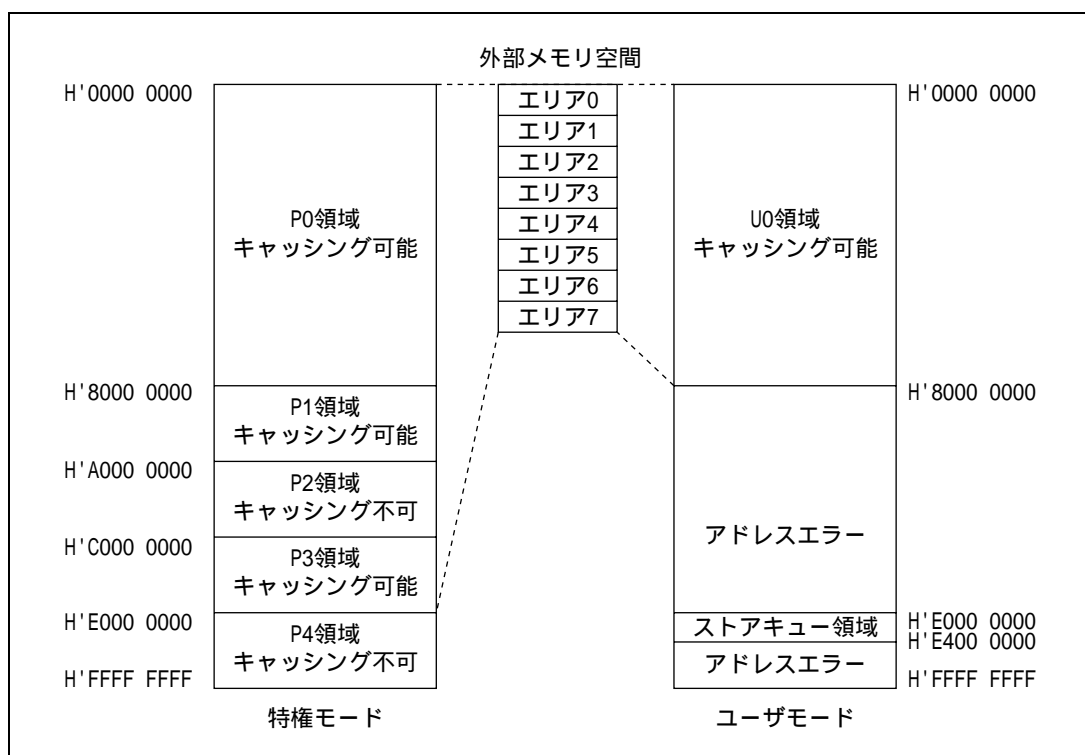


図 3.3 物理メモリ空間 (MMUCR.AT = 0)

#### (1) P0、P1、P3、U0 領域

P0、P1、P3、U0 領域はキャッシュを用いたアクセスが可能な領域です。キャッシュを用いるか、用いないかはキャッシュコントロールレジスタ (CCR) に従います。キャッシュを用いた場合、ライトアクセスにおけるコピーバック方式とライトスルー方式の切り換えは、P1 領域を除いて CCR.WT ビットの指定に従います。P1 領域の切り換えは、CCR.CB ビットの指定に従います。これらの領域のアドレスの上位 3 ビットを 0 にしたものが対応する外部メモリ空間のアドレスとなります。ただし外部メモリ空間のエリア 7 は予約領域ですので、これらの領域にも予約領域が現われることになります。

#### (2) P2 領域

P2 領域はキャッシュを用いたアクセスが行えない領域です。P2 領域ではアドレスの上位 3 ビットを 0 にしたものが対応する外部メモリ空間のアドレスとなります。ただし外部メモリ空間のエリア 7 は予約領域ですので、この領域にも予約領域が現われることになります。

#### (3) P4 領域

P4 領域は SH7091 の内蔵 I/O にマッピングされる領域です。この領域はキャッシュを用いたアクセスができません。P4 領域の詳細を図 3.4 に示します。

|             |                    |
|-------------|--------------------|
| H'E000 0000 | ストアキュー             |
| H'E400 0000 |                    |
|             | 予約領域               |
| H'F000 0000 | 命令キャッシュ アドレスアレイ    |
| H'F100 0000 | 命令キャッシュ データアレイ     |
| H'F200 0000 | 命令TLB アドレスアレイ      |
| H'F300 0000 | 命令TLB データアレイ1、2    |
| H'F400 0000 | オペランドキャッシュ アドレスアレイ |
| H'F500 0000 | オペランドキャッシュ データアレイ  |
| H'F600 0000 | 共用TLB アドレスアレイ      |
| H'F700 0000 | 共用TLB データアレイ1、2    |
| H'F800 0000 | 予約領域               |
|             |                    |
| H'FF00 0000 | 制御レジスタ領域           |

図 3.4 P4 領域

H'E000 0000 ~ H'E3FF FFFF までは、ストアキュー (SQ) にアクセスするためのアドレスです。MMU が無効な場合 (MMUCR.AT=0)、SQ のアクセス権は MMUCR.SQMD ビットで指定します。詳細は、「4.6 スストアキュー」を参照してください。

H'F000 0000 ~ H'F0FF FFFF までは、命令キャッシュのアドレスアレイを直接アクセスするための領域です。詳細は、「4.5.1 IC アドレスアレイ」を参照してください。

H'F100 0000 ~ H'F1FF FFFF までは、命令キャッシュのデータアレイを直接アクセスするための領域です。詳細は、「4.5.2 IC データアレイ」を参照してください。

H'F200 0000 ~ H'F2FF FFFF までは、命令 TLB のアドレスアレイを直接アクセスするための領域です。詳細は、「3.7.1 ITLB アドレスアレイ」を参照してください。

H'F300 0000 ~ H'F3FF FFFF までは、命令 TLB のデータアレイ 1、2 を直接アクセスするための領域です。詳細は、「3.7.2 ITLB データアレイ 1」、「3.7.3 ITLB データアレイ 2」を参照してください。

H'F400 0000 ~ H'F4FF FFFF までは、オペランドキャッシュのアドレスアレイを直接アクセスするための領域です。詳細は、「4.5.3 OC アドレスアレイ」を参照してください。

H'F500 0000 ~ H'F5FF FFFF までは、オペランドキャッシュのデータアレイを直接アクセスするための領域です。詳細は、「4.5.4 OC データアレイ」を参照してください。

### 3. メモリマネジメントユニット (MMU)

H'F600 0000 ~ H'F6FF FFFF までは、共用 TLB のアドレスアレイを直接アクセスするための領域です。詳細は、「3.7.4 UTLB アドレスアレイ」を参照してください。

H'F700 0000 ~ H'F7FF FFFF までは、共用 TLB のデータアレイ 1、2 を直接アクセスするための領域です。詳細は、「3.7.5 UTLB データアレイ 1」、「3.7.6 UTLB データアレイ 2」を参照してください。

H'FF00 0000 ~ H'FFFF FFFF までは、内蔵周辺モジュール制御レジスタの領域です。

#### 3.3.2 外部メモリ空間

SH7091 は 29 ビットの外部メモリ空間をサポートします。外部メモリ空間は図 3.5 に示す通り 8 つの領域に分かれています。エリア 0 ~ エリア 6 は SRAM、シンクロナス DRAM、DRAM、PCMCIA などのメモリにつながる領域です。エリア 7 は予約領域です。詳細は「13 章 バスステートコントローラ」を参照してください。

|             |             |
|-------------|-------------|
| H'0000 0000 | エリア0        |
| H'0400 0000 | エリア1        |
| H'0800 0000 | エリア2        |
| H'0C00 0000 | エリア3        |
| H'1000 0000 | エリア4        |
| H'1400 0000 | エリア5        |
| H'1800 0000 | エリア6        |
| H'1C00 0000 | エリア7 (予約領域) |
| H'1FFF FFFF |             |

図 3.5 外部メモリ空間

#### 3.3.3 仮想メモリ空間

MMUCR.AT ビットを 1 にすることにより、SH7091 では物理メモリ空間の P0 領域と P3 領域と U0 領域を任意の外部メモリ空間へ 1k/4k/64k/1M バイトページ単位にマッピングすることができます。また 8 ビットのアドレス空間識別子を用いることにより P0、U0、P3、ストアキュー領域を 256 個まで増やすことが可能です。これを仮想メモリ空間と呼びます。仮想メモリ空間から 29 ビットの外部メモリ空間へのマッピングには TLB を用います。仮想メモリ空間を用いて外部メモリ空間のエリア 7 をアクセスする場合のみエリア 7 の H'1F00 0000 ~ H'1F00 0000 までの領域が予約領域ではなく、物理メモリ空間の P4 領域の制御レジスタ領域と等価になります。仮想メモリ空間を図 3.6 に示します。



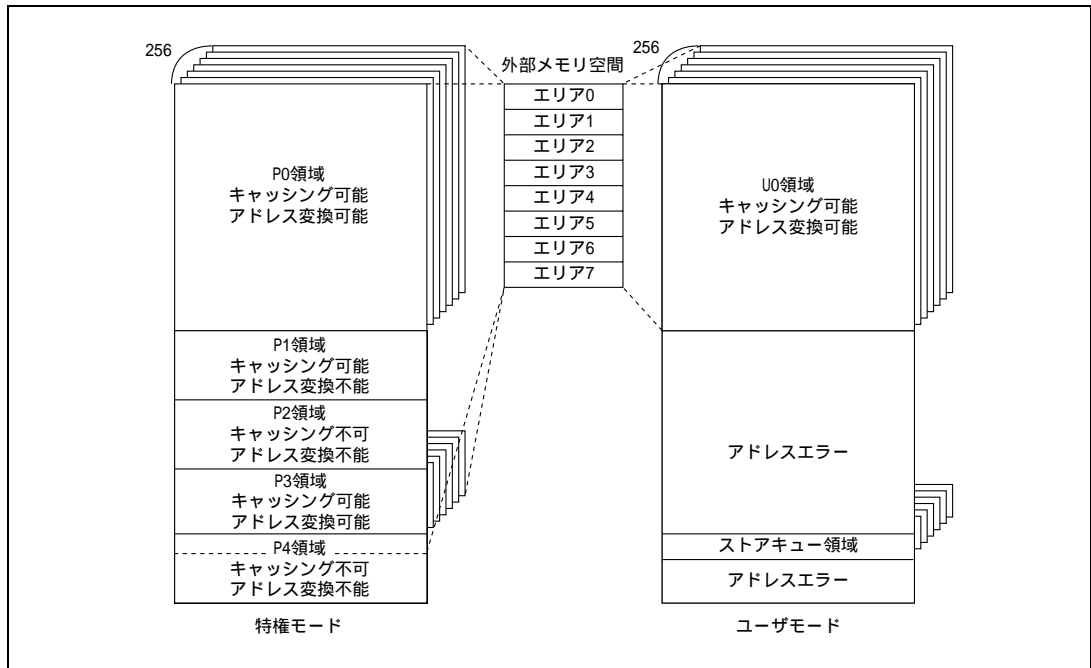


図 3.6 仮想メモリ空間 (MMUCR.AT=1)

## (1) P0、P3、U0 領域

P0(H'7C00 0000 から H'7FFF FFFF を除く)、P3、U0 領域はキャッシュを用いたアクセスと TLB を用いたアドレス変換が可能な領域です。これらの領域は TLB を用いて 1k/4k/64k/1M バイトページ単位に任意の外部メモリ空間へマッピングできます。CCR がキャッシュイネーブル状態にあり、かつ TLB のキャッシング可能ビット (C ビット) が 1 のとき、キャッシュを用いたアクセスが行えます。また、キャッシュへのライトアクセスにおけるコピーバック方式とライトスルー方式の切り換えは、TLB のライトスルービット (WT ビット) に従い、ページ単位に指定します。

P0、P3、U0 領域が TLB により外部メモリ空間へマッピングされるときのみ、外部メモリ空間のエリア 7 の H'1F00 0000 ~ H'1FFF FFFF が制御レジスタ領域に割り当てられます。これによりユーザモードでも U0 領域から内蔵周辺モジュール制御レジスタをアクセスすることが可能となります。この場合、該当するページの C ビットには 0 を指定しなければなりません。

またキャッシュイネーブルの状態、P0、P3、U0 領域が TLB により PCMCIA 空間へマッピングされるときは、WT ビットに 1 を指定するか、C ビットに 0 を指定しなければなりません。つまり PCMCIA 空間に対してコピーバックモードのキャッシュを使用することはできません。

## (2) P1、P2、P4 領域

P1、P2、P4 領域 (ストアキュー領域を除く) に対して TLB を用いたアドレス変換は実行できません。これらの領域に対するアクセスは物理メモリ空間に対するアクセスと同じです。ストアキュー領域は MMU によって任意の外部メモリ空間にマッピングすることができます。ただし、例外処理の場合の動作は通常の P0、U0、P3 空間の場合とは異なります。詳細については「4.6 ストアキュー」を参照してください。

#### 3.3.4 内蔵 RAM 空間

SH7091 では、オペランドキャッシュ (16kB) の半分 (8kB) を内蔵 RAM として使用することが可能です。これは CCR の設定を変更することで行えます。

オペランドキャッシュを内蔵 RAM として使用する場合 (CCR.ORA = 1)、P0 領域の (H'7C00 0000 ~ H'7FFF FFFF) が内蔵 RAM 領域となります。この領域へはデータアクセス (バイト/ワード/ロングワード/クワッドワード) が可能です。ただしこの領域は、RAM モード時以外には使用できません。

#### 3.3.5 アドレス変換

MMU を使用するとき、仮想アドレス空間はページという単位に分割され、そのページ単位で物理アドレスに変換されます。外部メモリ上のアドレス変換テーブルには、仮想アドレスに対応する物理アドレスや、記憶保護コードなどの付加情報が格納され、TLB にはアドレス変換の高速化のために、外部メモリ上のアドレス変換テーブルの内容がキャッシングされます。SH7091 では命令のアクセスには ITLB を、データのアクセスには UTLB を基本的に用います。P4 領域以外へのアクセスが発生するとそのアクセスされた仮想アドレスが物理アドレスへ変換されます。その仮想アドレスが P1、P2 領域に属する場合、TLB をアクセスせずに物理アドレスが一意に決定されます。その仮想アドレスが P0、U0、P3 領域に属する場合には、仮想アドレスで TLB が検索され、その仮想アドレスが TLB に登録されている場合には、TLB ヒットとなり、TLB から対応する物理アドレスが読み出されます。またアクセスされた仮想アドレスが TLB に登録されていない場合には、TLB ミス例外が発生し、処理が TLB ミス例外ルーチンへ移ります。TLB ミス例外ルーチンでは、外部メモリ上のアドレス変換テーブルを検索し、対応する物理アドレス、ページ管理情報を TLB に登録します。そして例外処理ルーチンから復帰後、TLB ミス例外を発生させた命令を再実行します。

#### 3.3.6 単一仮想記憶モードと多重仮想記憶モード

仮想記憶方式には単一仮想記憶方式と多重仮想記憶方式があり、MMUCR.SV により選択が可能です。単一仮想記憶方式では、複数のプロセスが仮想アドレス空間を排他的に使用しながら同時に走行し、ある仮想アドレスに対応する物理アドレスは一意に定まります。多重仮想記憶方式では、複数のプロセスが仮想アドレス空間を共有して使用しながら走行するため、ある仮想アドレスはプロセスにより異なった物理アドレスに変換され得ます。単一仮想記憶方式と多重仮想記憶方式との動作上の違いは TLB のアドレス比較の方式 (「3.4.3 アドレス変換方式」参照) のみです。

#### 3.3.7 アドレス空間識別子 (ASID)

多重仮想記憶モードの場合、8 ビットのアドレス空間識別子 (ASID) は仮想アドレス空間を共有しながら同時に走行する複数のプロセスを区別するために用いられます。ASID は 8 ビットで、ソフトウェアが MMU 内の PTEH に現在走行中のプロセスの ASID をセットすることで設定可能です。また ASID によりプロセス切り換えの際に TLB をパージしないで済みます。

単一仮想記憶モードの場合、ASID は仮想アドレス空間を排他的に使用しながら同時に走行する複数のプロセスの記憶保護のために用いられます。

## 3.4 TLB の機能

### 3.4.1 共用 TLB (UTLB) の構成

UTLB は次の 2 つの目的のために使用されます。

- (1) データアクセスのとき、仮想アドレスを物理アドレスへ変換する。
- (2) 命令 TLB ミスのとき、ITLB へ登録するアドレス変換情報のテーブル。

このため共用 TLB と呼ばれます。UTLB には外部メモリ上に置かれるアドレス変換テーブルの情報がキャッシングされます。アドレス変換テーブルには仮想ページ番号とアドレス空間識別子、それに対応する物理ページ番号とページ管理情報が格納されています。図 3.7 に UTLB の構成を示します。UTLB はフルアソシティブ方式の 64 エントリで構成されています。図 3.8 にページサイズとアドレスの関係を示します。

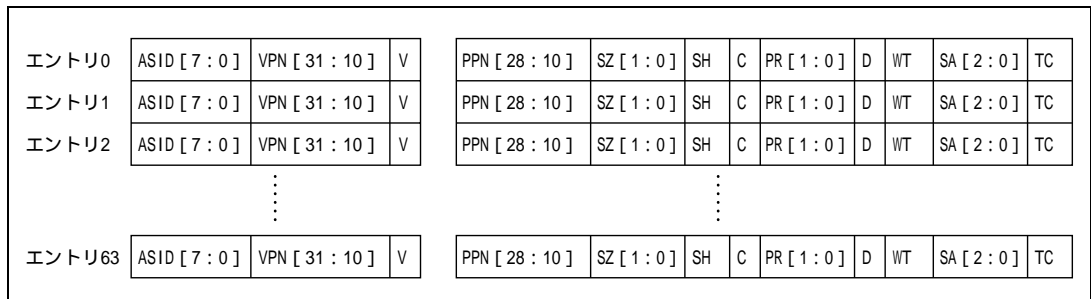


図 3.7 UTLB の構成

### 3. メモリマネジメントユニット (MMU)

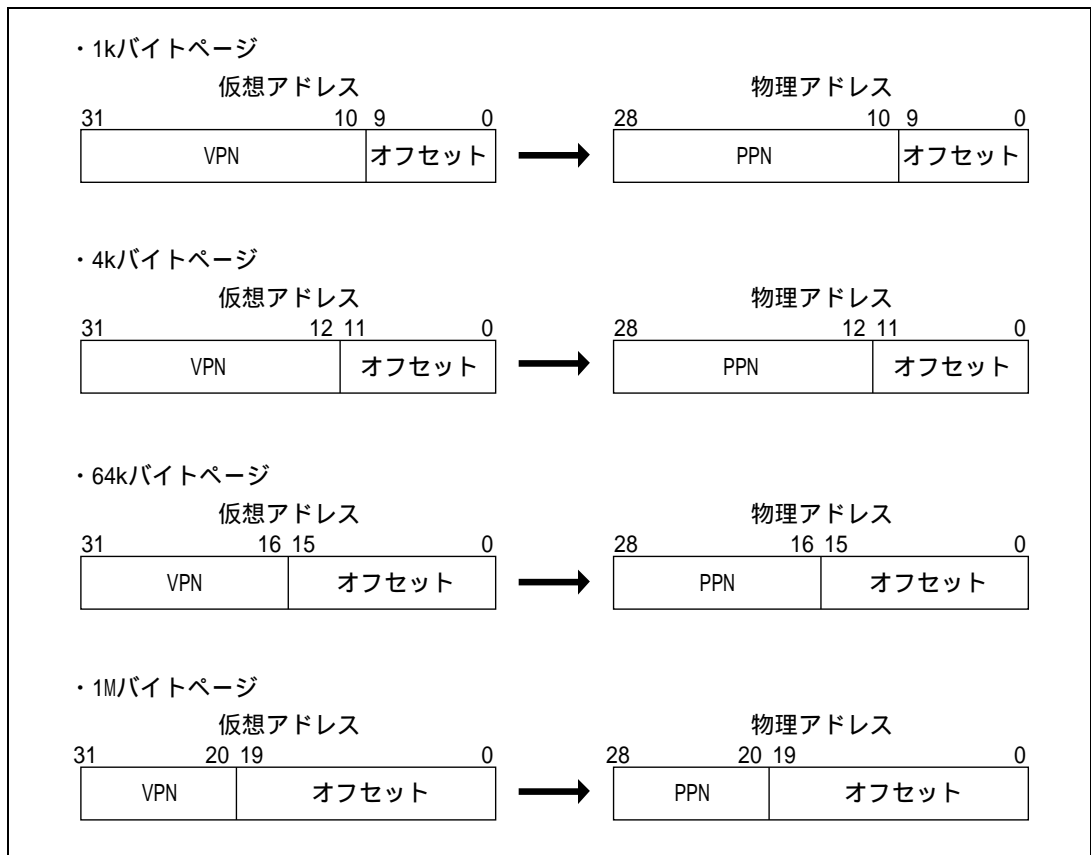


図 3.8 ページサイズとアドレスの関係

- VPN : 仮想ページ番号
  - 1k バイトページの時、仮想アドレスの上位 22 ビット
  - 4k バイトページの時、仮想アドレスの上位 20 ビット
  - 64k バイトページの時、仮想アドレスの上位 16 ビット
  - 1M バイトページの時、仮想アドレスの上位 12 ビット
- ASID : アドレス空間識別子  
仮想ページをアクセスできるプロセスを示します。  
単一仮想記憶モードかつユーザモードか、多重仮想記憶モードのときで、SHビットが0ならアドレス比較の際にPTEH中のASIDと比較されます。
- SH : 共有状態ビット
  - 0 のとき複数のプロセスでページを共有しません。
  - 1 のとき複数のプロセスでページを共有します。

- SZ : ページサイズビット  
ページサイズを指定します。
  - 00:1k バイトページ
  - 01:4k バイトページ
  - 10:64k バイトページ
  - 11:1M バイトページ
- V : 有効ビット  
エントリが有効かどうかを示します。
  - 0 のとき無効
  - 1 のとき有効パワーオンリセット時に0にクリアされます。  
マニュアルリセット時には変化しません。
- PPN : 物理ページ番号  
物理アドレスの上位22ビット
  - 1k バイトページのときは PPN [ 28 : 10 ] が有効です。
  - 4k バイトページのときは PPN [ 28 : 12 ] が有効です。
  - 64k バイトページのときは PPN [ 28 : 16 ] が有効です。
  - 1M バイトページのときは PPN [ 28 : 20 ] が有効です。またPPNの設定においてはシノニム問題に注意してください(「3.5.5 シノニム問題の回避」参照)。
- PR : 保護キーデータ  
ページのアクセス権をコードで表した2ビットデータ
  - 00 : 特権モードで読み出しのみ可能。
  - 01 : 特権モードで読み出し / 書き込み可能。
  - 10 : 特権 / ユーザモードで読み出しのみ可能。
  - 11 : 特権 / ユーザモードで読み出し / 書き込み可能。
- C : キャッシング可能ビット  
ページがキャッシング可能かどうかを示します。
  - 0 のときキャッシング不可能。
  - 1 のときキャッシング可能。制御レジスタ空間のマッピングを行う場合、このビットは0にしてください。  
キャッシュイネーブルの状態でPCM CIA空間のマッピングを行う場合、このビットを0にするか、WTビットを1にしてください。
- D : ダーティビット  
ページに書き込みが行われたかどうかを示します。
  - 0 のとき書き込みが行われていない。
  - 1 のとき書き込みが行われている。
- WT : ライトスルービット  
キャッシュへの書き込みモードを指定します。
  - 0 : コピーバックモード
  - 1 : ライトスルーモード

### 3. メモリマネジメントユニット (MMU)

キャッシュイネーブルの状態ではPCMCIA空間のマッピングを行う場合、このビットを1にするか、Cビットを0にしてください。

- SA：空間属性ビット  
エリア5または6 に接続するPCMCIAにページをマッピングする場合にのみ有効です。
  - 000: 不定
  - 001: 可変サイズの I/O 空間（基本サイズは  $\overline{\text{IOIS16}}$  信号に従います）
  - 010: 8 ビット I/O 空間
  - 011: 16 ビット I/O 空間
  - 100: 8 ビット共用メモリ空間
  - 101: 16 ビット共用メモリ空間
  - 110: 8 ビット属性メモリ空間
  - 111: 16 ビット属性メモリ空間
- TC：タイミングコントロールビット  
エリア5、6のバスコントロールユニットに用いられるウェイトコントロールレジスタを選択するために使用します。
  - 0：WCR2 (A5W2～A5W0) と PCR (A5PCW1～A5PCW0、A5TED2～A5TED0、A5TEH2～A5TEH0) を使用
  - 1：WCR2 (A6W2～A6W0) と PCR (A6PCW1～A6PCW0、A6TED2～A6TED0、A6TEH2～A6TEH0) を使用

#### 3.4.2 命令 TLB (ITLB) の構成

ITLB は命令アクセスのとき、仮想アドレスを物理アドレスへ変換するために用いられます。ITLB には UTLB 上に置かれるアドレス変換テーブルの情報がキャッシングされます。図 3.9 に ITLB の構成を示します。ITLB はフルアソシアティブの 4 エントリで構成されています。

|       |                |                 |   |                 |              |    |   |    |              |    |
|-------|----------------|-----------------|---|-----------------|--------------|----|---|----|--------------|----|
| エントリ0 | ASID [ 7 : 0 ] | VPN [ 31 : 10 ] | V | PPN [ 28 : 10 ] | SZ [ 1 : 0 ] | SH | C | PR | SA [ 2 : 0 ] | TC |
| エントリ1 | ASID [ 7 : 0 ] | VPN [ 31 : 10 ] | V | PPN [ 28 : 10 ] | SZ [ 1 : 0 ] | SH | C | PR | SA [ 2 : 0 ] | TC |
| エントリ2 | ASID [ 7 : 0 ] | VPN [ 31 : 10 ] | V | PPN [ 28 : 10 ] | SZ [ 1 : 0 ] | SH | C | PR | SA [ 2 : 0 ] | TC |
| エントリ3 | ASID [ 7 : 0 ] | VPN [ 31 : 10 ] | V | PPN [ 28 : 10 ] | SZ [ 1 : 0 ] | SH | C | PR | SA [ 2 : 0 ] | TC |

【注】1. D、WTビットをサポートしません。  
2. PRビットが1ビットになり、UTLBのPRビットの上位1ビットに対応します。

図 3.9 ITLB の構成

## 3.4.3 アドレス変換方式

図 3.10、図 3.11 に、UTLB、ITLB を用いたメモリアクセスのフローを示します。

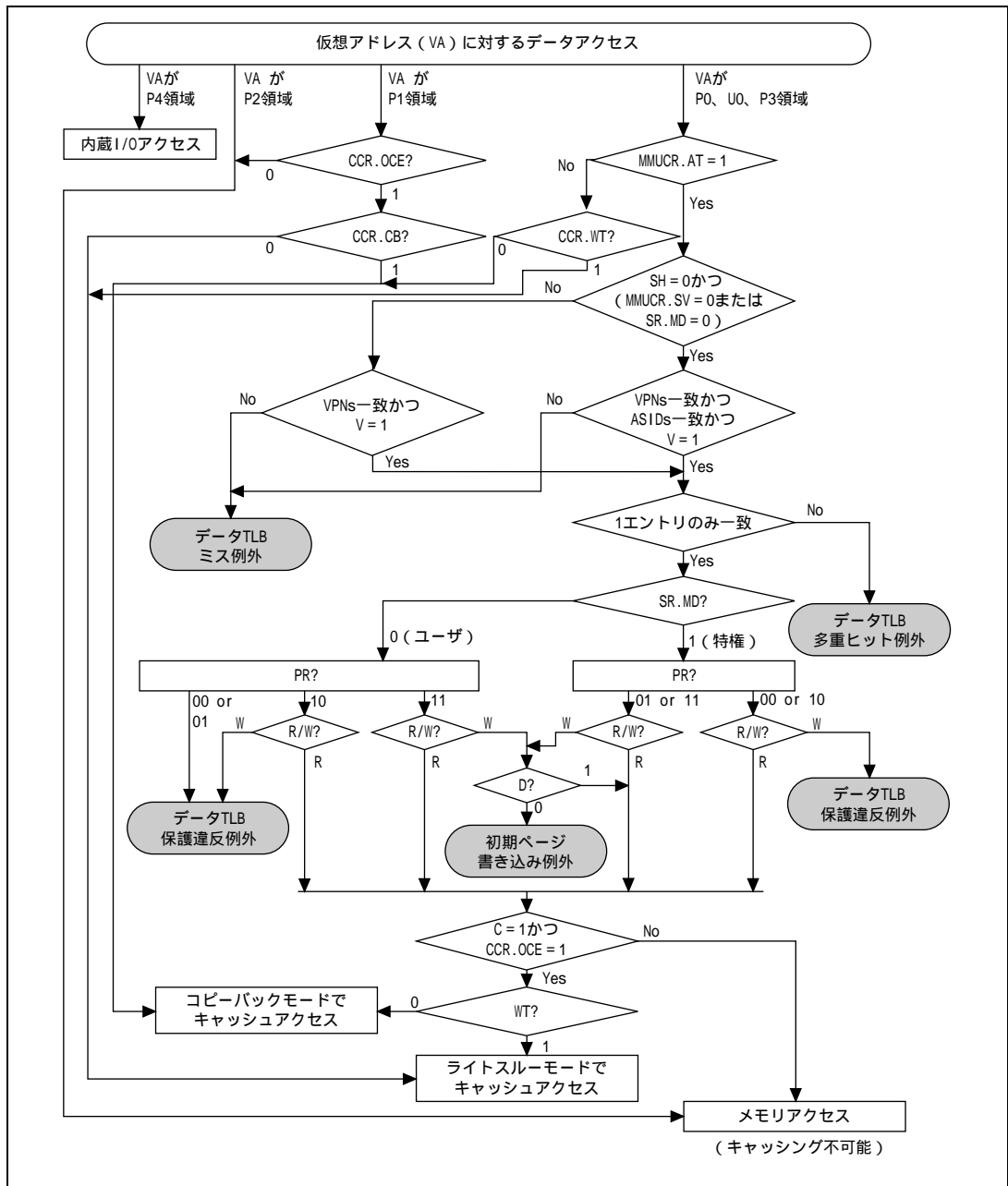
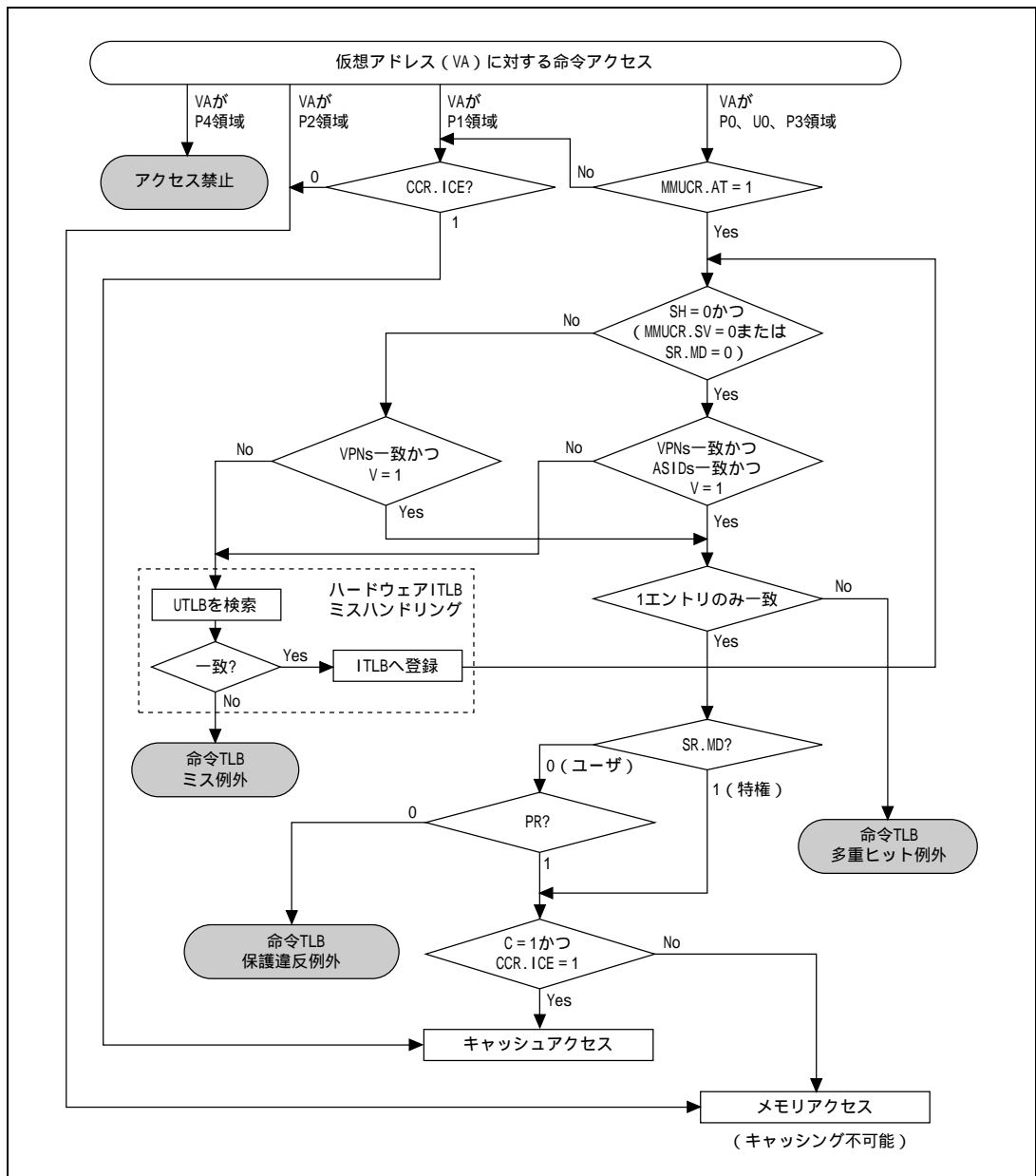


図 3.10 UTLB を用いたメモリアクセスフロー

### 3. メモリマネジメントユニット (MMU)





## 3.5 MMU の機能

### 3.5.1 MMU のハードウェア管理

SH7091 がサポートする MMU の機能として次のものがあります。

- (1) ソフトウェアがアクセスする仮想アドレスをデコードし、MMUCR の設定に従い UTLB/ITLB を制御してアドレス変換を行います。
- (2) アドレス変換の際に読み出されたページ管理情報をもとに、キャッシュへのアクセス状態を判定します (C、WT、SA、TC ビット)。
- (3) データアクセス、命令アクセスにおいて正常にアドレス変換が行われなかった場合、MMU 例外の発生により、ソフトウェアに通知します。
- (4) 命令アクセスで ITLB にアドレス変換情報が登録されていないとき、UTLB を検索し、UTLB に必要なアドレス変換情報が登録されていた場合、MMUCR.LRUI に従い ITLB にそのアドレス変換情報をコピーします。

### 3.5.2 MMU のソフトウェア管理

MMU に対するソフトウェアの処理として次のものがあります。

- (1) MMU 関連レジスタの設定。一部ハードウェアにより自動的に更新されるものもあります。
- (2) TLB エントリの登録、削除、読み出し。UTLB エントリの登録には LDTLB 命令を用いる方法と、メモリ割り付け UTLB に直接書き込む方法があります。ITLB エントリの登録はメモリ割り付け ITLB に直接書き込む方法しかありません。UTLB/ITLB エントリの削除と読み出しは、メモリ割り付け UTLB/ITLB をアクセスすることで可能です。
- (3) MMU 例外処理。MMU 例外が発生したときにハードウェア側から設定された情報を元に処理を行います。

### 3.5.3 MMU の命令 (LDTLB)

UTLB エントリを登録する命令として TLB ロード命令 (LDTLB) があります。LDTLB 命令が発行されると SH7091 は PTEH と PTEL と PTEA の内容を MMUCR.URC が指し示す UTLB エントリにコピーします。LDTLB 命令により ITLB エントリの更新は行われませんので、UTLB エントリから追い出されたアドレス変換情報が ITLB エントリに残る可能性があります。LDTLB 命令はアドレス変換情報を変更する命令のため、必ず P1、P2 領域のプログラムで発行するようにしてください。図 3.12 に LDTLB 命令の動作を示します。

### 3. メモリマネジメントユニット (MMU)

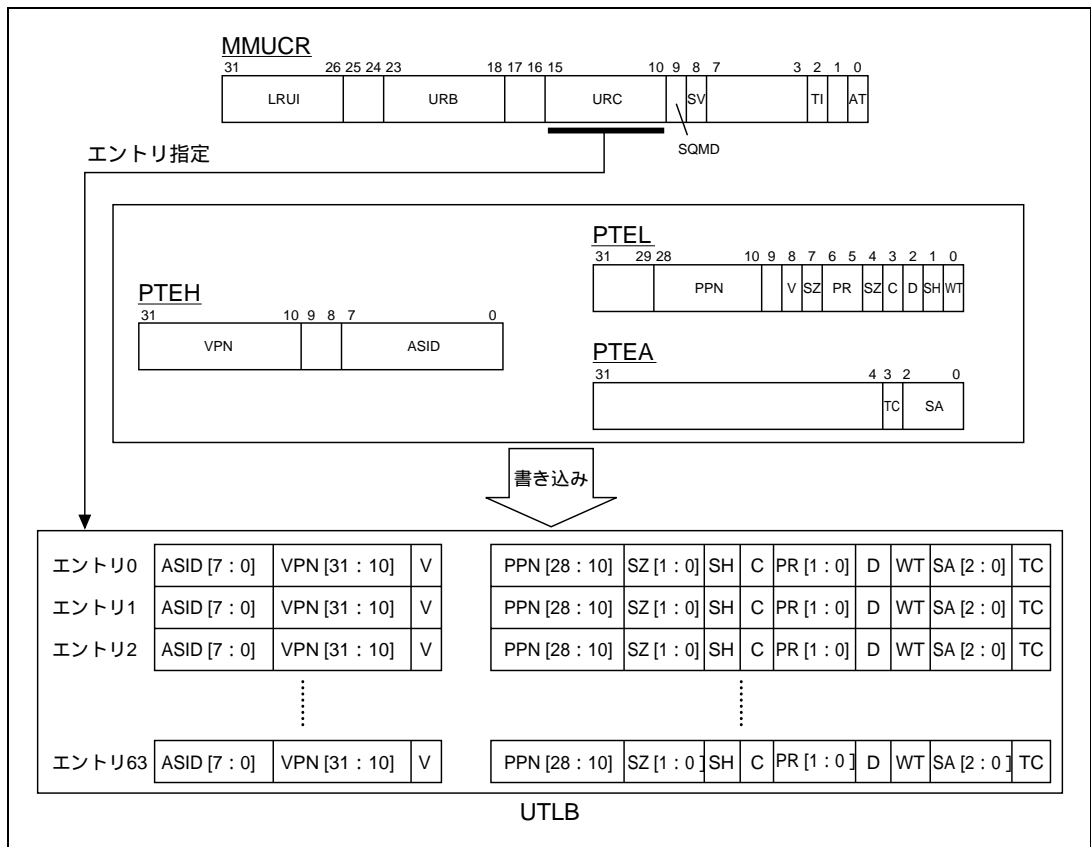


図 3.12 LDTLB 命令の動作

#### 3.5.4 ハードウェア ITLB ミスハンドリング

SH7091 は命令アクセスの際、ITLB を検索して必要なアドレス変換情報を見つけられなかった (ITLB ミス) 場合、ハードウェアにより UTLB を検索し必要なアドレス変換情報があれば ITLB への登録を行います。これをハードウェア ITLB ミスハンドリングと呼びます。UTLB を検索しても必要なアドレス変換情報が見つからない場合、命令 TLB ミス例外が発生し、処理をソフトウェアへ移します。

#### 3.5.5 シノニム問題の回避

TLB エントリに 1k, 4k バイトページを登録するときにシノニム問題が発生する可能性があります。シノニム問題とは、複数の仮想アドレスが 1 つの物理アドレスにマッピングされる場合に、キャッシュの複数のエントリに同一の物理アドレスのデータが登録されてしまい、データの一致性を保証できなくなるという問題です。この問題は命令 TLB や命令キャッシュではデータの読み出ししか行わないため発生しません。SH7091 ではオペランドキャッシュの高速動作のために仮想アドレスの [13 : 5] を用いて、エントリの指定を行います。しかし 1k バイトページでは仮想アドレスの [13 : 10] が、4k バイトページでは仮想アドレスの [13 : 12] がアドレス変換の対象になります。このため変換後の物理アドレスの [13 : 10] と仮想アドレスの [13 : 10] が異なる可能性があります。

このため UTLB エントリへのアドレス変換情報の登録には以下の制限が生じます。

- (1) 複数の 1k バイトページの UTLB エントリが同一の物理アドレスに変換されるアドレス変換情報を UTLB に登録するとき、VPN [ 13 : 10 ] は必ず等しくなるようにしてください。
- (2) 複数の 4k バイトページの UTLB エントリが同一の物理アドレスに変換されるアドレス変換情報を UTLB に登録するとき、VPN [ 13 : 12 ] は必ず等しくなるようにしてください。
- (3) 1k バイトページの UTLB エントリの物理アドレスを、異なるページサイズの UTLB エントリで使用しないでください。
- (4) 4k バイトページの UTLB エントリの物理アドレスを、異なるページサイズの UTLB エントリで使用しないでください。

上記の制限はキャッシュを用いたアクセスを行う場合に限定されます。キャッシュインデックスモードを用いた場合、VPN [ 25 ] が VPN [ 13 ] の代わりにエントリアドレスとして使用されるため、上記制限事項は、VPN [ 25 ] に対して有効となります。

【注】 将来の SH シリーズ拡張に備えて、複数のアドレス変換情報が同一の物理メモリを使用する場合、VPN [ 20 : 10 ] を等しくなるようにしてください。また異なるページサイズのアドレス変換情報で同一の物理アドレスを使用しないでください。

## 3.6 MMU 例外

MMU 例外には、命令 TLB 多重ヒット例外、命令 TLB ミス例外、命令 TLB 保護違反例外、データ TLB 多重ヒット例外、データ TLB ミス例外、データ TLB 保護違反例外、初期ページ書き込み例外の 7 つの例外があります。各例外の発生条件については図 3.10 と図 3.11 を参照してください。

### 3.6.1 命令 TLB 多重ヒット例外

命令 TLB 多重ヒット例外は、命令アクセスした仮想アドレスに一致する ITLB エントリが複数存在した場合に発生します。ハードウェア ITLB ミスハンドリングにより UTLB を検索する際に UTLB で多重ヒットが発生した場合は、データ TLB 多重ヒット例外となります。

命令 TLB 多重ヒット例外が発生すると、リセットになり、この場合キャッシュのコヒーレンシは保証しません。

- ハードウェア処理

命令 TLB 多重ヒット例外のとき、ハードウェアは次の処理を行います。

- (1) 例外の発生した仮想アドレスを TEA に設定します。
- (2) 例外コード H'140 を EXPEVT に設定します。
- (3) リセット処理ルーチン(H'A000 0000)に分岐します。

- ソフトウェア処理(リセットルーチン)

リセット処理ルーチンで多重ヒットが発生させた ITLB エントリを確認します。この例外はプログラムのデバッグ時に用いるためのもので、通常はこの例外が発生させないでください。

#### 3.6.2 命令 TLB ミス例外

命令 TLB ミス例外は、ハードウェア ITLB ミスハンドリングにより UTLB エントリに命令アクセスした仮想アドレスに対応するアドレス変換情報が見つからなかったときに発生します。命令 TLB ミス例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。これはデータ TLB ミス例外時の処理と同じです。

- ハードウェア処理  
命令 TLB ミス例外のとき、ハードウェアは次の処理を行います。
  - (1) 例外が発生した仮想アドレスの VPN を PTEH に設定します。
  - (2) 例外の発生した仮想アドレスを TEA に設定します。
  - (3) 例外コード H'040 を、EXPEVT に設定します。
  - (4) 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
  - (5) 例外が発生したときの SR の内容を SSR に設定します。
  - (6) SR の MD ビットを 1 に設定し、特権モードに切り換えます。
  - (7) SR の BL ビットを 1 に設定し、これ以降の例外要求をマスクします。
  - (8) SR の RB ビットを 1 に設定します。
  - (9) VBR の内容にオフセット H'0000 0400 を加えたアドレスに分岐し、命令 TLB ミス例外処理ルーチンを開始します。
- ソフトウェア処理(命令 TLB ミス例外処理ルーチン)  
外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。
  - (1) 外部メモリのアドレス変換テーブルに記録されているページテーブルエントリの PPN、PR、SZ、C、D、SH、V、WT の各ビットの値を、PTEL に書き込みます。必要なら SA、TC の値を PTEA に書き込みます。
  - (2) エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値を MMUCR レジスタの URC に書き込みます。このとき URC が URB を超えるような場合、LDTLB 命令発行後に適切な値に変更してください。
  - (3) LDTLB 命令を実行させ、PTEH、PTEL、PTEA の内容を TLB に書き込みます。
  - (4) 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB 命令の次の命令以降に RTE 命令を発行してください。

#### 3.6.3 命令 TLB 保護違反例外

命令 TLB 保護違反例外は、命令アクセスした仮想アドレスに一致するアドレス変換情報が ITLB エントリに存在するにもかかわらず、実際のアクセスタイプが PR ビットで指定されるアクセス権で許されていない場合に発生します。命令 TLB 保護違反例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次の通りです。

- ハードウェア処理  
命令 TLB 保護違反例外のとき、ハードウェアは次の処理を行います。
  - (1) 例外が発生した仮想アドレスの VPN を PTEH に設定します。
  - (2) 例外の発生した仮想アドレスを TEA に設定します。
  - (3) 例外コード H'0A0 を EXPEVT に設定します。

- (4) 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
- (5) 例外が発生したときの SR の内容を SSR に設定します。
- (6) SR の MD ビットを 1 に設定し、特権モードに切り換えます。
- (7) SR の BL ビットを 1 に設定し、これ以降の例外要求をマスクします。
- (8) SR の RB ビットを 1 に設定します。
- (9) VBR の内容にオフセット H'0000 0100 を加えたアドレスに分岐し、命令 TLB 保護違反例外処理ルーチンを開始します。

- ソフトウェア処理(命令 TLB 保護違反例外処理ルーチン)

命令 TLB 保護違反を解決し、例外処理からの復帰命令(RTE)を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし LDTLB 命令の次の命令以降に RTE 命令を発行してください。

### 3.6.4 データ TLB 多重ヒット例外

データ TLB 多重ヒット例外は、データアクセスした仮想アドレスに一致する UTLB エントリが複数存在した場合に発生します。ハードウェア ITLB ミスハンドリングにより UTLB を検索する際に UTLB で多重ヒットが発生した場合にも、データ TLB 多重ヒット例外となります。

データ TLB 多重ヒット例外が発生すると、リセットになり、この場合キャッシュのコヒーレンシは保証しません。また例外発生以前の UTLB 内の PPN の内容は壊れることがあります。

- ハードウェア処理

データ TLB 多重ヒット例外のとき、ハードウェアは次の処理を行います。

- (1) 例外の発生した仮想アドレスを TEA に設定します。
- (2) 例外コード H'140 を EXPEVT に設定します。
- (3) リセット処理ルーチン(H'A000 0000)に分岐します。

- ソフトウェア処理(リセットルーチン)

リセット処理ルーチンで多重ヒットを発生させた UTLB エントリを確認します。この例外はプログラムのデバッグ時に用いるためのもので、通常はこの例外を発生させないでください。

### 3.6.5 データ TLB ミス例外

データ TLB ミス例外は、データアクセスした仮想アドレスに対応するアドレス変換情報が UTLB 内に見つからなかったときに発生します。データ TLB ミス例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理

データ TLB ミス例外のとき、ハードウェアは次の処理を行います。

- (1) 例外が発生した仮想アドレスの VPN を PTEH に設定します。
- (2) 例外の発生した仮想アドレスを TEA に設定します。
- (3) 読み出しのとき例外コード H'040 を、書き込みのとき例外コード H'060 を、EXPEVT に設定します (OCBP、OCWBW: 読み出し; OCBI、MOVCA.L: 書き込み)。
- (4) 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
- (5) 例外が発生したときの SR の内容を SSR に設定します。

### 3. メモリマネジメントユニット (MMU)

---

- (6) SR の MD ビットを 1 に設定し、特権モードに切り換えます。
  - (7) SR の BL ビットを 1 に設定し、これ以降の例外要求をマスクします。
  - (8) SR の RB ビットを 1 に設定します。
  - (9) VBR の内容にオフセット H'0000 0400 を加えたアドレスに分岐し、データ TLB ミス例外処理ルーチンを開始します。
- ソフトウェア処理(データ TLB ミス例外処理ルーチン)  
外部メモリのページテーブルを検索し、必要なページテーブルエントリを割り当てるのはソフトウェアの責任です。必要なページテーブルエントリを探して割り当てるために、ソフトウェアでは次のように処理してください。
    - (1) 外部メモリのアドレス変換テーブルに記録されているページテーブルエントリの PPN、PR、SZ、C、D、SH、V、WT の各ビットの値を、PTEL に書き込みます。また、必要なら SA と TC の値を PTEA に書き込んでください。
    - (2) エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値を MMUCR レジスタの URC に書き込みます。このとき URC が URB を超えるような場合、LDTLB 命令発行後に適切な値に変更してください。
    - (3) LDTLB 命令を実行させ、PTEH、PTEL、PTEA の内容を UTLB に書き込みます。
    - (4) 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB 命令の次の命令以降に RTE 命令を発行してください。

#### 3.6.6 データ TLB 保護違反例外

データ TLB 保護違反例外は、データアクセスした仮想アドレスに一致するアドレス変換情報が UTLB エントリに存在するにもかかわらず、実際のアクセスタイプが PR ビットで指定されるアクセス権で許されていない場合に発生します。データ TLB 保護違反例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理  
データ TLB 保護違反例外のとき、ハードウェアは次の処理を行います。
  - (1) 例外が発生した仮想アドレスの VPN を PTEH に設定します。
  - (2) 例外の発生した仮想アドレスを TEA に設定します。
  - (3) 読み出しのとき例外コード H'0A0 を、書き込みのとき例外コード H'0C0 を、EXPEVT に設定します (OCBP、OCBWB: 読み出し; OCBI、MOVCA.L: 書き込み)。
  - (4) 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
  - (5) 例外が発生したときの SR の内容を SSR に設定します。
  - (6) SR の MD ビットを 1 に設定し、特権モードに切り換えます。
  - (7) SR の BL ビットを 1 に設定し、これ以降の例外要求をマスクします。
  - (8) SR の RB ビットを 1 に設定します。
  - (9) VBR の内容にオフセット H'0000 0100 を加えたアドレスに分岐し、データ TLB 保護違反例外処理ルーチンを開始します。
- ソフトウェア処理(データ TLB 保護違反例外処理ルーチン)  
データ TLB 保護違反を解決し、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし LDTLB 命令の次の命令以降に RTE 命令を発行してください。

### 3.6.7 初期ページ書き込み例外

初期ページ書き込み例外は、データアクセス（書き込み）した仮想アドレスに一致するアドレス変換情報が UTLB エントリに存在し、アクセス権も許されているにもかかわらず、D ビットが 0 であった場合に発生します。初期ページ書き込み例外のハードウェアで行われる処理と、ソフトウェアで行う処理は次のとおりです。

- ハードウェア処理
 

初期ページ書き込み例外のとき、ハードウェアは次の処理を行います。

  - (1) 例外が発生した仮想アドレスの VPN を PTEH に設定します。
  - (2) 例外の発生した仮想アドレスを TEA に設定します。
  - (3) 例外コード H'080 を EXPEVT に設定します。
  - (4) 例外が発生した命令のアドレスを指す PC の値を SPC に設定します。もし例外が遅延スロットで発生した場合は、遅延分岐命令のアドレスを指す PC の値を SPC に設定します。
  - (5) 例外が発生したときの SR の内容を SSR に設定します。
  - (6) SR の MD ビットを 1 に設定し、特権モードに切り換えます。
  - (7) SR の BL ビットを 1 に設定し、これ以降の例外要求をマスクします。
  - (8) SR の RB ビットを 1 に設定します。
  - (9) VBR の内容にオフセット H'0000 0100 を加えたアドレスに分岐し、初期ページ書き込み例外処理ルーチンを開始します。
- ソフトウェア処理(初期ページ書き込み例外処理ルーチン)
 

ソフトウェアの責任で、次のように処理してください。

  - (1) 外部メモリから必要なページテーブルエントリを探し出します。
  - (2) 外部メモリのページテーブルエントリの D ビットに 1 を書き込んでください。
  - (3) 外部メモリに記憶されているページテーブルエントリの PPN、PR、SZ、C、D、WT、SH、V のビットの値を PTEL に書き込みます。また必要なら SA と TC の値を PTEA に書き込んでください。
  - (4) エントリ置き換えで置き換えられるエントリをソフトウェアで指定する場合、その値を MMUCR レジスタの URC に書き込みます。このとき URC が URB を超えるような場合、LDTLB 命令発行後に適切な値に変更してください。
  - (5) LDTLB 命令を実行させ、PTEH、PTEL、PTEA の内容を UTLB に書き込みます。
  - (6) 最後に、例外処理からの復帰命令 (RTE) を実行させ、例外処理ルーチンを終わらせ、制御を通常の流れに戻してください。ただし、LDTLB 命令の次の命令以降に RTE 命令を発行してください。

### 3.7 メモリ割り付け TLB の構成

ITLB/UTLB をソフトウェアで管理するために、特権モードのとき、P2 領域のプログラムから MOV 命令によって ITLB/UTLB の内容の読み出し、書き込みが可能です。別の領域のプログラムからアクセスする場合、動作の保証はありません。P2 領域以外への分岐は、この MOV 命令の 8 命令以降に行うようにしてください。ITLB/UTLB は物理メモリ空間の P4 領域に割り付けられています。ITLB では VPN、V、ASID をアドレスアレイとして、PPN、V、SZ、PR、C、SH をデータアレイ 1 として、また SA、TC をデータアレイ 2 としてアクセス可能です。

UTLB では VPN、D、V、ASID をアドレスアレイとして、PPN、V、SZ、PR、C、D、WT、SH をデータアレイ 1 として、また SA、TC をデータアレイ 2 としてアクセス可能です。V と D はアドレスアレイ側からとデータアレイ側からの両方からアクセスできるようになっています。アクセスサイズはロングワードサイズのみ可能です。この領域に対して命令フェッチは行えません。予約ビットに対しては、書き込み値として 0 を指定してください。読み出し値は保証しません。

#### 3.7.1 ITLB アドレスアレイ

ITLB のアドレスアレイは P4 領域の H'F200 0000 ~ H'F2FF FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定（読み出し / 書き込み時）と 32 ビットのデータ部の指定（書き込み時）が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込む VPN、V、ASID を指定します。

アドレス部は、[31 : 24] が ITLB アドレスアレイを示す H'F2 になっており、[9 : 8] でエントリを選択するようになっています。アドレス部 [1 : 0] はロングワードアクセスのため 0 を指定してください。

データ部は、[31 : 10] が VPN を、[8] が V を、[7 : 0] が ASID を示します。

ITLB アドレスアレイに対しては以下の 2 種類の操作が可能です。

(1) ITLB アドレスアレイ リード

アドレス部に設定されたエントリに対応する ITLB エントリから、データ部へ VPN、V、ASID を読み出します。

(2) ITLB アドレスアレイ ライト

アドレス部に設定されたエントリに対応する ITLB エントリに対して、データ部で指定された VPN、V、ASID を書き込みます。

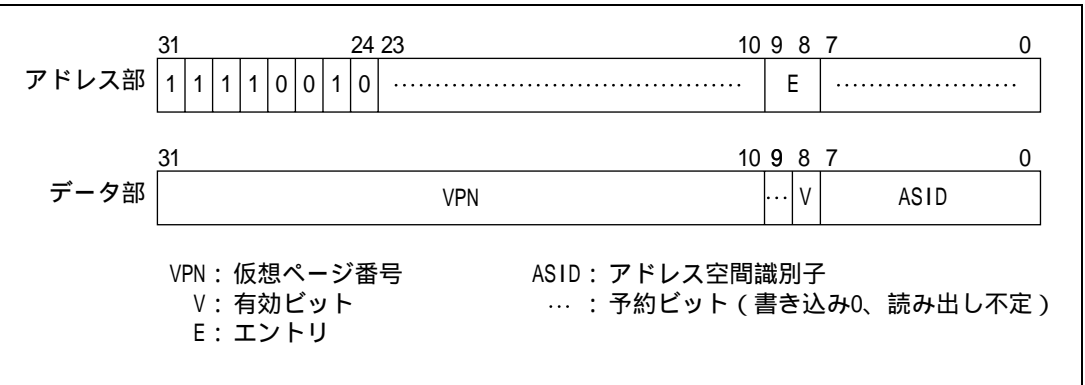


図 3.13 メモリ割り付け ITLB アドレスアレイ



### 3.7.2 ITLB データアレイ 1

ITLB のデータアレイ 1 は P4 領域の H'F300 0000 ~ H'F37F FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定（読み出し / 書き込み時）と 32 ビットのデータ部の指定（書き込み時）が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 1 に書き込む PPN、V、SZ、PR、C、SH を指定します。

アドレス部は、[31 : 23] が ITLB データアレイ 1 を示す H'F30 になっており、[9 : 8] でエントリを選択するようになっています。

データ部は、[28 : 10] が PPN を、[8] が V を、[7]、[4] が SZ を、[6] が PR を、[3] が C を、[1] が SH を示します。

ITLB データアレイ 1 に対しては以下の 2 種類の操作が可能です。

#### (1) ITLB データアレイ 1 リード

アドレス部に設定されたエントリに対応する ITLB エントリから、データ部へ PPN、V、SZ、PR、C、SH を読み出します。

#### (2) ITLB データアレイ 1 ライト

アドレス部に設定されたエントリに対応する ITLB エントリに対して、データ部で指定された PPN、V、SZ、PR、C、SH を書き込みます。

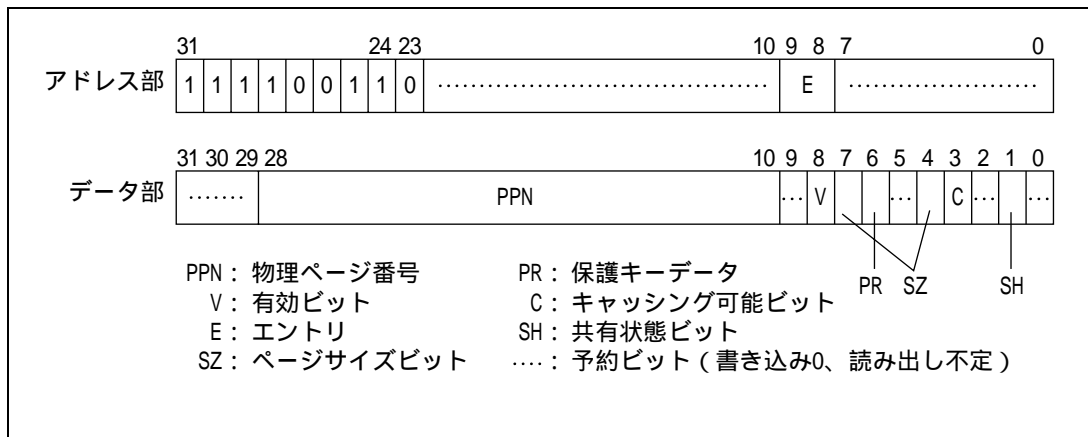


図 3.14 メモリ割り付け ITLB データアレイ 1

### 3.7.3 ITLB データアレイ 2

ITLB のデータアレイ 2 は P4 領域の H'F380 0000 ~ H'F3FF FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定（読み出し / 書き込み時）と 32 ビットのデータ部の指定（書き込み時）が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 2 に書き込む SA、TC を指定します。

アドレス部は、[31 : 23] が ITLB データアレイ 2 を示す H'F38 になっており、[9 : 8] でエントリを選択するようになっています。

データ部は、[2 : 0] が SA を、[3] が TC を示します。

ITLB データアレイ 2 に対しては以下の 2 種類の操作が可能です。

### 3. メモリマネジメントユニット (MMU)

#### (1) ITLB データアレイ 2 リード

データ部に設定されたエントリに対応するITLBエントリから、データ部へSAとTCを読み出します。

#### (2) ITLB データアレイ 2 ライト

アドレス部に設定されたエントリに対応するITLBエントリに対して、データ部で指定されたSAとTCを書き込みます。

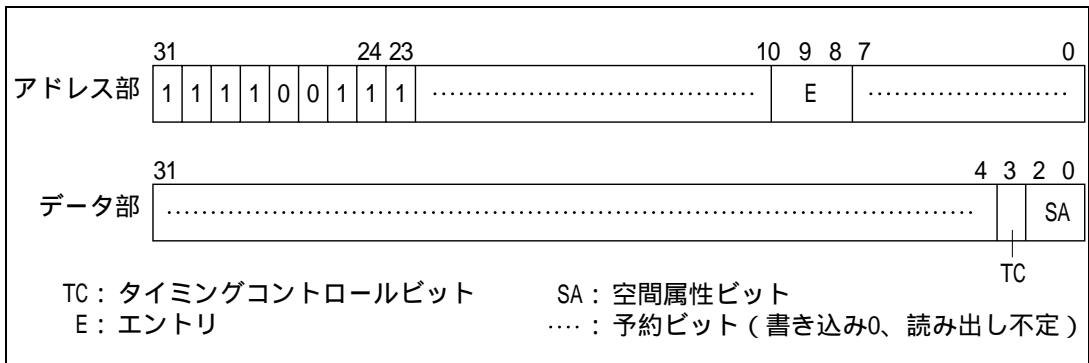


図 3.15 メモリ割り付け ITLB データアレイ 2

### 3.7.4 UTLB アドレスアレイ

UTLB のアドレスアレイは P4 領域の H'F600 0000 ~ H'F6FF FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはアドレスアレイに書き込む VPN、D、V、ASID を指定します。

アドレス部は、[ 31 : 24 ] が UTLB アドレスアレイを示す H'F6 になっており、[ 13 : 8 ] でエントリを選択するようになっています。アドレス部 [ 7 ] の連想ビット (A ビット) は、UTLB アドレスアレイへの書き込みのときのアドレス比較の有無を指定します。

データ部は、[ 31 : 10 ] が VPN を、[ 9 ] が D を、[ 8 ] が V を、[ 7 : 0 ] が ASID を示します。UTLB アドレスアレイに対しては以下の 3 種類の操作が可能です。

#### (1) UTLB アドレスアレイ リード

アドレス部に設定されたエントリに対応するUTLBエントリから、データ部へVPN、D、V、ASIDを読み出します。リードの場合、アドレス部に指定される連想ビットは1でも0でも連想動作は行いません。

#### (2) UTLB アドレスアレイ ライト (連想なし)

アドレス部に設定されたエントリに対応するUTLBエントリに対して、データ部で指定されたVPN、D、V、ASIDを書き込みます。アドレス部のAビットは0にしてください。

## (3) UTLB アドレスアレイ ライト (連想あり)

アドレス部のAビットが1でライトのとき、データ部で指定されたVPNとPTEH.ASIDを用い、UTLBの全エントリとの間で比較が行われます。比較は通常のアドレス比較の規則に従いますが、UTLBにミスした場合は例外は発生せずノーオペレーションとなります。比較によりデータ部で指定したVPNに対応するUTLBエントリが存在した場合、そのエントリに対してデータ部で指定したDとVを書き込みます。一致するエントリが複数存在する場合は、データTLB多重ヒット例外となります。この連想動作はITLBに対しても同時に行われ、ITLB内に一致するエントリが存在した場合はそのエントリに対してVを書き込みます。UTLBでの比較でノーオペレーションとなってもITLBで一致していればITLB側にのみ書き込みは行います。またUTLBとITLBの両方で一致した場合、UTLBの情報がITLBへも書き込まれます。

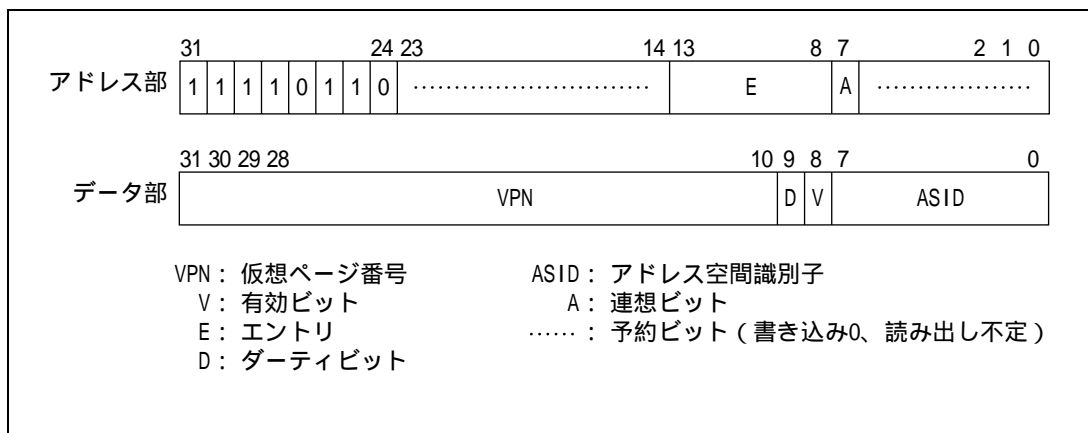


図 3.16 メモリ割り付け UTLB アドレスアレイ

## 3.7.5 UTLB データアレイ 1

UTLB のデータアレイ 1 は P4 領域の H'F700 0000 ~ H'F77F FFFF に割り付けられています。アドレスアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイに書き込む PPN、V、SZ、PR、C、D、SH、WT を指定します。

アドレス部は、[ 31 : 23 ] が UTLB データアレイ 1 を示す H'F70 になっており、[ 13 : 8 ] でエントリを選択するようになっています。

データ部は、[ 28 : 10 ] が PPN を、[ 8 ] が V を、[ 7 ]、[ 4 ] が SZ を、[ 6 : 5 ] が PR を、[ 3 ] が C を、[ 2 ] が D を、[ 1 ] が SH を、[ 0 ] が WT を示します。

UTLB データアレイ 1 に対しては以下の 2 種類の操作が可能です。

## (1) UTLB データアレイ 1 リード

アドレス部に設定されたエントリに対応する UTLB エントリから、データ部へ PPN、V、SZ、PR、C、D、SH、WT を読み出します。

## (2) UTLB データアレイ 1 ライト

アドレス部に設定されたエントリに対応する UTLB エントリに対して、データ部で指定された PPN、V、SZ、PR、C、D、SH、WT を書き込みます。

### 3. メモリマネジメントユニット (MMU)

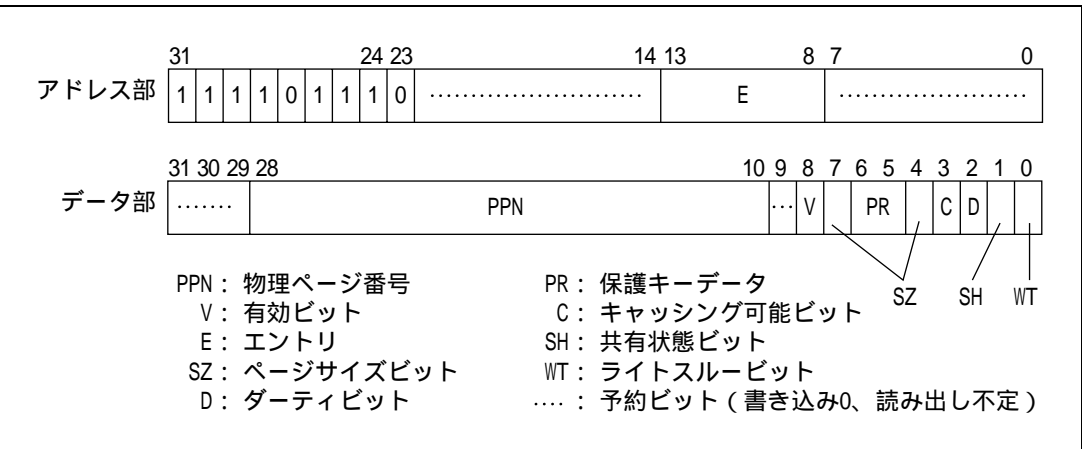


図 3.17 メモリ割り付け UTLB データアレイ 1

#### 3.7.6 UTLB データアレイ 2

UTLB のデータアレイ 2 は P4 領域の HF780 0000 ~ HF7FF FFFF に割り付けられています。データアレイのアクセスには、32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定 (書き込み時) が必要です。アドレス部はアクセスするエントリを選択するための情報を指定し、データ部にはデータアレイ 2 に書き込む SA、TC を指定します。

アドレス部は、[ 31 : 23 ] が UTLB データアレイ 2 を示す HF78 になっており、[ 13 : 8 ] でエントリを選択するようになっています。

データ部は、[ 3 ] が TC を、[ 2 : 0 ] が SA を示します。

UTLB データアレイ 2 に対しては以下の 2 種類の操作が可能です。

##### (1) UTLB データアレイ 2 リード

アドレス部に設定されたエントリに対応する UTLB エントリから、データ部へ SA と TC を読み出します。

##### (2) UTLB データアレイ 2 ライト

アドレス部に設定されたエントリに対応する UTLB エントリに対して、データ部で指定された SA と TC を書き込みます。

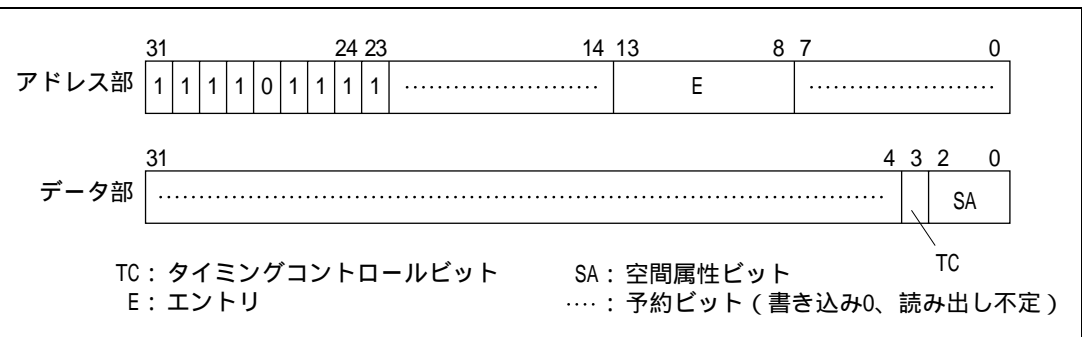


図 3.18 メモリ割り込み UTLB データアレイ 2

## 4. キャッシュ

### 4.1 概要

#### 4.1.1 特長

SH7091 は命令用に 8k バイトの命令キャッシュ (IC) を、データ用に 16k バイトのオペランドキャッシュ (OC) を内蔵しています。またオペランドキャッシュの半分のメモリ (8k バイト) を内蔵 RAM としても利用できます。キャッシュの特長を表 4.1 に示します。

表 4.1 キャッシュの特長

| 項目     | 命令キャッシュ     | オペランドキャッシュ                                 |
|--------|-------------|--|
| 容量     | 8k バイトキャッシュ | 16k バイトキャッシュもしくは<br>8k バイトキャッシュ+8k バイト RAM |
| 方式     | ダイレクトマップ    | ダイレクトマップ                                   |
| ラインサイズ | 32 バイト      | 32 バイト                                     |
| エントリ数  | 256 エントリ    | 512 エントリ                                   |
| ライト方式  |             | コピーバック/ライトスルー選択可能                          |

| 項目     | ストアキュー   |
|--------|--|
| 容量     | 2 × 32 バイト   |
| アドレス   | H'E000 0000 ~ H'E3FF FFFF                          |
| ライト    | ストア命令 (1 サイクルライト)                                  |
| ライトバック | プリフェッチ命令   |
| アクセス権  | MMU off : MMUCR.SQMD による<br>MMU on : 個々のページ PR による |

#### 4.1.2 レジスタの構成

キャッシュ制御レジスタの構成を表 4.2 に示します。

表 4.2 レジスタの構成

| 名称              | 略称    | R/W | 初期値*1       | P4 アドレス*2   | エリア 7 アドレス*2 | アクセス<br>サイズ |
|-----------------|-------|-----|-------------|-------------|--------------|-------------|
| キャッシュ制御レジスタ     | CCR   | R/W | H'0000 0000 | H'FF00 001C | H'1F00 001C  | 32          |
| キューアドレス制御レジスタ 0 | QACR0 | R/W | 不定          | H'FF00 0038 | H'1F00 0038  | 32          |
| キューアドレス制御レジスタ 1 | QACR1 | R/W | 不定          | H'FF00 003C | H'1F00 003C  | 32          |

【注】 \*1 初期値とはパワーオンリセット、マニユアルリセット後の値のことを指します。

\*2 P4 アドレスは仮想 / 物理アドレス空間の P4 領域を用いた場合のものです。TLB を用いて物理アドレス空間のエリア 7 からアクセスする場合、アドレスの上位 3 ビットが無視されます。

## 4.2 レジスタの説明

キャッシュに関連するレジスタとして、キャッシュ制御レジスタ (CCR) があります。

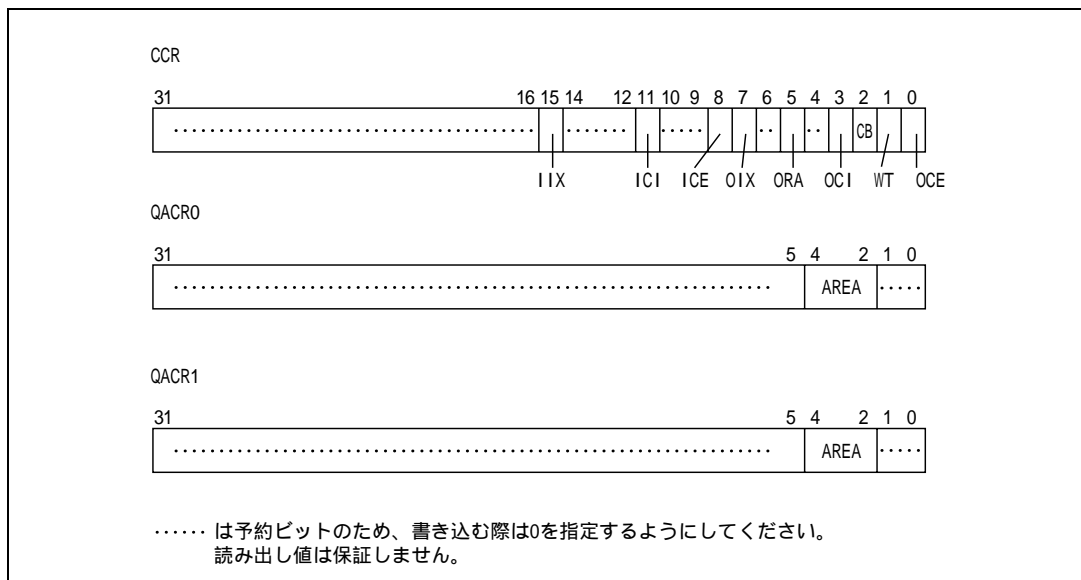


図 4.1 キャッシュ制御レジスタ (CCR)

### (1) キャッシュ制御レジスタ (CCR)

CCR には以下のビットがあります。

- IIX:IC index enable
- ICI:IC Invalidation
- ICE:IC Enable
- OIX:OC index enable
- ORA:OC RAM enable
- OCI:OC Invalidation
- CB:Copy-Back enable
- WT:Write-Through enable
- OCE:OC Enable

CCR へのロングワードアクセスは、P4 領域の H'FF00 001C とエリア 7 の H'1F00 001C から実行されます。CCR ビットは下記に示すようなキャッシュの設定に使われます。したがって、CCR の書き換えは非キャッシュの P2 領域のプログラムのみで行わなければなりません。CCR 更新後に、P0、P1、P3、U0 領域へのデータアクセス命令は、CCR 更新命令から 4 命令以降に配置してください。また、P0、P1、P3、U0 領域への分岐命令は、CCR 更新命令から 8 命令以降に配置してください。

- IIX : IC インデックス有効ビット
  - 0 : アドレス [ 12 : 5 ] が IC のエントリ選択に使われる
  - 1 : アドレス [ 25 ]、[ 11 : 5 ] が IC のエントリ選択に使われる

- ICI : IC 無効化ビット  
このビットに 1 を書き込むと IC の全エントリの V ビットを 0 にします。読み出すと常に 0 が読めます。
- ICE : IC 有効ビット  
IC を使用するかどうかを示します。ただし、アドレス変換が行われる場合はページ管理情報の C ビットも 1 でなければ IC を使用できません。
  - 0 : IC を使用しない
  - 1 : IC を使用する
- OIX : OC インデックス有効ビット
  - 0 : アドレス [ 13 : 5 ] が OC のエントリ選択に使われる
  - 1 : アドレス [ 25 ]、[ 12 : 5 ] が OC のエントリ選択に使われる
- ORA : OC RAM ビット  
OC が有効 ( OCE = 1 ) のとき、OC のエントリ 128 ~ 255 と 384 ~ 511 の 8k バイトを RAM として使用するかどうかを指定します。OC が有効でない ( OCE = 0 ) ときは、ORA ビットは 0 に設定してください。
  - 0 : 16k バイトをキャッシュとして使用
  - 1 : 8k バイトをキャッシュ、8k バイトを RAM として使用
- OCI : OC 無効化ビット  
このビットに 1 を書き込むと OC の全エントリの V、U ビットを 0 にします。読み出すと常に 0 が読めます。
- CB: コピーバックビット  
P1 領域のキャッシュへの書き込みモードを示します。
  - 0 : ライトスルーモード
  - 1 : コピーバックモード
- WT : ライトスルービット  
P0、U0、P3 領域のキャッシュへの書き込みモードを示します。  
ただし、アドレス変換が行われる場合はページ管理情報の WT ビットの値を優先します。
  - 0 : コピーバックモード
  - 1 : ライトスルーモード
- OCE : OC 有効ビット  
OC を使用するかどうかを示します。ただしアドレス変換が行われる場合はページ管理情報の C ビットも 1 でなければ OC を使用できません。
  - 0 : OC を使用しない
  - 1 : OC を使用する

## (2) キューアドレス制御レジスタ 0 ( QACR0 )

QACR0 へのロングワードアクセスは P4 領域の H'FF00 0038 とエリア 7 の H'1F00 0038 から実行されます。QACR0 は MMU がオフのとき、ストアキュー 0 ( SQ0 ) がマップされているエリアを設定します。

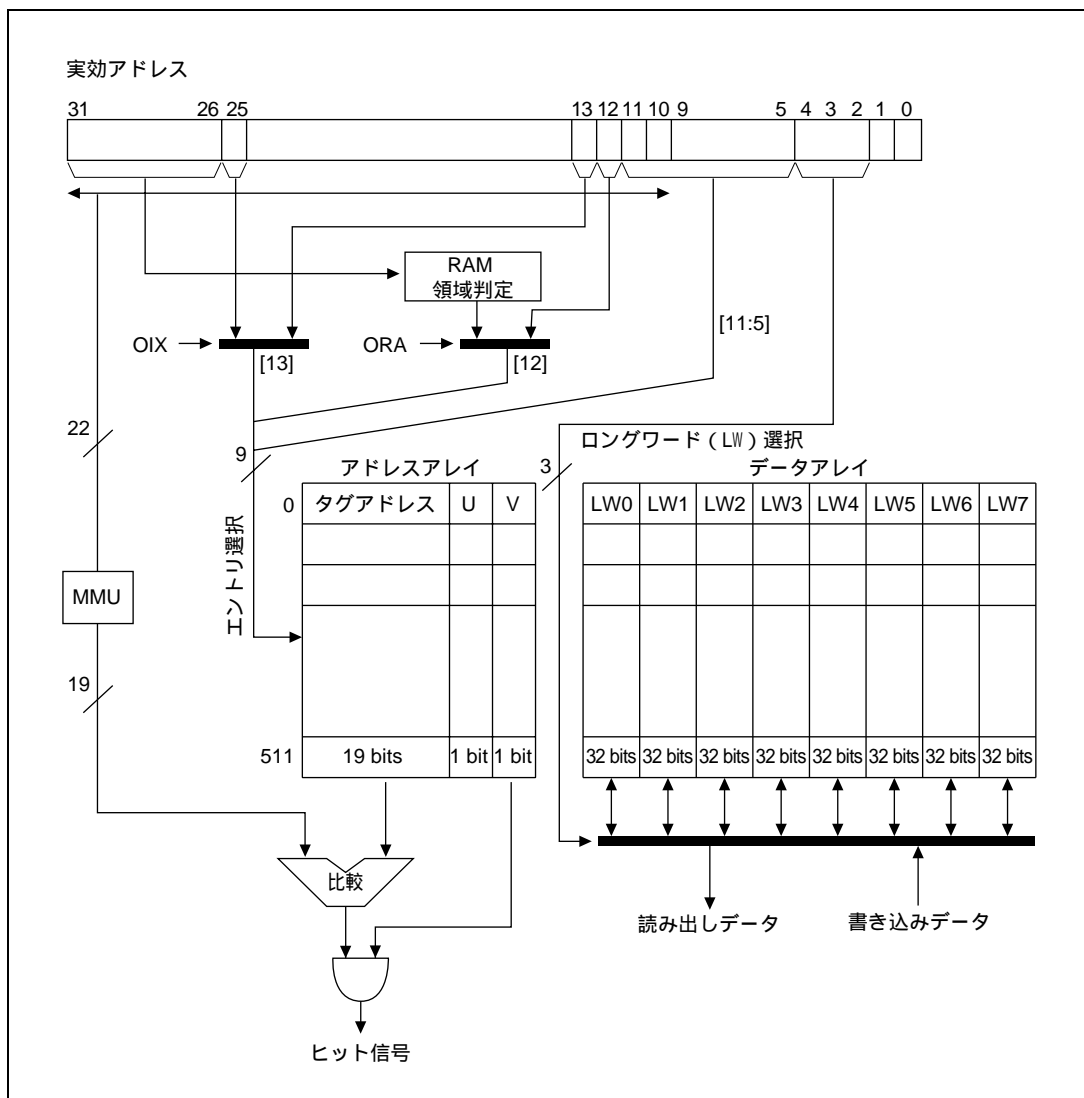
## (3) キューアドレス制御レジスタ 1 (QACR1)

QACR1 へのロングワードアクセスは P4 領域の H'FF00 003C とエリア 7 の H'1F00 003C から実行されます。QACR1 は MMU がオフのとき、ストアキュー 1 (SQ1) がマップされているエリアを設定します。

## 4.3 オペランドキャッシュ (OC)

## 4.3.1 構成

図 4.2 にオペランドキャッシュの構成を示します。





オペランドキャッシュは 512 本のキャッシュラインから構成され、それぞれのラインは 19 ビットのタグ、V ビット、U ビットおよび 32 バイトのデータから成ります。

#### (1) タグ

キャッシュされるデータラインの外部メモリアドレス 29 ビットの上位 19 ビットを格納します。タグはパワーオンリセット、マニュアルリセットで初期化されません。

#### (2) V ビット (有効ビット)

キャッシュラインに有効なデータが格納されているかを示します。このビットが 1 のとき、そのキャッシュラインのデータは有効となります。V ビットはパワーオンリセットで 0 に初期化されますが、マニュアルリセットでは値を保持します。

#### (3) U ビット (ダーティビット)

コピーバックモードでキャッシュを使用中に、キャッシュラインヘータを書き込んだとき、U ビットが 1 になります。つまり U ビットはキャッシュライン中のデータと外部メモリ中のデータとの不一致を示します。メモリ割り付けキャッシュ (「4.5 メモリ割り付けキャッシュの構成」参照) をアクセスすることにより U ビットを書き換ええない限り、ライトスルーモードでキャッシュを使用中は U ビットが 1 になることはありません。U ビットはパワーオンリセットで 0 に初期化されますが、マニュアルリセットでは値を保持します。

#### (4) データ部

データ部には 1 キャッシュラインあたり 32 バイト (256 ビット) のデータが格納されます。データレイはパワーオンリセット、マニュアルリセットで初期化されません。

### 4.3.2 リード動作

OC が有効 (CCR.OCE = 1) かつキャッシング可能な領域から実効アドレスによってデータを読み出す場合、キャッシュは以下のように動作します。

- (1) 実効アドレスのビット [13 : 5] でインデックスされるキャッシュラインからタグと V ビットと U ビットを読み出します。
- (2) 実効アドレスを MMU により変換したアドレスのビット [28 : 10] とタグを比較し、
  - ・ タグが一致かつ V ビットが 1 の場合 (3A)
  - ・ タグが一致かつ V ビットが 0 の場合 (3B)
  - ・ タグが不一致かつ V ビットが 0 の場合 (3B)
  - ・ タグが不一致かつ V ビットが 1 かつ U ビットが 0 の場合 (3B)
  - ・ タグが不一致かつ V ビットが 1 かつ U ビットが 1 の場合 (3C)

#### (3A) キャッシュヒット

実効アドレスのビット [13 : 5] でインデックスされるキャッシュラインのデータ部から、実効アドレスのビット [4 : 0] でインデックスされるデータをアクセスサイズ (クワッドワード / ロングワード / ワード / バイト) に応じて読み出します。

#### (3B) キャッシュミス (書き戻しなし)

実効アドレスに対応する外部メモリ空間から、キャッシュラインヘータを読み込みます。データの読み込みは実効アドレスに対応するロングワードデータから順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPU へ読み出しデータを返します。残りのキャッシュ 1 ライン分のデータが読み込まれている間、CPU は次の処理

を実行することができます。キャッシュは1ライン分のデータの読み込みが完了した時点で、実効アドレスに対応するタグを登録し、Vビットに1を書き込みます。

(3C) キャッシュミス（書き戻しあり）

実効アドレスのビット[13:5]でインデックスされるキャッシュラインのタグとデータ部をライトバックバッファへ退避します。そして実効アドレスに対応する外部メモリ空間から、キャッシュラインへデータを読み込みます。データの読み込みは実効アドレスに対応するロングワードデータから順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを返します。残りのキャッシュ1ライン分のデータが読み込まれている間、CPUは次の処理を実行することができます。キャッシュは1ライン分のデータの読み込みが完了した時点で、実効アドレスに対応するタグを登録し、Vビットに1をUビットに0を書き込みます。その後ライトバックバッファのデータを外部メモリへ書き戻します。

### 4.3.3 ライト動作

OCが有効（CCR.OCE=1）かつキャッシング可能な領域に対し実効アドレスによってデータが書き込まれる場合、キャッシュは以下のように動作します。

- (1) 実効アドレスのビット[13:5]でインデックスされるキャッシュラインからタグとVビットとUビットを読み出します。
- (2) 実効アドレスをMMUにより変換したアドレスのビット[28:10]とタグを比較し、

コピーバック    ライトスルー

|                            |      |      |
|----------------------------|------|------|
| ・タグが一致かつVビットが1の場合          | (3A) | (3B) |
| ・タグが一致かつVビットが0の場合          | (3C) | (3D) |
| ・タグが不一致かつVビットが0の場合         | (3C) | (3D) |
| ・タグが不一致かつVビットが1かつUビットが0の場合 | (3C) | (3D) |
| ・タグが不一致かつVビットが1かつUビットが1の場合 | (3E) | (3D) |

(3A) キャッシュヒット（コピーバック）

実効アドレスのビット[13:5]でインデックスされるキャッシュラインのデータ部の実効アドレスのビット[4:0]でインデックスされるデータに対し、アクセスサイズ（クワッドワード/ロングワード/ワード/バイト）によりデータの書き込みを行います。そしてUビットに1を設定します。

(3B) キャッシュヒット（ライトスルー）

実効アドレスのビット[13:5]でインデックスされるキャッシュラインのデータ部の実効アドレスのビット[4:0]でインデックスされるデータに対し、アクセスサイズ（クワッドワード/ロングワード/ワード/バイト）によりデータの書き込みを行います。書き込みは指定されたアクセスサイズを用いた外部メモリと対応して実行します。

(3C) キャッシュミス（コピーバック、ライトバックなし）

実効アドレスのビット[13:5]でインデックスされるキャッシュラインのデータ部の実効アドレスのビット[4:0]でインデックスされるデータに対し、アクセスサイズ（クワッドワード/ロングワード/ワード/バイト）によりデータの書き込みを行います。そして実効アドレスに対応する外部メモリ空間から、キャッシュラインへデータを読み込みます。データの読み込みは実効アドレスに対応するロングワードデータから順にラップアラウンド方式で行い、書き込んだデータを除いたキャッシュ1ライン分のデータが読み込まれます。この間、CPUは次の処理を実行することができます。キャッシュは1ライン分のデータの読み込みが完了した時点で、実効アドレスに対応するタグを登録し、VビットとUビットに1を書き込みます。

## (3D) キャッシュミス（ライトスルー）

実効アドレスに対応した外部メモリへ、設定されたアクセスサイズのライトを行います。  
この場合、キャッシュへのライトは行われません。

## (3E) キャッシュミス（コピーバック、ライトバックあり）

実効アドレスのビット [13:5] でインデックスされるキャッシュラインのタグとデータ部をライトバックバッファへ退避した後、実効アドレスのビット [13:5] でインデックスされるキャッシュラインのデータ部の実効アドレスのビット [4:0] でインデックスされるデータに対し、アクセスサイズ（クワッドワード/ロングワード/ワード/バイト）によりデータの書き込みを行います。そして実効アドレスに対応する外部メモリ空間から、キャッシュラインへデータを読み込みます。データの読み込みは実効アドレスに対応するロングワードデータから順にラップアラウンド方式で行い、書き込んだデータを除いたキャッシュ 1 ライン分のデータが読み込まれます。この間、CPU は次の処理を実行することができます。キャッシュは 1 ライン分のデータの読み込みが完了した時点で、実効アドレスに対応するタグを登録し、V ビットと U ビットに 1 を書き込みます。その後ライトバックバッファのデータを外部メモリへ書き戻します。

## 4.3.4 ライトバックバッファ

キャッシュミスによりダーティなキャッシュのエントリを外部メモリに追い出す必要が生じた場合、キャッシュへのデータの読み込みを優先させ性能を向上させるために、追い出すキャッシュラインのデータを格納するためのライトバックバッファを SH7091 は内蔵しています。ライトバックバッファはキャッシュ 1 ライン分のデータと追い出す先の物理アドレスで構成されます。

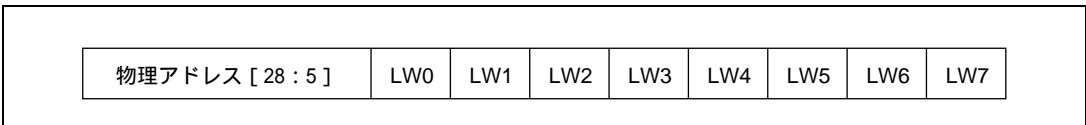


図 4.3 ライトバックバッファの構成

## 4.3.5 ライトスルーバッファ

ライトスルーモード時のデータの書き込みや、キャッシング不可能な領域に対する書き込み動作において、書き込みデータを保持するための 64 ビットのバッファを SH7091 は内蔵しています。これにより CPU はライトスルーバッファへの書き込みが完了すると、外部メモリへの書き込みの完了を待たずに次の動作へ移ります。

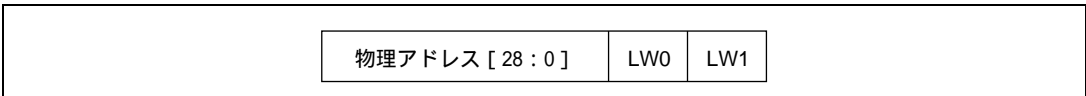


図 4.4 ライトスルーバッファの構成

## 4.3.6 RAM モード

CCR.ORA を 1 にセットすると、オペランドキャッシュの 8k バイトを RAM として使用することができます。RAM となるエントリは、オペランドキャッシュのエントリ 128~255 と 384~511 までです。それ以外のエントリはキャッシュとして利用できます。RAM へはアドレスの H'7C00 0000 ~ H'7FFF FFFF を用いてアクセスができます。オペランドキャッシュの RAM 領域へはバイト/ワード/ロングワード/クワッドワードサイズのデータの読み出し/書き込みが可能です。この領域に対して命令フェッチは行えません。

## 4. キャッシュ

---

RAMの使用例を以下に示します。ここではOC エントリ 128～255 の4kB をRAM 領域1 とし、OC エントリ 384～511 までの4kB をRAM 領域2 とします。

- OC インデックスモードがオフの場合 (CCR.OIX = 0)
  - H'7C00 0000 ~ H'7C00 0FFF (4kB) : RAM領域1に対応
  - H'7C00 1000 ~ H'7C00 1FFF (4kB) : RAM領域1に対応
  - H'7C00 2000 ~ H'7C00 2FFF (4kB) : RAM領域2に対応
  - H'7C00 3000 ~ H'7C00 3FFF (4kB) : RAM領域2に対応
  - H'7C00 4000 ~ H'7C00 4FFF (4kB) : RAM領域1に対応
  - : : :

以下H'7FFF FFFFまでのRAM領域1、2が8kB置きに繰り返し現れます。

このため連続した8kBのRAM領域を確保する場合、たとえば、H'7C00 1000 ~ H'7C00 2FFF の領域を用います。

- OC インデックスモードがオンの場合 (CCR.OIX = 1)
  - H'7C00 0000 ~ H'7C00 0FFF (4kB) : RAM領域1に対応
  - H'7C00 1000 ~ H'7C00 1FFF (4kB) : RAM領域1に対応
  - H'7C00 2000 ~ H'7C00 2FFF (4kB) : RAM領域1に対応
  - : : :
  - H'7DFF F000 ~ H'7DFF FFFF (4kB) : RAM領域1に対応
  - H'7E00 0000 ~ H'7E00 0FFF (4kB) : RAM領域2に対応
  - H'7E00 1000 ~ H'7E00 1FFF (4kB) : RAM領域2に対応
  - : : :
  - H'7FFF F000 ~ H'7FFF FFFF (4kB) : RAM領域2に対応

RAM領域1、2の区別はアドレス [ 25 ] で行われるため、連続した8kBのRAM領域の確保はH'7DFF F000 ~ H'7E00 0FFFの領域で行ってください。

### 4.3.7 OC インデックスモード

CCR.OIX を 1 にセットすると、実効アドレスの [ 25 ] を用いて OC のインデックスを実行することができます。これを OC インデックスモードと呼びます。通常モードでは CCR.OIX が 0 の状態で、実効アドレスの [ 13 : 5 ] を用いて OC のインデックスを実行します。したがって、連続した 16 k バイト以上のデータを処理する場合、このデータは OC のすべてを利用します。この結果、キャッシュミスが頻発するようになります。インデックスモードを使用すると実効アドレスの [ 25 ] により OC を 2 つの 8k バイト領域として処理することができ、キャッシュの効率的な利用が可能です。

### 4.3.8 キャッシュと外部メモリとのコヒーレンシ

キャッシュと外部メモリとのコヒーレンシはソフトウェアで保証してください。SH7091 ではキャッシュを操作する命令として新たに次の 4 命令をサポートしています。各命令の詳細はプログラミングマニュアルを参照してください。

- |             |                  |                      |
|-------------|------------------|----------------------|
| • インバリデイト命令 | : OCBI @Rn       | : キャッシュの無効化 (書き戻しなし) |
| • パージ命令     | : OCBP @Rn       | : キャッシュの無効化 (書き戻しあり) |
| • ライトバック命令  | : OCBWB @Rn      | : キャッシュの書き戻し         |
| • アロケート命令   | : MOVCA.L R0,@Rn | : キャッシュの確保           |

### 4.3.9 プリフェッチ動作

キャッシュミスにより発生するキャッシュフィルのペナルティを削減するために、SH7091 ではプリフェッチ命令をサポートしています。リード動作、ライト動作によりキャッシュミスの発生することがわかっていた場合、プリフェッチ命令によりあらかじめキャッシュヘデータをフィルしておく、リード動作、ライト動作においてキャッシュミスが発生させないようにできます。これによりソフトウェアの性能が向上します。すでにキャッシュに格納されているデータに対して、プリフェッチ命令を実行したり、プリフェッチしようとしたアドレスが UTLB にミスした場合やプロテクションに違反した場合は、ノーオペレーションとなり例外を発生させません。プリフェッチ命令の詳細はプログラミングマニュアルを参照してください。

- プリフェッチ命令 : PREF @Rn

## 4.4 命令キャッシュ (IC)

### 4.4.1 構成

図 4.5 に命令キャッシュの構成を示します。

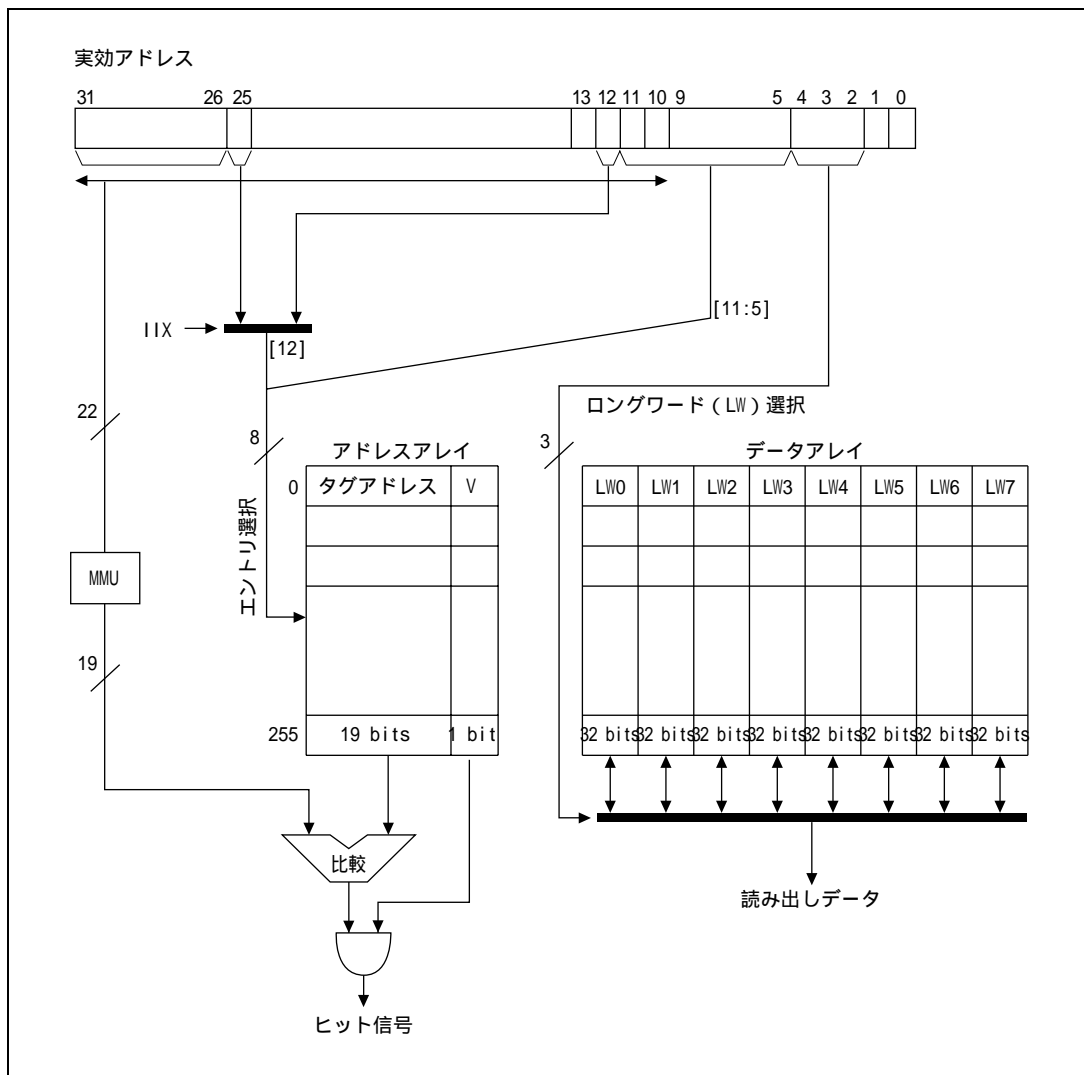


図 4.5 命令キャッシュの構成

命令キャッシュは 256 本のキャッシュラインから構成され、それぞれのラインは 19 ビットのタグ、V ビット、および 32 バイトのデータ（16 命令）から成ります。

#### (1) タグ

キャッシュされるデータラインの外部メモリアドレス 29 ビットの上位 19 ビットを格納します。タグはパワーオンリセット、マニュアルリセットで初期化されません。

- (2) V ビット (有効ビット)  
キャッシュラインに有効なデータが格納されているかを示します。このビットが1のとき、そのキャッシュラインのデータは有効となります。Vビットはパワーオンリセットで0に初期化されますが、マニュアルリセットでは値を保持します。
- (3) データアレイ  
データ部には1 キャッシュラインあたり32バイト (256ビット) のデータが格納されます。データアレイはパワーオンリセット、マニュアルリセットで初期化されません。

#### 4.4.2 リード動作

IC が有効 (CCR.ICE = 1) かつキャッシング可能な領域から実効アドレスによって命令フェッチを行う場合、命令キャッシュは以下のように動作します。

- (1) 実効アドレスのビット [12 : 5] でインデックスされるキャッシュラインからタグと V ビットを読み出します。
- (2) 実効アドレスを MMU により変換したアドレスのビット [28 : 10] とタグを比較し、
  - タグが一致かつ V ビットが1の場合 (3A)
  - タグが一致かつ V ビットが0の場合 (3B)
  - タグが不一致かつ V ビットが0の場合 (3B)
  - タグが不一致かつ V ビットが1の場合 (3B)
- (3A) キャッシュヒット  
実効アドレスのビット [12 : 5] でインデックスされるキャッシュラインのデータ部から、実効アドレスのビット [4 : 2] でインデックスされるデータを命令として読み出します。
- (3B) キャッシュミス  
実効アドレスに対応する外部メモリ空間から、キャッシュラインヘータを読み込みます。データの読み込みは実効アドレスに対応するロングワードデータから順にラップアラウンド方式で行い、該当するデータがキャッシュへ到着した時点で、CPUへ読み出しデータを命令として返します。キャッシュは1ライン分のデータの読み込みが完了した時点で、実効アドレスに対応するタグを登録し、Vビットに1を書き込みます。

#### 4.4.3 IC インデックスモード

CCR.IIX を1にセットすると、実効アドレスの [25] を用いて IC のインデックスを実行することができます。これを IC インデックスモードと呼びます。通常モードでは CCR.IIX が0の状態、実効アドレスの [12 : 5] を用いて IC のインデックスを実行します。したがって、連続した 8k バイト以上のプログラムを処理する場合、このプログラムは IC のすべてを利用します。この結果、キャッシュミスが頻発するようになります。インデックスモードを使用すると有効アドレスの [25] により IC を2つの 4k バイト領域として処理することができ、キャッシュの効率的な利用が可能です。

### 4.5 メモリ割り付けキャッシュの構成

IC、OC をソフトウェアで管理するために、特権モードのとき、P2 領域のプログラムから MOV 命令によって IC、OC の内容の読み出し / 書き込みが可能です。他の領域のプログラムからのアクセスは保証しません。この場合、P0、U0、P1、P3 領域への分岐命令はこの MOV 命令の 8 命令以降に実行するようにしてください。IC、OC は物理メモリ空間の P4 領域に割り付けられています。IC のアドレスアレイ / データアレイ、OC のアドレスアレイ / データアレイともにデータアクセスのみ可能でアクセスサイズはロングワード固定です。この領域に対して命令フェッチは行えません。予約ビットには 0 を設定するようにしてください。予約ビットの読み出し値は不定です。

#### 4.5.1 IC アドレスアレイ

IC のアドレスアレイは P4 領域の H'F000 0000 ~ H'FOFF FFFF に割り付けられています。アドレスアレイのアクセスには 32 ビットのアドレス部の指定（読み出し / 書き込み時）と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするエントリを指定し、データ部には書き込みタグと V ビットを指定します。

アドレス部は [31 : 24] が IC アドレスアレイを示す H'F0 になっており、[12 : 5] でエントリを指定するようになっていきます。CCR.IIX はこのエントリ指定に影響を与えません。アドレス部 [3] の連想ビット (A ビット) は IC アドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定なのでアドレス部 [1 : 0] は 0 を指定してください。

データ部は [31 : 10] がタグを、[0] が V ビットを示します。IC アドレスアレイのタグは 19 ビットのためデータ部 [31 : 29] は連想を行わない書き込みのときには使用されません。データ部 [31 : 29] は連想を行う書き込みのときのみ仮想アドレスの指定のため用います。

IC アドレスアレイに対しては次の 3 種類の操作が可能です。

##### (1) IC アドレスアレイ リード

アドレス部に設定されたエントリに対応する IC エントリから、データ部へタグと V ビットを読み出します。リードの場合アドレス部に指定される連想ビットは 1 でも 0 でも連想動作は行いません。

##### (2) IC アドレスアレイ ライト（連想なし）

アドレス部に設定されたエントリに対応する IC エントリに対して、データ部で指定されたタグと V ビットを書き込みます。アドレス部の A ビットは 0 にしてください。

##### (3) IC アドレスアレイ ライト（連想あり）

アドレス部の A ビットが 1 でライトのとき、アドレス部で指定されたエントリに格納されているタグとデータ部で指定されたタグとの間で一致判定が行われます。このとき MMU がイネーブルなら、データ部 [31 : 10] で指定した仮想アドレスを ITLB を用い物理アドレスに変換してから一致判定を行います。アドレスが一致し V ビットが 1 であったなら、データ部で指定した V ビットを IC のエントリに書き込みます。本動作は IC の特定のエントリの無効化に用いられます。アドレス変換の際に命令 ITLB にミスした場合や、一致判定で不一致になった場合、ノーオペレーションとなり書き込みは行われません。アドレス変換の際に命令 TLB 多重ヒット例外が発生した場合は、命令 TLB 多重ヒット例外処理ルーチンへ処理が移ります。



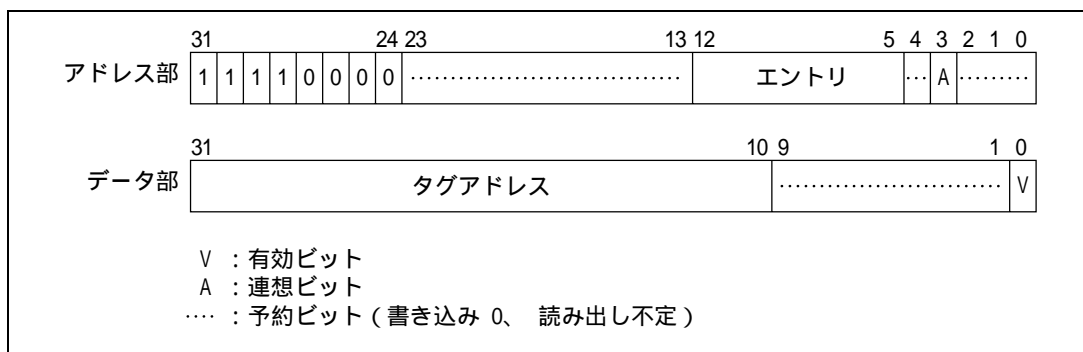


図 4.6 メモリ割り付け IC アドレスアレイ

#### 4.5.2 IC データアレイ

IC のデータアレイは P4 領域の H'F100 0000 ~ H'F1FF FFFF に割り付けられています。データアレイのアクセスには 32 ビットのアドレス部の指定 (読み出し / 書き込み時) と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は [ 31 : 24 ] が IC データアレイを示す H'F1 になっており、[ 12 : 5 ] でエントリを指定するようになっています。CCR.IIX はこのエントリ指定に影響を与えません。アドレス部 [ 4 : 2 ] はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部 [ 1 : 0 ] は 0 を指定してください。

データ部はロングワードデータの指定に用います。

IC データアレイに対しては次の 2 種類の操作が可能です。

### (1) IC データアレイ リード

アドレス部に設定されたエントリに対応するICエントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

## (2) IC データアレイ ライト

アドレス部に設定されたエントリに対応するICエントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。

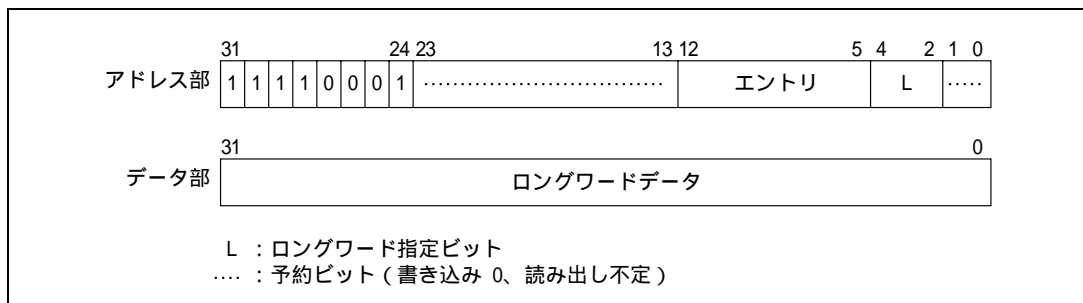


図 4.7 メモリ割り付け IC データアレイ

### 4.5.3 OC アドレスアレイ

OC のアドレスアレイは P4 領域の H'F400 0000 ~ H'F4FF FFFF に割り付けられています。アドレスアレイのアクセスには 32 ビットのアドレス部の指定（読み出し / 書き込み時）と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするエントリを指定し、データ部には書き込みタグと U ビットと V ビットを指定します。

アドレス部は [31 : 24] が OC アドレスアレイを示す H'F4 になっており、[13 : 5] でエントリを指定するようになっていきます。CCR.OIX および CCR.ORA はこのエントリ指定に影響を与えません。アドレス部 [3] の連想ビット（A ビット）は OC アドレスアレイへの書き込みのときに連想を行うかどうかを指定します。アクセスはロングワードサイズ固定ですのでアドレス部 [1 : 0] は 0 を指定してください。

データ部は [31 : 10] がタグを、[1] が U ビットを、[0] が V ビットを示します。OC アドレスアレイのタグは 19 ビットのため、データ部 [31 : 29] は連想を行わない書き込みのときには使用されません。データ部 [31 : 29] は連想を行う書き込みのときのみ仮想アドレスの指定のため用います。

OC アドレスアレイに対しては次の 3 種類の操作が可能です。

#### (1) OC アドレスアレイ リード

アドレス部に設定されたエントリに対応する OC エントリから、データ部へタグと U ビットと V ビットを読み出します。リードの場合、アドレス部に指定される連想ビットは 1 でも 0 でも連想動作は行いません。

#### (2) OC アドレスアレイ ライト（連想なし）

アドレス部に設定されたエントリに対応する OC エントリに対して、データ部で指定されたタグと U ビットと V ビットを書き込みます。アドレス部の A ビットは 0 にしてください。

書き込みを U ビットが 1、V ビットが 1 のキャッシュラインに対して行った場合、そのキャッシュラインの書き戻しを行った後、データ部で指定されたタグと U ビットと V ビットを書き込みます。

#### (3) OC アドレスアレイ ライト（連想あり）

アドレス部の A ビットが 1 でライトのとき、アドレス部で指定されたエントリに格納されているタグとデータ部で指定されたタグとの間で一致判定が行われます。このとき MMU がイネーブルなら、データ部 [31 : 10] で指定した仮想アドレスを UTLB を用い物理アドレスに変換してから一致判定を行います。アドレスが一致し V ビットが 1 であったなら、データ部で指定した U ビットと V ビットを OC のエントリに書き込みます。本動作は OC の特定のエントリの無効化に用いられます。このとき OC のエントリの U ビットが 1 で、V ビットに 0 もしくは U ビットに 0 を書き込んだ場合、書き戻しが発生します。アドレス変換の際に UTLB にミスした場合や、一致判定で不一致になった場合、ノーオペレーションとなり書き込みは行われません。アドレス変換の際にデータ TLB 多重ヒット例外が発生した場合はデータ TLB 多重ヒット例外処理ルーチンへ処理が移ります。

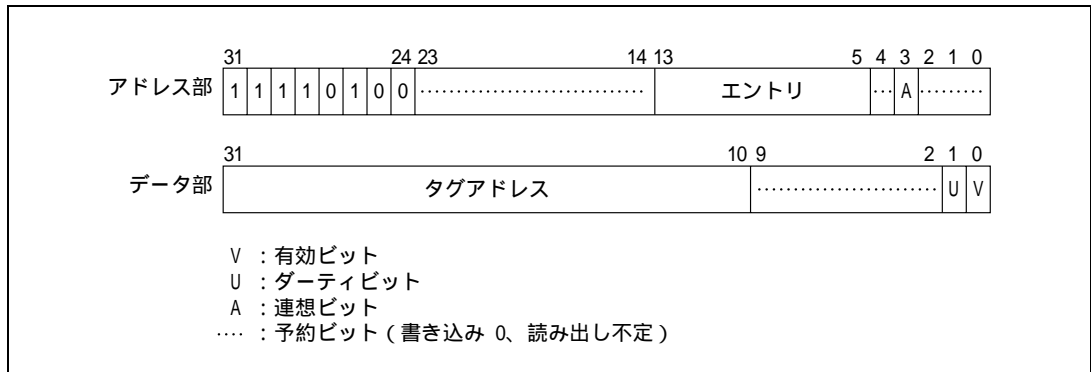


図 4.8 メモリ割り付け OC アドレスアレイ

#### 4.5.4 OC データアレイ

OC のデータアレイは P4 領域の H'F500 0000 ~ H'F5FF FFFF に割り付けられています。データアレイのアクセスには 32 ビットのアドレス部の指定（読み出し / 書き込み時）と 32 ビットのデータ部の指定が必要です。アドレス部ではアクセスするエントリを指定し、データ部には書き込むロングワードデータを指定します。

アドレス部は [31 : 24] が OC データアレイを示す H'F5 になっており、[13 : 5] でエントリを指定するようになっています。CCR.OIX および CCR.ORA はこのエントリ指定に影響を与えません。アドレス部 [4 : 2] はエントリ内のロングワードデータの指定に用います。アクセスはロングワードサイズ固定なのでアドレス部 [1 : 0] は 0 を指定してください。

データ部はロングワードデータの指定に用います。

OC データアレイに対しては次の 2 種類の操作が可能です。

##### (1) OC データアレイ リード

アドレス部に設定されたエントリに対応する OC エントリのうち、アドレス部のロングワード指定ビットで指定されたデータから、データ部へロングワードデータを読み出します。

##### (2) OC データアレイ ライト

アドレス部に設定されたエントリに対応する OC エントリのうち、アドレス部のロングワード指定ビットで指定されたデータに対して、データ部で指定されたロングワードデータを書き込みます。この書き込みによりアドレスアレイ側の U ビットは 1 になりません。

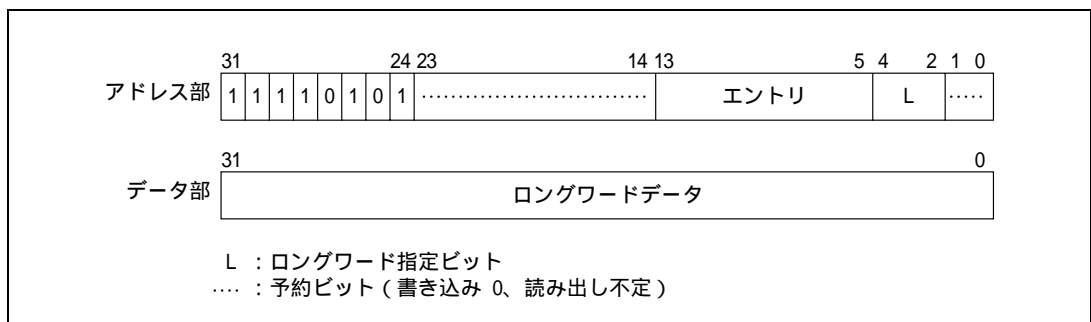


図 4.9 メモリ割り付け OC データアレイ

## 4.6 ストアキュー

外部メモリへ的高速な書き込みを行うために 32 バイト×2 のストアキュー (SQ) をサポートします。

### 4.6.1 SQ の構成

SQ は図 4.10 に示す通り、32 バイトの SQ0 と 32 バイトの SQ1 から成り立っています。SQ0、1 はそれぞれ独立に設定することが可能です。

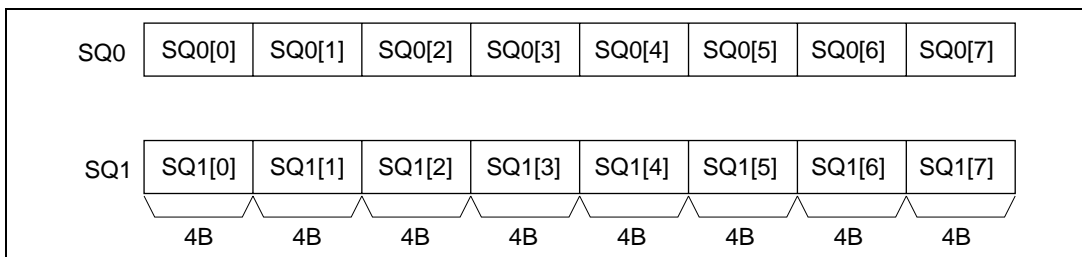


図 4.10 ストアキューの構成

### 4.6.2 SQ への書き込み

SQ への書き込みは P4 領域の H'E000 0000 ~ H'E3FF FFFC に対するストア命令 (MOV) で行うことができます。アクセスサイズはロングワード、もしくはクワッドワードが可能です。このアドレスは以下の意味を持ちます。

|         |              |                         |
|---------|--------------|-------------------------|
| [31:26] | : 111000     | : ストアキュー指定              |
| [25:6]  | : Don't care | : 外部メモリへの転送・アクセス権で使用    |
| [5]     | : 0/1        | : 0:SQ0 指定 1:SQ1 指定     |
| [4:2]   | : LW 指定      | : SQ0、SQ1 内のロングワード位置を指定 |
| [1:0]   | : 00         | : 0 固定                  |

### 4.6.3 外部メモリへの転送

SQ から外部メモリへの転送は、プリフェッチ命令 (PREF) により行えます。PREF 命令を P4 領域の H'E000 0000 ~ H'E3FF FFFC に対して発行することにより、SQ から外部メモリへのバースト転送が開始します。バースト転送は 32 バイト固定で、開始アドレスは必ず 32 バイト境界となります。一方の SQ を外部メモリへ転送中に、もう一方の SQ への書き込みはペナルティサイクルなしに行えますが、外部メモリへ転送中の SQ への書き込みは外部メモリへの転送が完了するまで待たされます。

SQ の転送先の外部メモリアドレス[28:0]は MMU オン / オフにより次のように指定します。

#### (1) MMU オン

UTLBのVPNにSQ領域 (H'E000 0000 ~ H'E3FF FFFF) を、PPNに転送先の外部メモリアドレスを設定します。ASID、V、SZ、SH、PR、Dビットは通常のアドレス変換と同様の意味を持ちますが、C、WTビットはこのページに関しては意味を持ちません。なおPCMCIA領域に対するバースト転送も禁止のため、SA、TCビットも意味を持ちません。

SQ領域へのプリフェッチ命令が発行されると、アドレス変換を行い、SZビットの指定に従い外部メモリアドレス[28:10]を生成します。外部メモリアドレスの[9:5]についてはMMUオフと同様にアドレス変換前のアドレスから生成します。外部メモリアドレスの[4:0]は 0 固定です。SQから外部メモリへの転送はこのアドレスに対して行われます。

#### (2) MMU オフ

プリフェッチを行うアドレスにSQ領域 (H'E000 0000 ~ H'E3FF FFFF) を指定します。このアドレス[31:0]は次の意味を持ちます。

|         |              |                                   |
|---------|--------------|-----------------------------------|
| [31:26] | : 111000     | : ストアキュー指定                        |
| [25:6]  | : アドレス       | : 外部メモリアドレス[25:6]                 |
| [5]     | : 0/1        | : 0:SQ0指定 1:SQ1指定 かつ 外部メモリアドレス[5] |
| [4:2]   | : Don't care | : プリフェッチのときは意味を持たない。              |
| [1:0]   | : 00         | : 0 固定                            |

上記のアドレスから生成できない外部メモリアドレス[28:26]は、QACR0、1レジスタから生成します。

|            |                           |
|------------|---------------------------|
| QACR0[4:2] | : SQ0に対する外部メモリアドレス[28:26] |
| QACR1[4:2] | : SQ1に対する外部メモリアドレス[28:26] |

外部メモリアドレスの[4:0]は、バースト転送の開始が32バイト境界のため常に 0 固定となります。

### 4.6.4 SQ へのプロテクション

SQ への書き込み、および外部メモリへの転送に対してプロテクションを設定することができます。SQ への書き込みがプロテクションに違反した場合、例外は発生しますが、SQ の内容は壊されます。SQ から外部メモリへの転送 (プリフェッチ命令) がプロテクションに違反した場合、外部メモリへの転送は抑止され、例外が発生します。

(1) MMU オンの場合

UTLBに登録されたアドレス変換情報とMMUCR.SQMDに従います。SQへの書き込みはライトタイプ、SQから外部メモリへの転送(PREF命令)はリードタイプとして例外判定が行われ、TLBミス例外、保護違反例外、初期ページ書き込み例外が発生します。ただし、MMUCR.SQMDによりSQへのアクセスを特権モードのみ許可している場合、ユーザモードでアドレス変換に成功してもアドレスエラーとなります。

(2) MMU オフの場合

MMUCR.SQMDに従います。

0：特権 / ユーザアクセス可能

1：特権アクセス可能

MMUCR.SQMDが1のときに、ユーザモードでSQ領域をアクセスするとアドレスエラーが発生します。

---

## 5. 例外処理

---

### 5.1 概要

#### 5.1.1 特長

例外処理とは、リセット、一般例外、割り込みが検出されたときに、通常とは異なるプログラムで必要な処理を行うことをいいます。例えば、実行中の命令の異常終了が発生した場合、適切な処置をすることで、元のプログラムに復帰したり、異常を報告して終了するといった制御が必要になります。このような機能をサポートするために、異常終了に対して、例外処理要求を発生させ、ユーザが作成した例外処理ルーチンに制御の流れが渡ることなどを総称して例外処理と呼びます。

SH7091 の例外処理は、リセット、一般例外、割り込みの 3 つに分類されます。

#### 5.1.2 レジスタ構成

例外処理に関するレジスタ構成を表 5.1 に示します。

表 5.1 レジスタ構成（アドレス）

| 名称           | 略称     | R/W | 初期値                           | P4 アドレス*2   | エリア 7<br>アドレス*2 | アクセス<br>サイズ |
|--------------|--------|-----|-------------------------------|-------------|-----------------|-------------|
| TRAPA 例外レジスタ | TRA    | R/W | 不定                            | H'FF00 0020 | H'1F00 0020     | 32          |
| 例外事象レジスタ     | EXPEVT | R/W | H'0000 0000/<br>H'0000 0020*1 | H'FF00 0024 | H'1F00 0024     | 32          |
| 割り込み事象レジスタ   | INTEVT | R/W | 不定                            | H'FF00 0028 | H'1F00 0028     | 32          |

【注】 \*1 パワーオンリセット時に H'0000 0000、マニュアルリセット時に H'0000 0020 がセットされます。

\*2 P4 アドレスは仮想 / 物理アドレス空間の P4 領域を用いた場合のものです。TLB を用いて物理アドレス空間のエリア 7 からアクセスする場合、アドレスの上位 3 ビットが無視されます。

## 5.2 レジスタの説明

例外処理に関するレジスタは、3 本あります。これらはメモリ上に割り付けられており、P4 アドレスまたはエリア 7 アドレスを指定することでアクセスできます。

- (1) 例外事象レジスタ (EXPEVT) は、P4 アドレス H'FF00 0024 番地に配置されていて、例外コード 12 ビットから構成されています。EXPEVT に設定される例外コードは、リセットと一般例外事象による例外コードです。例外コードは例外発生時にハードウェアにより自動的に設定されます。EXPEVT はソフトウェアからも変更が可能です。
- (2) 割り込み事象レジスタ (INTEVT) は、P4 アドレス H'FF00 0028 番地に配置されていて、例外コード 12 ビットから構成されています。INTEVT に設定される例外コードは、割り込み要求による例外コードです。例外コードは例外発生時にハードウェアにより自動的に設定されます。INTEVT はソフトウェアからも変更が可能です。
- (3) TRAPA 例外レジスタ (TRA) は、P4 アドレス H'FF00 0020 番地に配置されていて、TRAPA 命令の 8 ビットイミディエイトデータ (imm) から構成されています。TRA は TRAPA 命令実行時にハードウェアにより自動的に設定されます。TRA はソフトウェアからも変更が可能です。

EXPEVT、INTEVT、TRA のビット構成を図 5.1 に示します。

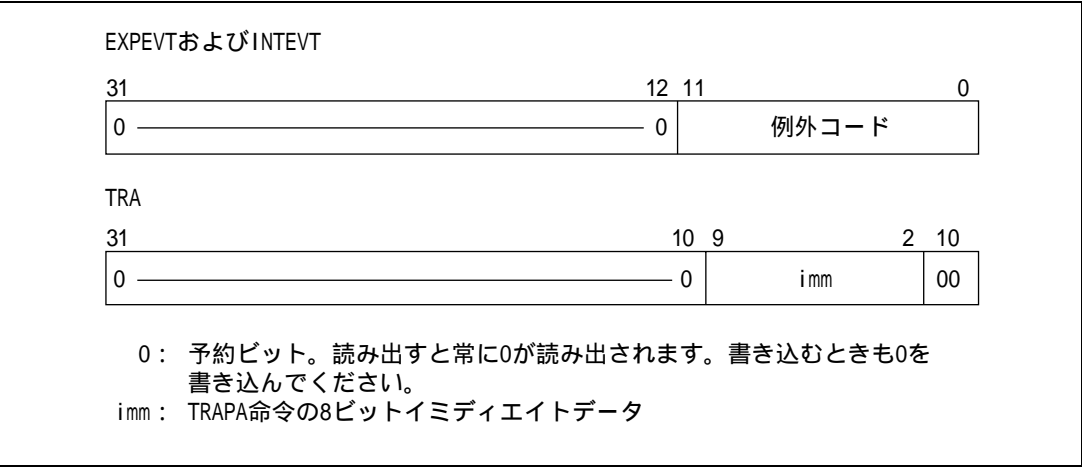


図 5.1 レジスタのビット構成



## 5.3 例外処理の機能

### 5.3.1 例外処理の流れ

例外処理では、プログラムカウンタ (PC)、ステータスレジスタ (SR) の内容がそれぞれ退避プログラムカウンタ (SPC)、退避ステータスレジスタ (SSR) に退避され、ベクタアドレスに従って対応する例外処理ルーチンの実行を開始します。例外処理ルーチンとは、ユーザによって、個々の例外の内容に応じて作成されたプログラムです。例外処理ルーチンを終了させ、元のプログラムに戻るためには、例外処理からの復帰命令 (RTE) を実行します。本命令によって、PC と SR の内容が復帰し、例外などが発生した時点での通常処理ルーチンに戻ることができます。

基本的な例外処理の流れは次のようになります。SR のビットの意味の詳細は、「2 章 プログラミングモデル」を参照してください。

- (1) PC と SR の内容がそれぞれ SPC と SSR に退避されます。
- (2) SR のブロックビット (BL) が 1 に設定されます。
- (3) SR のモードビット (MD) が 1 に設定されます。
- (4) SR のレジスタバンクビット (RB) が 1 に設定されます。
- (5) リセット時、SR の FPU ディスエーブルビット (FD) が 0 に設定されます。
- (6) 例外コードは、例外要因の例外事象レジスタ (EXPEVT)、または、割り込み事象レジスタ (INTEVT) のビット 11 ~ 0 に書き込まれます。
- (7)決められた例外処理のベクタアドレスに分岐して、例外処理ルーチンを開始します。

### 5.3.2 例外処理ベクタアドレス

リセットベクタアドレスは H'A000 0000 に固定されています。例外、割り込みのベクタアドレスはベクタベースアドレスに各事象のオフセットの値を加えたアドレスです。ベクタベースアドレスはベクタベースレジスタ (VBR) にソフトウェアで設定します。例えば、TLB ミス例外のオフセットは H'0000 0400 ですから、VBR に H'9C08 0000 を設定しておくと、例外処理ベクタアドレスは H'9C08 0400 になります。例外処理ベクタアドレスでさらに例外が発生すると、2 重例外となり、回復が困難になりますので、ベクタアドレスは固定物理アドレス (P1、P2) を指定してください。

## 5. 例外処理

### 5.4 例外の種類と優先順位

表 5.2 に、例外の種類、優先順位、ベクタアドレス、および例外 / 割り込みコードを示します。

表 5.2 例外一覧 (1)

| 例外区分 | 実行形態 | 例外                    | 優先<br>レベル | 優先<br>順位 | ベクタベース      | オフセット    | 例外コード |
|------|------|-----------------------|-----------|----------|-------------|----------|-------|
| リセット | 中断型  | パワーオンリセット             | 1         | 1        | H'A000 0000 | -        | H'000 |
|      |      | マニュアルリセット             | 1         | 2        | H'A000 0000 | -        | H'020 |
|      |      | Hitachi-UDI リセット      | 1         | 1        | H'A000 0000 | -        | H'000 |
|      |      | 命令 TLB 多重ヒット例外        | 1         | 3        | H'A000 0000 | -        | H'140 |
|      |      | データ TLB 多重ヒット例外       | 1         | 4        | H'A000 0000 | -        | H'140 |
| 一般例外 | 再実行型 | 命令実行前ユーザブレイク *1       | 2         | 0        | (VBR/DBR)   | H'100/ - | H'1E0 |
|      |      | 命令アドレスエラー             | 2         | 1        | (VBR)       | H'100    | H'0E0 |
|      |      | 命令 TLB ミス例外           | 2         | 2        | (VBR)       | H'400    | H'040 |
|      |      | 命令 TLB 保護違反例外         | 2         | 3        | (VBR)       | H'100    | H'0A0 |
|      |      | 一般不当命令例外              | 2         | 4        | (VBR)       | H'100    | H'180 |
|      |      | スロット不当命令例外            | 2         | 4        | (VBR)       | H'100    | H'1A0 |
|      |      | 一般 FPU 抑止例外           | 2         | 4        | (VBR)       | H'100    | H'800 |
|      |      | スロット FPU 抑止例外         | 2         | 4        | (VBR)       | H'100    | H'820 |
|      |      | データアドレスエラー (読み出し)     | 2         | 5        | (VBR)       | H'100    | H'0E0 |
|      |      | データアドレスエラー (書き込み)     | 2         | 5        | (VBR)       | H'100    | H'100 |
|      |      | データ TLB ミス例外 (読み出し)   | 2         | 6        | (VBR)       | H'400    | H'040 |
|      |      | データ TLB ミス例外 (書き込み)   | 2         | 6        | (VBR)       | H'400    | H'060 |
|      |      | データ TLB 保護違反例外 (読み出し) | 2         | 7        | (VBR)       | H'100    | H'0A0 |
|      |      | データ TLB 保護違反例外 (書き込み) | 2         | 7        | (VBR)       | H'100    | H'0C0 |
|      |      | FPU 例外                | 2         | 8        | (VBR)       | H'100    | H'120 |
|      |      | 初期ページ書き込み例外           | 2         | 9        | (VBR)       | H'100    | H'080 |
|      | 完了型  | 無条件トラップ (TRAPA)       | 2         | 4        | (VBR)       | H'100    | H'160 |
|      |      | 命令実行後ユーザブレイク *1       | 2         | 10       | (VBR/DBR)   | H'100/ - | H'1E0 |
| 割り込み | 完了型  | ノンマスカブル割り込み           | 3         | -        | (VBR)       | H'600    | H'1C0 |
|      |      | 外部割り込み IRL3 ~ 0       | 4         | *2       | (VBR)       | H'600    | H'200 |
|      |      |                       |           |          |             |          | H'220 |
|      |      |                       |           |          |             |          | H'240 |
|      |      |                       |           |          |             |          | H'260 |
|      |      |                       |           |          |             |          | H'280 |
|      |      |                       |           |          |             |          | H'2A0 |
|      |      |                       |           |          |             |          | H'2C0 |
|      |      |                       |           |          |             |          | H'2E0 |
|      |      |                       |           |          |             |          | H'300 |
|      |      |                       |           |          |             |          | H'320 |
|      |      |                       |           |          |             |          | H'340 |
|      |      |                       |           |          |             |          | H'360 |
|      |      |                       |           |          |             |          | H'380 |
|      |      |                       |           |          |             |          | H'3A0 |
|      |      |                       |           |          |             |          | H'3C0 |

表 5.2 例外一覧 (2)

| 例外区分 | 実行形態 | 例外                           |                 |                 | 優先<br>レベル | 優先<br>順位 | ベクタベース | オフセット | 例外コード |
|------|------|------------------------------|-----------------|-----------------|-----------|----------|--------|-------|-------|
| 割り込み | 完了型  | 周辺モジュール<br>割込み<br>(モジュール/要因) | TMU0            | TUNI0           | 4         | *2       | (VBR)  | H'600 | H'400 |
|      |      |                              | TMU1            | TUNI1           |           |          |        |       | H'420 |
|      |      |                              | TMU2            | TUNI2           |           |          |        |       | H'440 |
|      |      |                              |                 | TICPI2          |           |          |        |       | H'460 |
|      |      |                              | RTC             | ATI             |           |          |        |       | H'480 |
|      |      |                              |                 | PRI             |           |          |        |       | H'4A0 |
|      |      |                              |                 | CUI             |           |          |        |       | H'4C0 |
|      |      |                              | SCI             | ERI             |           |          |        |       | H'4E0 |
|      |      |                              |                 | RXI             |           |          |        |       | H'500 |
|      |      |                              |                 | TXI             |           |          |        |       | H'520 |
|      |      |                              |                 | TEI             |           |          |        |       | H'540 |
|      |      |                              | WDT             | ITI             |           |          |        |       | H'560 |
|      |      |                              | REF             | RCMI            |           |          |        |       | H'580 |
|      |      |                              |                 | ROVI            |           |          |        |       | H'5A0 |
|      |      |                              | Hitachi-<br>UDI | Hitachi-<br>UDI |           |          |        |       | H'600 |
|      |      |                              | GPIO            | GPIOI           |           |          |        |       | H'620 |
|      |      |                              | DMAC            | DMTE0           |           |          |        |       | H'640 |
|      |      |                              |                 | DMTE1           |           |          |        |       | H'660 |
|      |      |                              |                 | DMTE2           |           |          |        |       | H'680 |
|      |      |                              |                 | DMTE3           |           |          |        |       | H'6A0 |
|      |      |                              |                 | DMAE            |           |          |        |       | H'6C0 |
|      |      |                              | SCIF            | ERI             |           |          |        |       | H'700 |
|      |      |                              |                 | RXI             |           |          |        |       | H'720 |
|      |      |                              |                 | BRI             |           |          |        |       | H'740 |
|      |      |                              |                 | TXI             |           |          |        |       | H'760 |

優先度：           まず優先レベルで順位付けし、同一レベル内を優先順位で順位付けします（より小さい数値が優先度が高くなります）。

例外遷移先：       リセットでは H'A000 0000、その他では（VBR+オフセット）へ制御が移ります。

例外コード：       リセット、一般例外では EXPEVT、割込みでは INTEVT に格納されます。

IRL：               割込み要求レベル（IRL3～0 端子）

モジュール/要因： 各周辺モジュールの章を参照してください。

【注】 \*1   BRCCR.UBDE=1 のとき PC=DBR。その他は PC=VBR+H'100

\*2   外部割込みおよび周辺モジュール割込みの優先順位はソフトウェアによって設定可能です。

## 5.5 例外フロー

### 5.5.1 例外フロー

図 5.2 に、命令実行と例外処理の基本動作を概念的に示します。ここでは説明の都合上、命令を 1 命令ずつ逐次的に実行することを基本として説明しています。図 5.2 には、例外種別（リセット、一般例外、割り込み）間の優先順位が表されています。なお図 5.2 では、例外成立時のレジスタ設定を SSR、SPC、EXPEVT/INTEVT、SR、および PC に限っていますが、例外によってはこの他にもハードウェアによって自動的に設定されるレジスタがあります。詳細は、「5.6 各例外の説明」を参照してください。また、遅延分岐命令と遅延スロット命令を実行中の例外処理や、2 回データアクセスが発生する命令については「5.6.4 複数回の例外が発生する場合の優先順位」を参照してください。

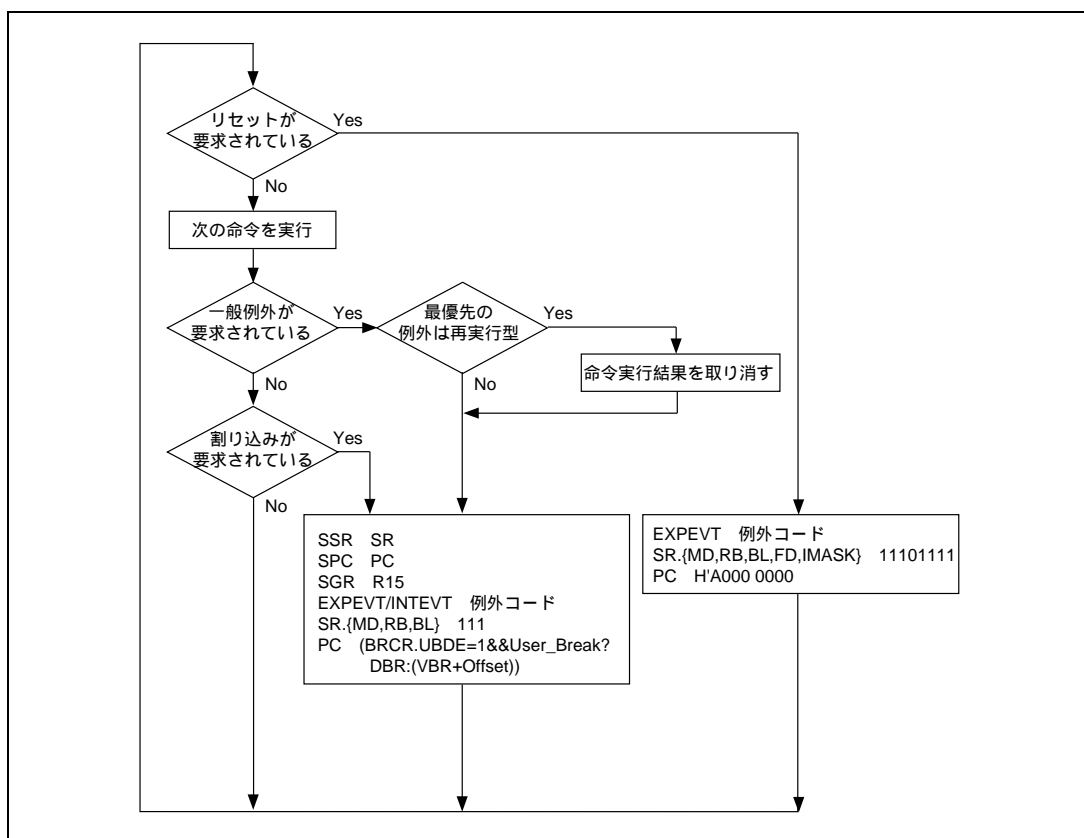


図 5.2 命令実行と例外処理

### 5.5.2 例外要因の受け付け

2 つ以上の例外が同時に発生したときに受け付ける例外を決定するため、すべての例外には優先順位が決められています。一般例外の中の一般不当命令例外、スロット不当命令例外、一般 FPU 抑止例外、スロット FPU 抑止例外、無条件トラップ例外の 5 つは、それぞれの命令解析の過程で検出され、命令パイプラインの中では同時に発生しない例外です。このため優先順位は同じ値になっています。一般例外は命令実行に従った順序で検出されます。しかし、例外処理は命令の流れの順序（プログラム順）に従って処理されます。つまり、先の命令の例外が、後続の命令の例外よりも優先されて受け付けられます。一般例外の受け付け順序の例を図 5.3 に示します。

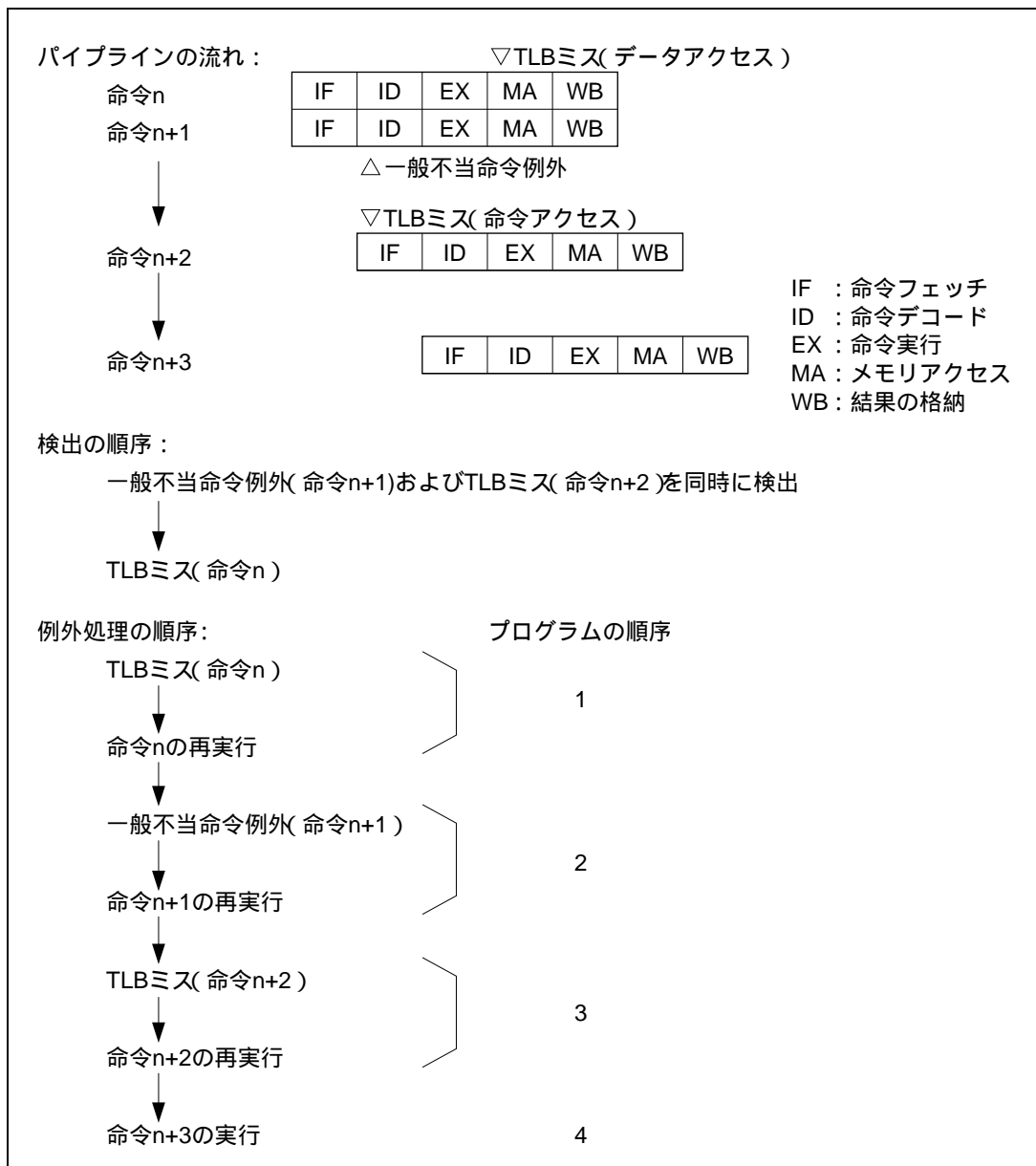


図 5.3 一般例外の受け付け順序の例

### 5.5.3 例外要求と BL ビット

SR の BL ビットが 0 のとき、例外、割り込みを受け付けます。

SR の BL ビットが 1 のときに、ユーザブレイクを除く例外が発生した場合には、CPU の内部レジスタは、リセット後の状態になり、他のモジュールのレジスタは、例外発生前の内容を保持した状態でリセットと同アドレス (H'A000 0000) に分岐します。ユーザブレイクが発生した場合の動作については「20 章 ユーザブレイクコントローラ」を参照してください。また、通常の割り込みが発生した場合には、割り込み要求は保留され、ソフトウェアで BL ビットが 0 にクリアされてから受け付けられます。ノンマスカブル割り込み (NMI) が発生した場合は、保留するか、受け付けるかをソフトウェアによって設定可能です。

このように、通常は例外状態を多重に受け付け可能にするためには、SPC と SSR を退避させ、その後 SR の BL ビットを 0 クリアします。

### 5.5.4 例外処理からの復帰

例外処理からの復帰は、RTE 命令を使用します。RTE 命令により、SPC が PC に、SSR が SR に回復され、SPC のアドレスに分岐して、例外処理ルーチンから復帰します。もし、メモリに SPC、SSR を退避していた場合には、SR の BL ビットを 1 にセットしてから、SPC と SSR を回復し、RTE 命令を発行してください。

## 5.6 各例外の説明

個別の例外処理動作について、発生要因、発生時の遷移先アドレス、遷移時のプロセッサの動作を説明します。

### 5.6.1 リセット

#### (1) パワーオンリセット

- 要因
  - $\overline{\text{SCK2}}$  端子ハイレベルおよび  $\overline{\text{RESET}}$  端子ローレベル
  - WTCSR の  $\text{WT/IT}$  ビットが 1 かつ WTCSR の RSTS ビットが 0 の状態で、ウォッチドッグタイマがオーバーフローした場合。詳細は「10 章 クロック発振回路」を参照してください。
- 遷移先アドレス： H'A000 0000
- 遷移時動作：

例外コード H'0000 を EXPEVT にセットします。VBR、SR の初期化を行い、PC = H'A000 0000 に分岐します。

初期化により、VBR レジスタは H'0000 0000 にセットされます。SR は、MD、RB、BL ビットが 1 にセットされ、FD ビットが 0 にクリアされ、割り込みマスクビット (I3 ~ I0) が B'1111 にセットされます。

CPU および内蔵周辺モジュールの初期化を行います。詳細は、各章のレジスタの説明を参照してください。また、CPU の一部の機能については、 $\overline{\text{TRST}}$  端子ローレベルおよび  $\overline{\text{RESET}}$  端子ローレベルにする必要があります。そのため、電源投入時には必ずパワーオンリセットと、 $\overline{\text{TRST}}$  端子をローレベルに設定してください。

```
Power_on_reset()  
{  
    EXPEVT = H'00000000;  
    VBR = H'00000000;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    SR.(I0-I3) = B'1111;  
    SR.FD=0;  
    Initialize_CPU();  
    Initialize_Module(PowerOn);  
    PC = H'A0000000;  
}
```



## (2) マニュアルリセット

- 要因
  - $\overline{\text{SCK2}}$  端子ローレベルおよび  $\overline{\text{RESET}}$  端子ローレベル
  - SR の BL ビットが 1 のときにユーザブ레이크を除く一般例外が発生した場合
  - WTCSR の RSTS ビットが 1 のとき、ウォッチドッグタイマがオーバーフローした場合。詳細は「10 章 クロック発振回路」を参照してください。
- 遷移先アドレス： H'A000 0000
- 遷移時動作：
 

例外コード H'020 を EXPEVT にセットします。VBR、SR の初期化を行い、PC = H'A000 0000 に分岐します。

初期化により、VBR レジスタは H'0000 0000 にセットされます。SR は、MD、RB、BL ビットが 1 にセットされ、FD ビットが 0 にクリアされ、割り込みマスクビット (I3 ~ I0) が B'1111 にセットされます。

CPU および内蔵周辺モジュールの初期化を行います。詳細は、各章のレジスタの説明を参照してください。

```
Manual_reset()
{
    EXPEVT = H'00000020;
    VBR = H'00000000;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    SR.(I0-I3) = B'1111;
    SR.FD = 0;
    Initialize_CPU();
    Initialize_Module(Manual);
    PC = H'A0000000;
}
```

表 5.3 リセットの種類

| 種類        | リセット状態への遷移条件             |                           | 内部状態 |              |
|-----------|--------------------------|---------------------------|------|--------------|
|           | $\overline{\text{SCK2}}$ | $\overline{\text{RESET}}$ | CPU  | 内蔵周辺モジュール    |
| パワーオンリセット | ハイレベル                    | ローレベル                     | 初期化  | 各章のレジスタ構成を参照 |
| マニュアルリセット | ローレベル                    | ローレベル                     | 初期化  |              |

### (3) Hitachi-UDI リセット

- 要因：SDIR.TI3 ~ 0 が B'0110 (ネゲート)、または B'0111 (アサート)
- 遷移先アドレス：H'A000 0000
- 遷移時動作：  
例外コードH'000をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000 に分岐します。  
初期化により、VBRレジスタはH'0000 0000にセットされます。SRは、MD、RB、BLビットが1にセットされ、FDビットが0にクリアされ、割り込みマスクビット (I3 ~ I0) がB'1111 にセットされます。  
CPUおよび内蔵周辺モジュールの初期化を行います。詳細は、各章のレジスタの説明を参照してください。

```
Hitachi-UDI_reset()  
{  
    EXPEVT = H'00000000;  
    VBR = H'00000000;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    SR.(I0-I3) = B'1111;  
    SR.FD = 0;  
    Initialize_CPU();  
    Initialize_Module(PowerOn);  
    PC = H'A0000000;  
}
```

### (4) 命令 TLB 多重ヒット例外

- 要因：ITLB のアドレスが多重に一致
- 遷移先アドレス：H'A000 0000
- 遷移時動作：  
本例外を発生させた仮想アドレス (32ビット) をTEAに、対応する仮想ページ番号 (22ビット) をPTEH [31 : 10] にセットします。PTEHのASIDは本例外発生時のASIDを示します。  
例外コードH'140をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000 に分岐します。  
初期化により、VBRレジスタはH'0000 0000にセットされます。SRは、MD、RB、BLビットが1にセットされ、FDビットが0にクリアされ、割り込みマスクビット (I3 ~ I0) がB'1111 にセットされます。  
CPUおよび内蔵周辺モジュールの初期化をマニュアルリセットの場合と同様に行います。詳細は、各章のレジスタの説明を参照してください。

```

TLB_multi_hit()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    EXPEVT = H'00000140;
    VBR = H'00000000;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    SR.(I0-I3) = B'1111;
    SR.FD = 0;
    Initialize_CPU();
    Initialize_Module(Manual);
    PC = H'A0000000;
}

```

(5) データ TLB 多重ヒット例外

- 要因：UTLB のアドレスが多重に一致
- 遷移先アドレス：H'A000 0000
- 遷移時動作：

本例外を発生させた仮想アドレス（32ビット）をTEAに、対応する仮想ページ番号（22ビット）をPTEH [ 31 : 10 ] にセットします。PTEHのASIDは本例外発生時のASIDを示します。例外コードH'140をEXPEVTにセットします。VBR、SRの初期化を行い、PC = H'A000 0000 に分岐します。

初期化により、VBRレジスタはH'0000 0000にセットされます。SRは、MD、RB、BLビットが1にセットされ、FDビットが0にクリアされ、割り込みマスクビット（I3～I0）がB'1111にセットされます。

CPUおよび内蔵周辺モジュールの初期化をマニュアルリセットの場合と同様に行います。詳細は、各章のレジスタの説明を参照してください。

```

TLB_multi_hit()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    EXPEVT = H'00000140;
    VBR = H'00000000;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    SR.(I0-I3) = B'1111;
    SR.FD = 0;
    Initialize_CPU();
    Initialize_Module(Manual);
    PC = H'A0000000;
}

```

### 5.6.2 一般例外

#### (1) データ TLB ミス例外

- 要因：UTLB のアドレス比較の結果、アドレスが不一致
- 遷移先アドレス： VBR + H'0000 0400
- 遷移時動作：  
本例外を発生させた仮想アドレス（32ビット）をTEAに、対応する仮想ページ番号（22ビット）をPTEH [ 31 : 10 ] にセットします。PTEHのASIDは本例外発生時のASIDを示します。  
本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避します。  
読み出しの場合は例外コードH'040を書き込みの場合は例外コードH'060をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0400に分岐します。  
TLBミス処理高速化のために、他の例外とオフセットを分けています。

```
Data_TLB_miss_exception()  
{  
    TEA = EXCEPTION_ADDRESS;  
    PTEH.VPN = PAGE_NUMBER;  
    SPC = PC;  
    SSR = SR;  
    EXPEVT = read_access ? H'00000040 : H'00000060;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    PC = VBR + H'00000400;  
}
```

#### (2) 命令 TLB ミス例外

- 要因：ITLB のアドレス比較の結果、アドレスが不一致
- 遷移先アドレス： VBR + H'0000 0400
- 遷移時動作：  
本例外を発生させた仮想アドレス（32ビット）をTEAに、対応する仮想ページ番号（22ビット）をPTEH [ 31 : 10 ] にセットします。PTEHのASIDは本例外発生時のASIDを示します。  
本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避します。  
例外コードH'040をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0400に分岐します。  
TLBミス処理高速化のために、他の例外とオフセットを分けています。

```

ITLB_miss_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    EXPEVT = H'00000040;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000400;
}

```

(3) 初期ページ書き込み例外

- 要因：ストアアクセスで TLB にヒットしたが、ダーティビット D=0
- 遷移先アドレス： VBR + H'0000 0100
- 遷移時動作：
 

本例外を発生させた仮想アドレス (32ビット) を TEA に、対応する仮想ページ番号 (22ビット) を PTEH [31:10] にセットします。PTEH の ASID は本例外発生時の ASID を示します。本例外を発生させた命令の PC、SR をそれぞれ SPC、SSR に退避します。  
 例外コード H'080 を EXPEVT にセットします。SR の BL ビット、MD ビット、RB ビットを 1 にセットし、PC = VBR + H'0100 に分岐します。

```

Initial_write_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    EXPEVT = H'00000080;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

## (4) データ TLB 保護違反例外

- 要因：アクセスが以下に示す UTLB のプロテクション情報 (PR ビット) に反する。

| PR | 特権モード        | ユーザモード       |
|----|--------------|--------------|
| 00 | 読み出しのみ可      | アクセス不可       |
| 01 | 読み出し / 書き込み可 | アクセス不可       |
| 10 | 読み出しのみ可      | 読み出しのみ可      |
| 11 | 読み出し / 書き込み可 | 読み出し / 書き込み可 |

- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：
 

本例外を発生させた仮想アドレス (32ビット) を TEA に、対応する仮想ページ番号 (22ビット) を PTEH [31 : 10] にセットします。PTEH の ASID は本例外発生時の ASID を示します。本例外を発生させた命令の PC、SR をそれぞれ SPC、SSR に退避します。

読み出しの場合には例外コード H'0A0 を、書き込みの場合には例外コード H'0C0 を EXPEVT にセットします。SR の BL ビット、MD ビット、RB ビットを 1 にセットし、PC = VBR + H'0100 に分岐します。

```

Data_TLB_protection_violation_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    EXPEVT = read_access ? H'000000A0 : H'000000C0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

## (5) 命令 TLB 保護違反例外

- 要因：アクセスが以下に示す ITLB のプロテクション情報 (PR ビット) に反する。

| PR | 特権モード | ユーザモード |
|----|-------|--------|
| 0  | アクセス可 | アクセス不可 |
| 1  | アクセス可 | アクセス可  |

- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：
 

本例外を発生させた仮想アドレス (32ビット) をTEAに、対応する仮想ページ番号 (22ビット) をPTEH [ 31 : 10 ] にセットします。PTEHのASIDは本例外発生時のASIDを示します。本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避します。

例外コードH'0A0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
ITLB_protection_violation_exception()
{
    TEA = EXCEPTION_ADDRESS;
    PTEH.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    EXPEVT = H'000000A0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

## (6) データアドレスエラー

- 要因：
  - ワードデータをワード境界以外 ( $2n+1$ ) からアクセス
  - ロングワードデータをロングワードデータ境界以外 ( $4n+1$ ,  $4n+2$ ,  $4n+3$ ) からアクセス
  - クワッドワードをクワッドワードデータ境界以外 ( $8n+1$ ,  $8n+2$ ,  $8n+3$ ,  $8n+4$ ,  $8n+5$ ,  $8n+6$ ,  $8n+7$ ) からアクセス
  - ユーザモードでの領域 H'8000 0000 ~ H'FFFF FFFF へのアクセス
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：
 

本例外を発生させた仮想アドレス (32ビット) をTEAに、対応する仮想ページ番号 (22ビット) をPTEH [ 31 : 10 ] にセットします。PTEHのASIDは本例外発生時のASIDを示します。本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避します。

読み出しの場合は例外コードH'0E0を、書き込みの場合は例外コードH'100をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。詳細は「第3章 メモリマネジメントユニット」を参照してください。

```

Data_address_error()
{
    TEA = EXCEPTION_ADDRESS;
    PTEN.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    EXPEVT = read_access? H'000000E0: H'00000100;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```

### (7) 命令アドレスエラー

- 要因：

(a) ワード境界以外 ( $2n+1$ ) から命令フェッチ

(b) ユーザモードでの領域 H'8000 0000 ~ H'FFFF FFFF から命令フェッチ

- 遷移先アドレス： VBR + H'0000 0100

- 遷移時動作：

本例外を発生させた仮想アドレス (32ビット) をTEAに、対応する仮想ページ番号(22ビット)をPTEH [ 31 : 10 ] にセットします。PTEHのASIDは本例外発生時のASIDを示します。

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避します。

例外コードH'0E0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。詳細は「第3章 メモリマネジメントユニット」を参照してください。

```

Instruction_address_error()
{
    TEA = EXCEPTION_ADDRESS;
    PTEN.VPN = PAGE_NUMBER;
    SPC = PC;
    SSR = SR;
    EXPEVT = H'000000E0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}

```



## (8) 無条件トラップ

- 要因：TRAPA 命令の実行
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：
 

処理完了型の例外のため、TRAPA命令の次の命令のPCをSPCに退避します。TRAPA命令実行時のSRをSSRに退避します。TRAPA命令中の8ビットのイミディエイトを4倍して、TRA[9:0]にセットします。例外コードH'160をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
TRAPA_exception()
{
    SPC = PC + 2;
    SSR = SR;
    TRA = imm << 2;
    EXPEVT = H'00000160;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

## (9) 一般不当命令例外

- 要因：
  - (a) 遅延スロット以外にある未定義命令をデコード
    - 遅延分岐命令：JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT/S、BF/S
    - 未定義命令：H'FFFD
  - (b) 遅延スロット以外にある特権命令をユーザモードでデコード
    - 特権命令：LDC、STC、RTE、LDTLB、SLEEP、
    - ただし、LDC、STCでGBRをアクセスする命令を除く
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：
 

本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避します。  
例外コードH'180をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。なお、H'FFFD以外の未定義コードをデコードした場合には動作を保証しません。

## 5. 例外処理

---

```
General_illegal_instruction_exception()  
{  
    SPC = PC;  
    SSR = SR;  
    EXPEVT = H'00000180;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    PC = VBR + H'00000100;  
}
```

### (10) スロット不当命令例外

- 要因：
  - (a) 遅延スロットにある未定義命令をデコード  
遅延分岐命令：JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT/S、BF/S  
未定義命令：H'FFFD
  - (b) 遅延スロット内の PC を書き換える命令をデコード  
PCを書き換える命令：JMP、JSR、BRA、BRAf、BSR、BSRf、RTS、RTE、BT、BF、BT/S、  
BF/S、TRAPA、LDC Rm、SR、LDC.L @Rm+、SR
  - (c) 遅延スロット内の特権命令をユーザモードでデコード  
特権命令：LDC、STC、RTE、LDTLB、SLEEP、ただし、LDC、STCでGBRをアクセスする命令を除く
  - (d) 遅延スロット内の PC 相対 MOV 命令、MOVA 命令をデコード
    - 遷移先アドレス：VBR + H'0000 0100
    - 遷移時動作：  
直前の遅延分岐命令のPCをSPCに退避します。本例外発生時のSRをSSRに退避します。  
例外コードH'1A0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1に  
セットし、PC = VBR + H'0100に分岐します。なお、H'FFFD以外の未定義命令をデコードした  
場合には動作を保証しません。

```
Slot_illegal_instruction_exception()  
{  
    SPC = PC - 2;  
    SSR = SR;  
    EXPEVT = H'000001A0;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    PC = VBR + H'00000100;  
}
```

## (11) 一般 FPU 抑止例外

- 要因：遅延スロット以外にある FPU 命令\*1 を SR.FD=1 でデコード
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：  
本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避します。  
例外コードH'800をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
General_fpu_disable_exception()
{
    SPC = PC;
    SSR = SR;
    EXPEVT = H'00000800;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

【注】\*1 FPU 命令とは命令コードの最初の4ビットがFである命令(ただし、未定義命令 H'FFFD を除く)と、FPUL、FPSCR に対する LDS、STS、LDS.L、STS.L 命令です。

## (12) スロット FPU 抑止例外

- 要因：遅延スロットにある FPU 命令を SR.FD=1 でデコード
- 遷移先アドレス：VBR + H'0000 0100
- 遷移時動作：  
直前の遅延分岐命令のPCをSPCに退避します。本例外発生時のSRをSSRに退避します。  
例外コードH'820をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。

```
Slot_fpu_disable_exception()
{
    SPC = PC - 2;
    SSR = SR;
    EXPEVT = H'00000820;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000100;
}
```

### (13) ユーザブレイクポイントトラップ

- 要因：ユーザブレイクポイントコントローラに設定したブレイク条件が成立
- 遷移先アドレス： VBR + H'0000 0100、または DBR
- 遷移時動作：  
実行後ブレイクの場合、ブレイクポイントを設定した命令の直後の命令のPCをSPCに退避します。実行前ブレイクの場合、ブレイクポイントを設定した命令のPCをSPCに退避します。  
ブレイク発生時のSRをSSRに退避します。例外コードH'1E0をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0100に分岐します。ただし、PC=DBRに分岐することも可能です。  
データブレイクを設定した場合のPCについてなど、詳細は「第20章 ユーザブレイクコントローラ」を参照してください。

```
User_break_exception()  
{  
    SPC = (pre_execution break? PC : PC + 2);  
    SSR = SR;  
    EXPEVT = H'000001E0;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    PC = (BRCCR.UBDE==1 ? DBR : VBR + H'00000100);  
}
```

### (14) FPU 例外

- 要因：浮動小数点演算実行による例外
- 遷移先アドレス： VBR + H'0000 0100
- 遷移時動作：  
本例外を発生させた命令のPC、SRをそれぞれSPC、SSRに退避します。例外コードH'120をEXPEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC=VBR+H'0100に分岐します。

```
FPU_exception()  
{  
    SPC = PC;  
    SSR = SR;  
    EXPEVT = H'00000120;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    PC = VBR + H'00000100;  
}
```

### 5.6.3 割り込み

#### (1) NMI

- 要因：NMI 端子のエッジ検出
- 遷移先アドレス：VBR + H'0000 0600
- 遷移時動作：

本割り込みを受け付けた命令の直後のPC、SRを、それぞれSPC、SSRに退避します。  
例外コードH'1C0をINTEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、PC = VBR + H'0600に分岐します。本割り込みは、SRのBLビットが0のときはSRの割り込みマスクビットによってマスクされず、最優先で受け付けられます。SRのBLビットが1のとき本割り込みがマスクされるか、受け付けるかをソフトウェアによって設定可能です。詳細は「第19章 割り込みコントローラ」を参照してください。

```
NMI()
{
    SPC = PC;
    SSR = SR;
    INTEVT = H'000001C0;
    SR.MD = 1;
    SR.RB = 1;
    SR.BL = 1;
    PC = VBR + H'00000600;
}
```

#### (2) IRL 割り込み

- 要因：
 

SRの割り込みマスクビットがIRL (3-0) レベルより小さく、かつSRのBLビットが0 (命令の切れ目で受け付けます)。
- 遷移先アドレス：VBR + H'0000 0600
- 遷移時動作：
 

受け付けた命令の直後のPCをSPCにセットします。受け付けた時点のSRをSSRにセットします。

IRL (3-0) レベルに対応したコードをINTEVTにセットします。対応コードは「表19.5 割り込み例外処理要因と優先順位」を参照してください。SRのBLビット、MDビット、RBビットを1にセットし、VBR + H'0600に分岐します。受け付けレベルをSRの割り込みマスクビットにセットしません。SRのBLビットが1のときは、マスクされます。詳細は「第19章 割り込みコントローラ」を参照してください。

```
IRL()  
{  
    SPC = PC;  
    SSR = SR;  
    INTEVT = H'00000200 ~ H'000003C0;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    PC = VBR + H'00000600;  
}
```

### (3) 周辺モジュール割り込み

- 要因：  
SRの割り込みマスクビットが周辺モジュール（Hitachi-UDI、DMAC、GPIO、TMU、RTC、SCI、SCIF、WDT、REF）割り込みレベルより小さく、かつSRのBLが0（命令の切れ目で受け付けます。）
- 遷移先アドレス：VBR + H'0000 0600
- 遷移時動作：  
受け付けた命令の直後のPCをSPCにセットします。受け付けた時点のSRをSSRにセットします。  
各割り込み要因に対応したコードをINTEVTにセットします。SRのBLビット、MDビット、RBビットを1にセットし、VBR + H'0600に分岐します。モジュール割り込みのレベルは、割り込みコントローラ内の割り込み優先レベル設定レジスタ（IRPA ~ IRPC）にB'0000からB'1111までの値をセットしてください。詳細は「第19章 割り込みコントローラ」を参照してください。

```
Module_interruption()  
{  
    SPC = PC;  
    SSR = SR;  
    INTEVT = H'00000400 ~ H'00000760;  
    SR.MD = 1;  
    SR.RB = 1;  
    SR.BL = 1;  
    PC = VBR + H'00000600;  
}
```

### 5.6.4 複数回の例外が発生する場合の優先順位

メモリを2回アクセスする命令や、不可分である遅延付き分岐命令と遅延スロット命令などでは、複数回例外が発生します。この場合、通常の例外優先順位と異なるので、注意が必要です。

#### (1) メモリを2回アクセスする命令

MAC 命令やメモリ メモリ間論理演算命令、TAS 命令は1つの命令でデータ転送が2回あるため、それぞれのデータ転送時に例外の発生を検出します。そのため、以下の順位で判定します。

- (a) 1 回目のデータ転送のデータアドレスエラー
- (b) 1 回目のデータ転送の TLB ミス
- (c) 1 回目のデータ転送の TLB 保護違反
- (d) 1 回目のデータ転送の初期ページ書き込み例外
- (e) 2 回目のデータ転送のデータアドレスエラー
- (f) 2 回目のデータ転送の TLB ミス
- (g) 2 回目のデータ転送の TLB 保護違反
- (h) 2 回目のデータ転送の初期ページ書き込み例外

#### (2) 不可分である遅延付き分岐命令と遅延スロット命令

遅延付き分岐命令と遅延スロット命令は不可分であるため、1つの命令として扱われます。そのため、それぞれの命令における例外についても、優先順位が通常と異なります。遅延スロット命令が1回のデータ転送しか持たない場合の順位を示します。

- (a) 遅延付き分岐命令における優先レベル1、2をチェックします。
- (b) 遅延スロット命令における優先レベル1、2をチェックします。
- (c) 遅延付き分岐命令における優先レベル3と遅延スロット命令における優先レベル3をチェックします（この2つの間の優先順位はありません）。
- (d) 遅延付き分岐命令における優先レベル4と遅延スロット命令における優先レベル4をチェックします（この2つの間の優先順位はありません）。

遅延スロット命令が2回目のデータ転送を持つ場合、b)において、(1)の様に2回チェックを行います。

なお、受け付けた例外（最も優先度が高い例外）が遅延スロット命令の再実行型例外である場合、分岐命令のPR レジスタ書き込み動作（BSR、BSRF、JSR のPC PR 動作）は抑止されません。

### 5.7 注意事項

- (1) 例外処理からの復帰
  - (a) SR の BL ビットをソフトウェアでチェックしてください。メモリに SPC、SSR を退避していた場合には、SR の BL ビットを 1 にしてからそれらを回復してください。
  - (b) RTE 命令を発行してください。RTE 命令により、SPC が PC に、SSR が SR にセットされ、SPC のアドレスに分岐して、例外処理から復帰します。
- (2) SR.BL = 1 のときに例外または割り込みが発生した場合
  - (a) 例外  
ユーザブレイクを除く例外が発生した場合には、CPUの内部レジスタ、他のモジュールのレジスタは、マニュアルリセット後の状態になり、リセットと同アドレス（H'A000 0000）に分岐します。このときEXPEVTは、H'0000 0020となり、SPC、SSRの各レジスタは不定値となります。
  - (b) 割り込み  
通常の割り込みが発生した場合には、割り込み要求は保留され、ソフトウェアでSRのBLビットが0にクリアされてから受け付けられます。ノンマスカブル割り込み（NMI）が発生した場合は、保留するか、受け付けるかをソフトウェアによって設定可能です。  
ただし、スリープまたはスタンバイ状態では、SRのBLビットが1であっても、割り込みを受け付けます。
- (3) 例外発生時の SPC
  - (a) 再実行型の例外  
例外が発生した命令のPCがSPCにセットされ、例外処理から復帰後に再実行されます。ただし、遅延スロット命令で発生した場合、直前の遅延分岐命令の条件が成立する、しないに関係なく遅延分岐命令のPCがSPCにセットされます。
  - (b) 完了型の例外、割り込み  
例外が発生した命令の次の命令のPCがSPCにセットされます。ただし、遅延スロット付き分岐命令で発生した場合、分岐先のPCがSPCにセットされます。
- (4) RTE 命令の遅延スロットで例外を発生させないでください。発生した場合、動作は保証されません。

### 5.8 制限事項

- (1) 例外処理ルーチンの第一命令における制限事項
  - VBR+H'100, VBR+H'400, VBR+H'600 番地に BT, BF, BT/S, BF/S, BRA, BSR 命令を配置しないでください。
  - 加えて、BRCCR レジスタの UBDE ビットを 1 にして、ユーザブレイクデバッグサポート機能\*を使用する場合、DBR レジスタの指す番地に BT, BF, BT/S, BF/S, BRA, BSR 命令を配置しないでください。

【注】\* 20.4 節を参照してください。



---

## 6. 浮動小数点ユニット

---

### 6.1 概要

FPU には次のような特長があります。

- IEEE754 規格に準拠
- 32 本の単精度浮動小数点レジスタ（16 本の倍精度レジスタとしても参照できます）
- 2 つの丸めモード：近傍および 0 方向への丸め
- 2 つの非正規化数処理モード：0 へのフラッシュと非正規化数の扱い
- 6 つの例外要因：  
FPU エラー、無効演算、0 による除算、オーバフロー、アンダフロー、不正確
- 包括命令：  
単精度、倍精度、グラフィックサポート、システム制御

SR の FD ビットを 1 にセットすると、浮動小数点ユニット（FPU）は使用できなくなり、FPU 命令を実行しようとする FPU 抑止例外が発生します。

## 6.2 データフォーマット

### 6.2.1 浮動小数点フォーマット

浮動小数点は次の3つのフィールドから構成されています。

- 符号
- 指数
- 小数部

SH7091 は図 6.1 と図 6.2 に示すフォーマットを用いて単精度、倍精度浮動小数点を扱うことができます。

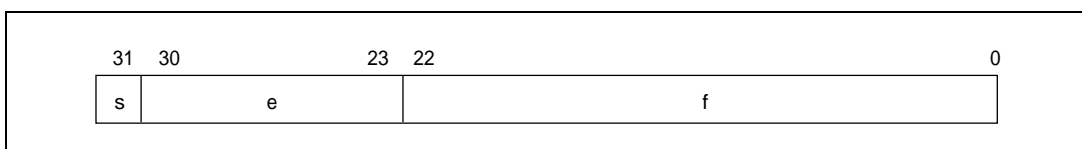


図 6.1 単精度浮動小数点フォーマット

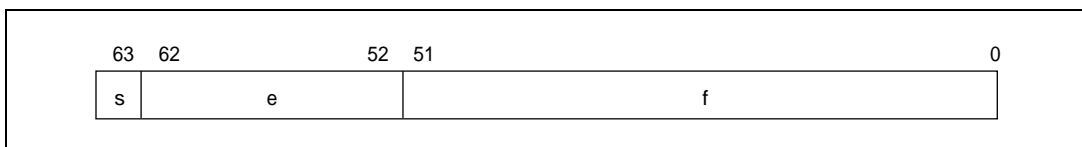


図 6.2 倍精度浮動小数点フォーマット

指数は次のようにバイアス付きで表します。

$$e = E + \text{bias}$$

バイアスのない指数  $E$  の範囲は、 $E_{\min} - 1$  から  $E_{\max} + 1$  までです。 $E_{\min} - 1$  と  $E_{\max} + 1$  の2つの値は次のように区別します。 $E_{\min} - 1$  は0（正、負両方の符号）と非正規化数を表し、 $E_{\max} + 1$  は正または負の無限大または非数（NaN）を表します。表 6.1 に  $E_{\min}$  と  $E_{\max}$  の値を示します。

表 6.1 浮動小数点のフォーマットとパラメータ

| パラメータ      | 単精度    | 倍精度    |
|------------|--------|--------|
| 総ビット幅      | 32 ビット | 64 ビット |
| 符号ビット      | 1 ビット  | 1 ビット  |
| 指数フィールド    | 8 ビット  | 11 ビット |
| 小数フィールド    | 23 ビット | 52 ビット |
| 精度         | 24 ビット | 53 ビット |
| バイアス       | +127   | +1023  |
| $E_{\max}$ | +127   | +1023  |
| $E_{\min}$ | -126   | -1022  |

浮動小数点の数値  $v$  は次のようにして決められます。

$E = E_{\max} + 1$  かつ  $f = 0$  の場合、 $v$  は符号  $s$  に関係なく非数 (NaN) です。

$E = E_{\max} + 1$  かつ  $f = 0$  の場合、 $v$  は  $(-1)^s$  (無限) 「正または負の無限」です。

$E_{\min} \leq E \leq E_{\max}$  の場合、 $v$  は  $(-1)^s 2^{E - 127}$  (1.f) 「正規化数」です。

$E = E_{\min} - 1$  かつ  $f \neq 0$  の場合、 $v$  は  $(-1)^s 2^{E_{\min}} (0.f)$  「非正規化数」です。

$E = E_{\min} - 1$  かつ  $f = 0$  の場合、 $v$  は  $(-1)^s 0$  「正または負の 0」です。

表 6.2 に 16 進数による各数の範囲を示します。

表 6.2 浮動小数点の範囲

| タイプ      | 単精度                      | 倍精度  |
|----------|--------------------------|--|
| シグナリング非数 | H'7FFFFFFF ~ H'7FC00000  | H'7FFFFFFF H'FFFFFFFF ~ H'7FF80000 H'00000000  |
| クワイアット非数 | H'7FBFFFFFF ~ H'7F800001 | H'7FF7FFFF H'FFFFFFFF ~ H'7FF00000 H'00000001  |
| 正の無限大    | H'7F800000               | H'7FF00000 H'000000                            |
| 正の正規化数   | H'7F7FFFFFF ~ H'00800000 | H'7FEFFFFFF H'FFFFFFFF ~ H'00100000 H'00000000 |
| 正の非正規化数  | H'007FFFFFF ~ H'00000001 | H'000FFFFFF H'FFFFFFFF ~ H'00000000 H'00000001 |
| 正のゼロ     | H'00000000               | H'00000000 H'00000000                          |
| 負のゼロ     | H'80000000               | H'80000000 H'00000000                          |
| 負の非正規化数  | H'80000001 ~ H'807FFFFFF | H'80000000 H'00000001 ~ H'800FFFFFF H'FFFFFFFF |
| 負の正規化数   | H'80800000 ~ H'FF7FFFFFF | H'80100000 H'00000000 ~ H'FFEFFFFFF H'FFFFFFFF |
| 負の無限大    | H'FF800000               | H'FFF00000 H'00000000                          |
| クワイアット非数 | H'FF800001 ~ H'FFBFFFFFF | H'FFF00000 H'00000001 ~ H'FFF7FFFF H'FFFFFFFF  |
| シグナリング非数 | H'FFC00000 ~ H'FFFFFFFF  | H'FFF80000 H'00000000 ~ H'FFFFFFFF H'FFFFFFFF  |

## 6.2.2 非数 (NaN)

図 6.3 に非数 (NaN) のビットパターンを示します。次の場合の値は NaN です。

- 符号ビット: don't care
- 指数フィールド: すべてのビットが 1
- 小数フィールド: 少なくとも 1 ビットが 1

NaN は、小数フィールドの MSB が 1 の場合はシグナリング非数 (sNaN) であり、0 の場合はクワイアット非数 (qNaN) です。

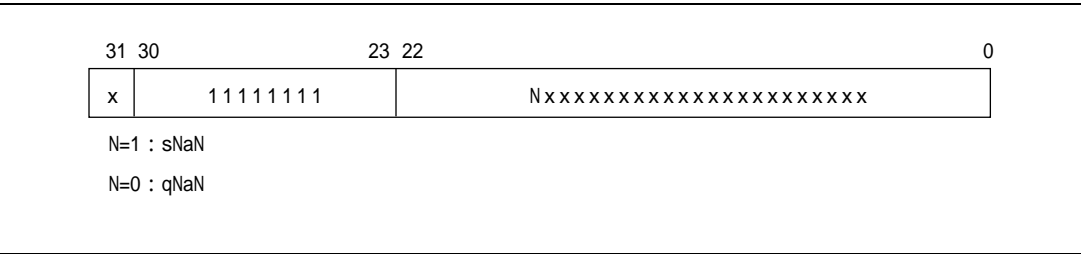


図 6.3 単精度の NaN ビットパターン

sNaN は、コピー、FABS または FNEG 以外の浮動小数点値を生成する演算で入力します。

- FPSCR レジスタの EN.V ビットが 0 の場合、演算結果（出力）は qNaN です。
- FPSCR レジスタの EN.V ビットが 1 の場合、無効演算例外が発生します。この場合、演算のデスティネーションレジスタの内容は変更しません。

浮動小数点値を生成する演算で qNaN を入力し、その演算に sNaN を入力していない場合、FPSCR レジスタの EN.V ビットの設定に関係なく出力はほぼ常に qNaN です。この場合、例外は発生しません。

演算結果として SH7091 が生成する qNaN の値は、常に次のような値になります。

- 単精度 qNaN : H'7FBFFFFF
- 倍精度 qNaN : H'7FF7FFFF FFFFFFFF

非数 (NaN) を入力した場合の浮動小数点演算の詳細についてはそれぞれの命令の説明を参照してください。

### 6.2.3 非正規化数

非正規化数の浮動小数点値は、指数フィールドは 0 として、小数フィールドは 0 以外の値として表現します。

FPU のステータスレジスタ FPSCR の DN ビットが 1 の場合、非正規化数（ソースオペランドまたは演算結果）は、（コピー、FNEG、FABS 以外の演算の）値を生成する浮動小数点演算で常に 0 にフラッシュされます。

FPSCR の DN ビットが 0 の場合、非正規化数（ソースオペランドまたは演算結果）はそのまま処理されます。非正規化数を入力する場合の浮動小数点演算の詳細については、それぞれの命令の説明を参照してください。

## 6.3 レジスタ

### 6.3.1 浮動小数点レジスタ

図 6.4 に浮動小数点レジスタの構成を示します。FR0 ~ FR15、DR0/2/4/6/8/10/12/14、FV0/4/8/12、XF0 ~ XF15、XD0/2/4/6/8/10/12/14、または XMTRX を指定することによって参照される 32 本の 32 ビット浮動小数点レジスタがあります。

- (1) 浮動小数点レジスタ：FPRi\_BANKj (32 レジスタ)  
FPR0\_BANK0 ~ FPR15\_BANK0  
FPR0\_BANK1 ~ FPR15\_BANK1
- (2) 単精度浮動小数点レジスタ：FRi (16 レジスタ)  
FPSCR.FR = 0 のとき FR0 ~ FR15 は FPR0\_BANK0 ~ FPR15\_BANK0 を示します。  
FPSCR.FR = 1 のとき FR0 ~ FR15 は FPR0\_BANK1 ~ FPR15\_BANK1 を示します。
- (3) 倍精度浮動小数点レジスタ：DRi (8 レジスタ)  
DR レジスタは 2 つの FR レジスタから構成されます。  
DR0 = {FR0, FR1}、DR2 = {FR2, FR3}、DR4 = {FR4, FR5}、DR6 = {FR6, FR7}、  
DR8 = {FR8, FR9}、DR10 = {FR10, FR11}、DR12 = {FR12, FR13}、DR14 = {FR14, FR15}
- (4) 単精度浮動小数点ベクトルレジスタ、FVi (4 レジスタ)  
FV レジスタは 4 つの FR レジスタから構成されます。  
FV0 = {FR0, FR1, FR2, FR3}、FV4 = {FR4, FR5, FR6, FR7}、  
FV8 = {FR8, FR9, FR10, FR11}、FV12 = {FR12, FR13, FR14, FR15}
- (5) 単精度浮動小数点拡張レジスタ：XF<sub>i</sub> (16 レジスタ)  
FPSCR.FR = 0 のとき XF0 ~ XF15 は FPR0\_BANK1 ~ FPR15\_BANK1 を示します。  
FPSCR.FR = 1 のとき、XF0 ~ XF15 は FPR0\_BANK0 ~ FPR15\_BANK0 を示します。
- (6) 倍精度浮動小数点拡張レジスタ：XD<sub>i</sub> (8 レジスタ)  
XD レジスタは 2 つの XF レジスタから構成されます。  
XD0 = {XF0, XF1}、XD2 = {XF2, XF3}、XD4 = {XF4, XF5}、XD6 = {XF6, XF7}、  
XD8 = {XF8, XF9}、XD10 = {XF10, XF11}、XD12 = {XF12, XF13}、XD14 = {XF14, XF15}
- (7) 単精度浮動小数点拡張レジスタ行列、XMTRX  
XMTRX は 16 の XF レジスタから構成されます。  

|     |     |      |      |
|-----|-----|------|------|
| XF0 | XF4 | XF8  | XF12 |
| XF1 | XF5 | XF9  | XF13 |
| XF2 | XF6 | XF10 | XF14 |
| XF3 | XF7 | XF11 | XF15 |

## 6. 浮動小数点ユニット

| FPSCR.FR=0 |      |      |             | FPSCR.FR=1 |      |       |  |
|------------|------|------|-------------|------------|------|-------|--|
| FV0        | DR0  | FR0  | FPR0 BANK0  | XF0        | XD0  | XMTRX |  |
|            |      | FR1  | FPR1 BANK0  | XF1        |      |       |  |
|            |      | FR2  | FPR2 BANK0  | XF2        |      |       |  |
| FV4        | DR4  | FR3  | FPR3 BANK0  | XF3        | XD4  |       |  |
|            |      | FR4  | FPR4 BANK0  | XF4        |      |       |  |
|            |      | FR5  | FPR5 BANK0  | XF5        |      |       |  |
| FV8        | DR6  | FR6  | FPR6 BANK0  | XF6        | XD6  |       |  |
|            |      | FR7  | FPR7 BANK0  | XF7        |      |       |  |
|            |      | FR8  | FPR8 BANK0  | XF8        |      |       |  |
| FV12       | DR8  | FR9  | FPR9 BANK0  | XF9        | XD8  |       |  |
|            |      | FR10 | FPR10 BANK0 | XF10       |      |       |  |
|            |      | FR11 | FPR11 BANK0 | XF11       |      |       |  |
| FV12       | DR10 | FR12 | FPR12 BANK0 | XF12       | XD10 |       |  |
|            |      | FR13 | FPR13 BANK0 | XF13       |      |       |  |
|            |      | FR14 | FPR14 BANK0 | XF14       |      |       |  |
| FV12       | DR12 | FR15 | FPR15 BANK0 | XF15       | XD12 |       |  |
|            |      |      |             |            |      |       |  |
|            |      |      |             |            |      |       |  |
| FV12       | DR14 |      |             |            | XD14 |       |  |
|            |      |      |             |            |      |       |  |
|            |      |      |             |            |      |       |  |
| XMTRX      | XD0  | XF0  | FPR0 BANK1  | FR0        | DR0  | FV0   |  |
|            |      | XF1  | FPR1 BANK1  | FR1        |      |       |  |
|            |      | XF2  | FPR2 BANK1  | FR2        |      |       |  |
| XMTRX      | XD2  | XF3  | FPR3 BANK1  | FR3        | DR2  |       |  |
|            |      | XF4  | FPR4 BANK1  | FR4        |      |       |  |
|            |      | XF5  | FPR5 BANK1  | FR5        |      |       |  |
| XMTRX      | XD4  | XF6  | FPR6 BANK1  | FR6        | DR4  | FV4   |  |
|            |      | XF7  | FPR7 BANK1  | FR7        |      |       |  |
|            |      | XF8  | FPR8 BANK1  | FR8        |      |       |  |
| XMTRX      | XD6  | XF9  | FPR9 BANK1  | FR9        | DR6  |       |  |
|            |      | XF10 | FPR10 BANK1 | FR10       |      |       |  |
|            |      | XF11 | FPR11 BANK1 | FR11       |      |       |  |
| XMTRX      | XD8  | XF12 | FPR12 BANK1 | FR12       | DR8  | FV8   |  |
|            |      | XF13 | FPR13 BANK1 | FR13       |      |       |  |
|            |      | XF14 | FPR14 BANK1 | FR14       |      |       |  |
| XMTRX      | XD10 | XF15 | FPR15 BANK1 | FR15       | DR10 |       |  |
|            |      |      |             |            |      |       |  |
|            |      |      |             |            |      |       |  |
| XMTRX      | XD12 |      |             |            | DR12 | FV12  |  |
|            |      |      |             |            |      |       |  |
|            |      |      |             |            |      |       |  |
| XMTRX      | XD14 |      |             |            | DR14 |       |  |
|            |      |      |             |            |      |       |  |
|            |      |      |             |            |      |       |  |

図 6.4 浮動小数点レジスタ

### 6.3.2 浮動小数点ステータス / コントロールレジスタ (FPSCR)

(1) 浮動小数点ユニットステータス / コントロールレジスタ、FPSCR (32 ビット、初期値 = H'00040001)

- FR : 浮動小数点レジスタバンク
  - FR=0 :  
FPR0\_BANK0 ~ FPR15\_BANK0はFR0 ~ FR15に、 FPR0\_BANK1 ~ FPR15\_BANK1はXF0 ~ XF15に割り当てられます。
  - FR=1 :  
FPR0\_BANK0 ~ FPR15\_BANK0はXF0 ~ XF15に、 FPR0\_BANK1 ~ FPR15\_BANK1はFR0 ~ FR15に割り当てられます。
- SZ : 転送サイズモード
  - SZ=0 : FMOV 命令のデータサイズは 32 ビットです。
  - SZ=1 : FMOV 命令のデータサイズは 32 ビットペア (64 ビット) です。
- PR : 精度モード
  - PR=0 :  
浮動小数点命令を単精度演算として実行します。
  - PR=1 :  
浮動小数点命令を倍精度演算として実行します (グラフィックサポート命令は未定義です)。

SZ と PR は同時に 1 にセットしないでください。この設定は予約されています。

[SZ, PR] = 11 : 予約 (FPU 演算命令は未定義です)

- DN : 非正規化モード
  - DN=0 : 非正規化数を非正規化数として扱います。
  - DN=1 : 非正規化数を 0 として扱います。

|        |                      | FPUエラー<br>(E) | 無効演算<br>(V) | 0 除算<br>(Z) | オーバ<br>フロー(O) | アンダ<br>フロー(U) | 不正確<br>(I) |
|--------|----------------------|---------------|-------------|-------------|---------------|---------------|------------|
| Cause  | FPU 例外要因<br>フィールド    | ビット 17        | ビット<br>16   | ビット 15      | ビット 14        | ビット 13        | ビット 12     |
| Enable | FPU 例外イネー<br>ブルフィールド | なし            | ビット<br>11   | ビット 10      | ビット 9         | ビット 8         | ビット 7      |
| Flag   | FPU 例外フラグ<br>フィールド   | なし            | ビット 6       | ビット 5       | ビット 4         | ビット 3         | ビット 2      |

FPU例外が要求されると、cause/flagフィールドに該当するビットは1にセットされます。FPU演算命令が実行されるたびに、causeフィールドはまず0にクリアされます。flagフィールドはソフトウェアによって0にクリアされるまで1の値を保持します。

- RM：丸めモード
  - RM=00：近傍への丸め
  - RM=01：0 方向に丸め
  - RM=10：予約
  - RM=11：予約
- ビット 22～ビット 31：予約  
読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

【注】 SH7718 の FPU と比較して、SH7091 の FPU には以下の機能が追加されています。

- (1) FR、SZ、PR ビットが追加されました。
- (2) 要因、イネーブル、フラグの各フィールド (cause、enable、flag) に、例外 O (オーバフロー)、U (アンダフロー)、I (不正確) のビットが追加されました。
- (3) 要因フィールド (cause) に、例外 E (FPU エラー) のビットが追加されました。

### 6.3.3 浮動小数点通信レジスタ (FPUL)

FPU と CPU 間の情報伝達は FPUL レジスタを介して行われます。32 ビットの FPUL レジスタはシステムレジスタで、LDS、STS 命令によって CPU からアクセスします。たとえば、汎用レジスタ R1 に格納した整数を単精度浮動小数点に変換する処理フローは次のとおりです。

R1      (LDS 命令)      FPUL      (単精度 FLOAT 命令)      FR1

## 6.4 丸め

浮動小数点命令において、丸めは中間結果から最終演算結果を生成する際に実行されます。したがって、FMAC、FTRV、FIPR のような組み合わせ命令の結果は、FADD、FSUB、FMUL などの基本命令だけを用了結果とは異なります。FMAC は 1 度、FADD、FSUB および FMUL は 2 度というように丸めの回数が異なるためです。

丸めには 2 つの方法があり、使用する方法は FPSCR の RM フィールドで決まります。

RM=00：近傍への丸め  
RM=01：0 方向に丸め

#### (1) 近傍への丸め

値はもっとも近い表現可能な値に丸められます。もっとも近い表現可能な値が 2 つある場合、LSB が 0 の方を選択します。

丸め前の値が  $2^{E_{\max}}(2-2^{-p})$  以上であれば丸め前と同じ符号の無限となります。ここで  $E_{\max}$ 、 $p$  は単精度でそれぞれ 127、24、倍精度で 1023、53 です。

#### (2) 0 方向への丸め

丸め前の値の丸めビット以下の桁は切り捨てられます。

ただし、丸め前の値が表現可能な最大絶対値数よりも大きい場合、表現可能な最大絶対値の数になります。



## 6.5 浮動小数点例外

FPU 関連の例外は次のとおりです。

### (1) 一般 FPU 抑止 / スロット FPU 抑止例外

SR.FD=1 のときに FPU 命令を実行すると発生します。

### (2) FPU 例外

例外要因は次のとおりです。

- FPU エラー (E) : FPSCR.DN=0 かつ非正規化数の入力時
- 無効演算 (V) : NaN 入力のような無効な演算の場合
- 0 による除算 (Z) : 除数 0 による除算
- オーバフロー (O) : 演算結果がオーバフローする場合
- アンダフロー (U) : 演算結果がアンダフローする場合
- 不正確例外 (I) : オーバフロー、アンダフロー、丸めが発生する場合

FPSCR の要因フィールドには上記要因 E、V、Z、O、U、I のすべてに該当するビットが含まれ、FPSCR のフラグおよびイネーブルフィールドには要因 V、Z、O、U、I に該当するビットが含まれていますが E に該当するビットは含まれていません。このように FPU エラーはディスエーブルにすることができません。

例外要因が発生すると、要因フィールドの該当するビットは 1 にセットされフラグフィールドに該当するビットに 1 が累積されます。例外要因が発生しない場合、要因フィールドの該当するビットは 0 にクリアされ、フラグフィールドに該当するビットは変更されません。

### (3) イネーブル / ディスエーブル例外処理

SH7091 はイネーブル例外処理とディスエーブル例外処理をサポートしています。

イネーブル例外処理は次の場合に発生します。

- FPU エラー (E) : FPSCR.DN=0 かつ非正規化数の入力時
- 無効演算 (V) : FPSCR.EN.V=1 かつ (命令=FTRV または無効演算) の場合
- 0 による除算 (Z) : FPSCR.EN.Z=1 かつ除数 0 による除算
- オーバフロー (O) : FPSCR.EN.O=1 かつ演算結果がオーバフローする可能性のある命令
- アンダフロー (U) : FPSCR.EN.U=1 かつ演算結果がアンダフローする可能性のある命令
- 不正確例外 (I) : FPSCR.EN.I=1 かつ演算結果が不正確になる可能性のある命令

各可能性については各命令の説明で示します。FPU 演算に起因するすべての例外事象は、同一の例外事象として割り付けられています。例外の意味内容は、システムレジスタ FPSCR を読み出して、保持されている情報を解釈することでソフトウェアにより決定します。イネーブルフィールドの O、U、I および V (FTRV の場合のみ) ビットのうち一つまたは複数のビットがセットされている場合、FPSCR の要因フィールド中のビットが一つもセットされていなければ、実際の例外要因は発生しないことを示しています。また、いかなるイネーブル例外処理動作によっても、デスティネーションレジスタは変更されません。

上記以外、FPU は例外処理をディスエーブルにします。すべての処理では要因 V、Z、O、U、I に対する該当ビットを 1 にセットし、各例外にはそれぞれのディスエーブル例外処理があります。

- 無効演算 (V) : 結果として qNaN を生成します。
- 0 による除算 (Z) : 丸め前と同じ符号付きの無限大を生成します。

- オーバフロー(O) :
  - 丸めモード=RZ のとき、丸め前と同じ符号付き最大正規化数を生成します。
  - 丸めモード=RN のとき、丸め前と同じ符号付き無限大を生成します。
- アンダフロー(U) :
  - FPSCR.DN=0 のとき、丸め前と同じ符号付き非正規化数、または丸め前と同じ符号付き 0 を生成します。
  - FPSCR.DN=1 のとき、丸め前と同じ符号付き 0 を生成します。
- 不正確例外(I) : 不正確な結果を生成します。

## 6.6 グラフィックサポート機能

SH7091 は 2 種類のグラフィック機能をサポートしています。1 つはジオメトリック演算用の新規命令であり、もう一つは高速データ転送を可能にするペア単精度転送命令です。

### 6.6.1 ジオメトリック演算命令

ジオメトリック演算命令は近似値演算です。最小のハードウェアで高速演算を可能とするため、SH7091 は 4 つの乗算の部分的演算結果のうち相対的に小さな値を無視します。したがって、演算結果には以下に示す誤差が生じます。

$$\text{最大誤差} = \text{MAX} \left( \text{各乗算結果} \times 2^{-\text{MIN}(\text{乗数の有効数字桁数}-1, \text{被乗数の有効数字桁数}-1)} \right) + \text{MAX} \left( \text{結果値} \times 2^{-23}, 2^{-149} \right)$$

ただし、有効数字桁数は正規化数が 24、非正規化数が 23 (小数部のリーディングゼロの桁数)

(1) FIPR FV<sub>m</sub>,FV<sub>n</sub>(*m,n*: 0, 4, 8, 12)

この命令は基本的に以下の用途に使用されます。

- 内積 (*m = n*) :
  - 一般的に、この演算はポリゴン表面の表面 / 裏面を判定するために使用されます。
- 各要素の平方和 (*m=n*) :
  - 一般的に、この演算はベクトルの長さを得るために使用されます。

高速演算を可能とするため近似値演算を行うことから、FIPR 命令を実行すると、要因フィールドおよびフラグフィールドの不正確例外 (I) ビットが常に 1 にセットされます。したがって、イネーブルフィールドの対応するビットがセットされていれば、イネーブル例外処理が実行されます。

## (2) FTRV XMTRX, FVn (n: 0, 4, 8, 12)

この命令は基本的に以下の用途に使用されます。

- 行列 ( $4 \times 4$ ) ・ ベクトル (4) :  
一般的に、この演算は、視点の変更、角度の変更、または移動といったベクトル変換 (4次元) に使用されます。基本的に、角度 + 平行移動のためのアフィン変換処理は、 $4 \times 4$  行列を必要とします。したがって、SH7091は4次元演算をサポートしています。
- 行列 ( $4 \times 4$ )  $\times$  行列 ( $4 \times 4$ ) :  
この演算を行うためには、FTRV命令を4回実行する必要があります。

高速演算を可能とするため近似値演算を行うことから、FTRV 命令を実行すると、要因フィールドおよびフラグフィールドの不正確例外 (I) ビットが常に1にセットされます。したがって、イネーブルフィールドのIビットがセットされていれば、イネーブル例外処理が実行されます。また、同様の理由で、FTRV 命令の実行の際、レジスタ内のすべてのデータタイプを実行前にチェックすることができません。イネーブルフィールドのVビットがセットされていると、イネーブル例外処理が実行されます。

## (3) FRCHG

この命令はバンクレジスタを変更します。例えば、FTRV 命令を使用する場合、背後にあるバンク上に行列の要素を設定する必要があります。しかし、変換行列の要素自体を作成するには、前面にあるバンクのレジスタを使用する方が簡単です。FPSCR に対する LDS 命令を使用すると、この命令はFPUの状態を維持するために、4~5サイクルを費やします。FRCHG 命令ではFPSCR.FR ビットの変更を1サイクルで行うことができます。

## 6.6.2 ペア単精度データ転送

新規に設けられた強力なジオメトリック演算命令に加えて、SH7091 は高速データ転送命令をサポートしています。

FPSCR.SZ = 1 のとき、SH7091 はペア単精度データ転送命令によるデータ転送を行えます。

- FMOV DRm/XDm, DRn/XDRn ( m, n: 0, 2, 4, 6, 8, 10, 12, 14 )
- FMOV DRm/XDm, @Rn ( m: 0, 2, 4, 6, 8, 10, 12, 14, n: 0 ~ 15 )

これらの命令により、2つの単精度 ( $2 \times 32$  ビット) データを転送することができます。つまり、これらの命令の転送性能が2倍となります。

- FSCHG  
この命令はFPSCRのSZビットの値を変更します。ペア単精度データ転送を行うか行わないかを高速に切り換えることができます。

---

# 7. 命令セット

---

## 7.1 実行環境

(1) PC

PC はその命令自身の命令アドレスを示します。

データサイズとデータタイプ： SH7091 の命令セットは固定長 16 ビット命令で実現されます。SH7091 はバイト（8 ビット）、ワード（16 ビット）、ロングワード（32 ビット）、クワッドワード（64 ビット）のデータサイズでメモリにアクセスします。単精度浮動小数点データ（32 ビット）は、ロングワードまたはクワッドワードサイズでメモリとのやりとりが可能です。倍精度浮動小数点データ（64 ビット）は、ロングワードサイズでメモリとのやりとりが可能です。倍精度浮動小数点演算を指定すると（FPSCR.PR=1）、クワッドワードアクセスの演算結果は未定義です。SH7091 がバイトサイズおよびワードサイズのデータをメモリからレジスタに移動するとデータは符号拡張されます。

(2) ロード/ストアアーキテクチャ

SH7091 は基本的演算をレジスタで実行するロード/ストアアーキテクチャを特長としています。メモリで直接実行する論理 AND 演算のようなビット操作演算を除き、メモリアクセスを必要とする演算はレジスタにロードした後、レジスタで実行されます。

(3) 遅延分岐

SH7091 の分岐命令および RTE は、BF、BT の 2 つの分岐命令を除き遅延分岐です。遅延分岐上で分岐の次の命令は分岐先命令の前に実行されます。遅延分岐後のこの実行スロットは「遅延スロット」と呼ばれます。たとえば、BRA 実行シーケンスは次のとおりです。

| 静的シーケンス              | 動的シーケンス                    |                                    |
|----------------------|----------------------------|------------------------------------|
| BRA TARGET           | BRA TARGET                 |                                    |
| ADD R1, R0<br>next_2 | ADD R1, R0<br>target_instr | 遅延スロットの ADD は TARGET に分岐する前に実行されます |

(4) 遅延スロット

命令によっては遅延スロットで実行するとスロット不当命令例外が発生します。「第 5 章 例外処理」を参照してください。分岐が成立しなかった BF/S、BT/S の次の命令も遅延スロット命令です。

## 7. 命令セット

---

### (5) T ビット

ステータスレジスタ (SR) の T ビットは、比較演算の結果を示すために使用し、条件付き分岐命令で参照します。たとえば、以下に条件付き分岐命令例を示します。

```
ADD    #1, R0          ; T ビットは ADD 演算で変更されない。  
CMP/EQ R1, R0          ; R0=R1 のとき T ビットは 1 にセットされる。  
BT     TARGET          ; T ビット=1(R0=R1) のとき TARGET に分岐する。
```

RTE の遅延スロットで、ステータスレジスタ (SR) ビットは次のように参照されます。命令アクセスは変更の前に MD ビットを使用し、データアクセスは変更後の MD ビットにアクセスします。変更後の他の S、T、M、Q、FD、BL、RB ビットを遅延スロットの命令実行のために使用します。STC、STC.L SR 命令は、変更後すべての SR ビットにアクセスします。

### (6) 定数値

8 ビットの定数値は命令コード、イミディエイト値で指定できます。また 16 ビット、32 ビットの定数値はメモリで文字通りの定数値として定義することができ、PC 相対ロード命令で参照できます。

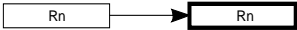
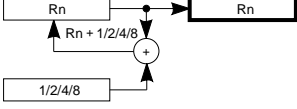
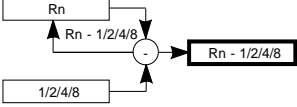
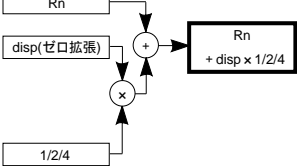
```
MOV.W   @(disp, PC), Rn  
MOV.L   @(disp, PC), Rn
```

浮動小数点に対する PC 相対ロード命令はありません。ただし、単精度浮動小数点レジスタに対して FLDI0、FLDI1 命令を使用することによって、0.0 または 1.0 にセットすることができます。

## 7.2 アドレッシングモード

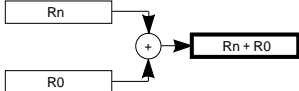
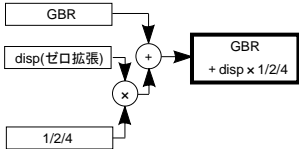
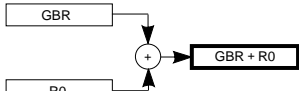
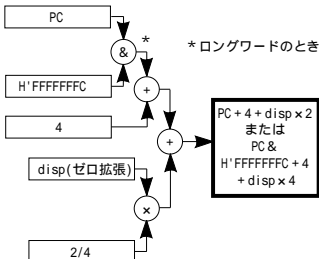
表 7.1 にアドレッシングモードと実効アドレスの計算を示します。仮想メモリ空間のある位置をアクセスすると (MMUCR.AT=1)、実効アドレスは物理メモリアドレスに変換されます。複数の仮想メモリ空間システムを選択した場合 (MMUCR.SV=0)、PTEH の最下位ビットもアクセスの ASID として参照されます。「第 3 章 メモリマネジメントユニット」を参照してください。

表 7.1 アドレッシングモードと実効アドレス (1)

| アドレッシングモード         | 命令フォーマット       | 実効アドレスの計算方法  | 計算式   |
|--------------------|----------------|--|---|
| レジスタ直接             | Rn             | 実効アドレスはレジスタ Rn です。<br>(オペランドはレジスタ Rn の内容です。)   | -   |
| レジスタ間接             | @Rn            | 実効アドレスはレジスタ Rn の内容です。<br>   | Rn EA (EA: 実効アドレス)  |
| ポストインクリメントレジスタ間接   | @Rn+           | 実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4、クワッドワードのとき 8 です。<br>          | Rn EA<br>命令実行後<br>バイト: Rn + 1 Rn<br>ワード: Rn + 2 Rn<br>ロングワード: Rn + 4 Rn<br>クワッドワード: Rn + 8 Rn           |
| プリデクリメントレジスタ間接     | @ - Rn         | 実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4、クワッドワードのとき 8 です。<br>                       | バイト: Rn - 1 Rn<br>ワード: Rn - 2 Rn<br>ロングワード: Rn - 4 Rn<br>クワッドワード: Rn - 8 Rn<br>Rn EA<br>(計算後の Rn で命令実行) |
| ディスプレースメント付きレジスタ間接 | @ (disp:4, Rn) | 実効アドレスはレジスタ Rn に 4 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。<br> | バイト: Rn + disp EA<br>ワード: Rn + disp x 2 EA<br>ロングワード: Rn + disp x 4 EA                                  |

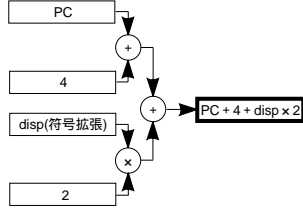
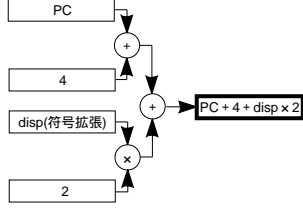
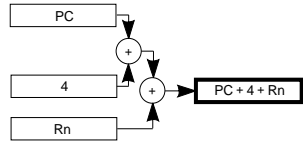
## 7. 命令セット

表 7.1 アドレッシングモードと実効アドレス (2)

| アドレッシングモード          | 命令フォーマット        | 実効アドレスの計算方法   | 計算式  |
|---------------------|-----------------|---|--|
| インデックス付きレジスタ間接      | @ (R0, Rn)      | <p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p>    | $Rn + R0$ EA   |
| ディスプレースメント付き GBR 間接 | @ (disp:8, GBR) | <p>実効アドレスはレジスタ GBR に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p>                            | バイト : $GBR + disp$ EA<br>ワード : $GBR + disp \times 2$ EA<br>ロングワード : $GBR + disp \times 4$ EA |
| インデックス付き GBR 間接     | @ (R0, GBR)     | <p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p>    | $GBR + R0$ EA  |
| ディスプレースメント付き PC 相対  | @ (disp:8, PC)  | <p>実効アドレスは PC + 4 に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。</p>  | ワード : $PC + 4 + disp \times 2$ EA<br>ロングワード :<br>$PC \& H'FFFFFFFC + 4 + disp \times 4$ EA   |

( 続く )

表 7.1 アドレッシングモードと実効アドレス (3)

| アドレッシングモード | 命令フォーマット | 実効アドレスの計算方法   | 計算式                             |
|------------|----------|---|---------------------------------|
| PC 相対      | disp:8   | <p>実効アドレスは PC + 4 に 8 ビットディスプレースメント disp を符号拡張後 2 倍し、加算した内容です。</p>   | PC + 4 + disp × 2 Branch-Target |
|            | disp:12  | <p>実効アドレスは PC + 4 に 12 ビットディスプレースメント disp を符号拡張後 2 倍し、加算した内容です。</p>  | PC + 4 + disp × 2 Branch-Target |
|            | Rn       | <p>実効アドレスは PC + 4 に Rn を加算した内容です。</p>                              | PC + 4 + Rn Branch-Target       |
| イミディエイト    | #imm:8   | TST, AND, OR, XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。  |                                 |
|            | #imm:8   | MOV, ADD, CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。   |                                 |
|            | #imm:8   | TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。   |                                 |

【注】 下記のディスプレースメント (disp) を伴うアドレッシングモードにおいて、本マニュアルのアセンブラ記述は、オペランドサイズに応じたスケーリング (×1、×2、×4) を行う前の値を書いています。これは、LSI の動作を明確にするためで、実際のアセンブラの記述は、各アセンブラの表記ルールを参照してください。

@ ( disp:4, Rn ) ;ディスプレースメント付きレジスタ間接  
 @ ( disp:8, GBR ) ;ディスプレースメント付き GBR 間接  
 @ ( disp:8, PC ) ;ディスプレースメント付き PC 相対  
 disp : 8, disp :12 ;PC 相対



## 7.3 命令セット

SH 命令の次のリストに使用する表記を表 7.2 に示します。

表 7.2 命令リストの表記

| 項目       | フォーマット         | 説明   |
|----------|----------------|--|
| 命令ニーモニック | OP.Sz SRC,DEST | OP : オペレーションコード<br>Sz : サイズ<br>SRC : ソースオペランド<br>DEST : ソースおよび / またはデスティネーションオペランド   |
| 演算の要約    |                | 、 転送方向<br>(xx) メモリオペランド<br>M/Q/T SR のフラグビット<br>& 各ビットの論理積<br>  各ビットの論理和<br>^ 各ビット排他的論理和<br>~ 各ビットの論理否定<br><<n, >>n n ビットシフト  |
| 命令コード    | MSB LSB        | mmmm : レジスタ番号 (Rm, FRm)<br>nnnn : レジスタ番号 (Rn, FRn)<br>0000 : R0, FR0<br>0001 : R1, FR1<br>:<br>1111 : R15, FR15<br>mmm : レジスタ番号 (DRm, XDm, Rm_BANK)<br>nnn : レジスタ番号 (DRm, XDm, Rn_BANK)<br>000 : DR0, XD0, R0_BANK<br>001 : DR2, XD2, R1_BANK<br>:<br>111 : DR14, XD14, R7_BANK<br>mm : レジスタ番号 (FVm)<br>nn : レジスタ番号 (FVn)<br>00 : FV0<br>01 : FV4<br>10 : FV8<br>11 : FV12<br>iiii : イミディエイト値<br>dddd : ディスプレースメント |
| 特権モード    |                | 「特権」と記載してある場合、特権モードでのみ実行可能です。  |
| T ビット    | 命令実行後の T ビットの値 | - : 変更なし   |

【注】スケーリング (x1、x2、x4、x8) は命令オペランドのサイズに応じて実行されます。

表 7.3 固定小数点転送命令

| 命令                   | 動作                           | 命令コード            | 特権 | T<br>ビット |
|----------------------|------------------------------|------------------|----|----------|
| MOV #imm,Rn          | imm 符号拡張 Rn                  | 1110nnnniiiiiii  |    |          |
| MOV.W @(disp,PC),Rn  | (disp × 2+PC+4) 符号拡張 Rn      | 1001nnnnddddddd  |    |          |
| MOV.L @(disp,PC),Rn  | (disp × 4+PC&H'FFFFFFC+4) Rn | 1101nnnnddddddd  |    |          |
| MOV Rm,Rn            | Rm Rn                        | 0110nnnnmmmm0011 |    |          |
| MOV.B Rm,@Rn         | Rm (Rn)                      | 0010nnnnmmmm0000 |    |          |
| MOV.W Rm,@Rn         | Rm (Rn)                      | 0010nnnnmmmm0001 |    |          |
| MOV.L Rm,@Rn         | Rm (Rn)                      | 0010nnnnmmmm0010 |    |          |
| MOV.B @Rm,Rn         | (Rm) 符号拡張 Rn                 | 0110nnnnmmmm0000 |    |          |
| MOV.W @Rm,Rn         | (Rm) 符号拡張 Rn                 | 0110nnnnmmmm0001 |    |          |
| MOV.L @Rm,Rn         | (Rm) Rn                      | 0110nnnnmmmm0010 |    |          |
| MOV.B Rm,@-Rn        | Rn-1 Rn, Rm (Rn)             | 0010nnnnmmmm0100 |    |          |
| MOV.W Rm,@-Rn        | Rn-2 Rn, Rm (Rn)             | 0010nnnnmmmm0101 |    |          |
| MOV.L Rm,@-Rn        | Rn-4 Rn, Rm (Rn)             | 0010nnnnmmmm0110 |    |          |
| MOV.B @Rm+,Rn        | (Rm) 符号拡張 Rn, Rm+1 Rm        | 0110nnnnmmmm0100 |    |          |
| MOV.W @Rm+,Rn        | (Rm) 符号拡張 Rn, Rm+2 Rm        | 0110nnnnmmmm0101 |    |          |
| MOV.L @Rm+,Rn        | (Rm) Rn, Rm+4 Rm             | 0110nnnnmmmm0110 |    |          |
| MOV.B R0,@(disp,Rn)  | R0 (disp+Rn)                 | 10000000nnnndddd |    |          |
| MOV.W R0,@(disp,Rn)  | R0 (disp × 2+Rn)             | 10000001nnnndddd |    |          |
| MOV.L Rm,@(disp,Rn)  | Rm (disp × 4+Rn)             | 0001nnnnmmmmdddd |    |          |
| MOV.B @(disp,Rm),R0  | (disp+Rm) 符号拡張 R0            | 10000100mmmmdddd |    |          |
| MOV.W @(disp,Rm),R0  | (disp × 2+Rm) 符号拡張 R0        | 10000101mmmmdddd |    |          |
| MOV.L @(disp,Rm),Rn  | (disp × 4+Rm) Rn             | 0101nnnnmmmmdddd |    |          |
| MOV.B Rm,@(R0,Rn)    | Rm (R0+Rn)                   | 0000nnnnmmmm0100 |    |          |
| MOV.W Rm,@(R0,Rn)    | Rm (R0+Rn)                   | 0000nnnnmmmm0101 |    |          |
| MOV.L Rm,@(R0,Rn)    | Rm (R0+Rn)                   | 0000nnnnmmmm0110 |    |          |
| MOV.B @(R0,Rm),Rn    | (R0+Rm) 符号拡張 Rn              | 0000nnnnmmmm1100 |    |          |
| MOV.W @(R0,Rm),Rn    | (R0+Rm) 符号拡張 Rn              | 0000nnnnmmmm1101 |    |          |
| MOV.L @(R0,Rm),Rn    | (R0+Rm) Rn                   | 0000nnnnmmmm1110 |    |          |
| MOV.B R0,@(disp,GBR) | R0 (disp+GBR)                | 11000000dddddddd |    |          |
| MOV.W R0,@(disp,GBR) | R0 (disp × 2+GBR)            | 11000001dddddddd |    |          |
| MOV.L R0,@(disp,GBR) | R0 (disp × 4+GBR)            | 11000010dddddddd |    |          |
| MOV.B @(disp,GBR),R0 | (disp+GBR) 符号拡張 R0           | 11000100dddddddd |    |          |
| MOV.W @(disp,GBR),R0 | (disp × 2+GBR) 符号拡張 R0       | 11000101dddddddd |    |          |
| MOV.L @(disp,GBR),R0 | (disp × 4+GBR) R0            | 11000110dddddddd |    |          |
| MOVA @(disp,PC),R0   | disp × 4+PC&H'FFFFFFC+4 R0   | 11000111dddddddd |    |          |
| MOVT Rn              | T Rn                         | 0000nnnn00101001 |    |          |
| SWAP.B Rm,Rn         | Rm 下位 2 バイトの<br>上下バイト交換 Rn   | 0110nnnnmmmm1000 |    |          |
| SWAP.W Rm,Rn         | Rm 上下ワード交換 Rn                | 0110nnnnmmmm1001 |    |          |
| XTRCT Rm,Rn          | Rm:Rn の中央 32 ビット Rn          | 0010nnnnmmmm1101 |    |          |

## 7. 命令セット

表 7.4 算術演算命令 (1)

| 命令              | 動作  | 命令コード            | 特権 | T<br>ビット   |
|-----------------|---|------------------|----|------------|
| ADD Rm,Rn       | Rn+Rm Rn  | 0011nnnnmmmm1100 |    |            |
| ADD #imm,Rn     | Rn+imm Rn   | 0111nnnniiiiiii  |    |            |
| ADDC Rm,Rn      | Rn+Rm+T Rn, キャリ T   | 0011nnnnmmmm1110 |    | キャリ        |
| ADDV Rm,Rn      | Rn+Rm Rn, オーバフロー T  | 0011nnnnmmmm1111 |    | オーバ<br>フロー |
| CMP/EQ #imm,R0  | R0=imm のとき 1 T<br>それ以外るとき 0 T                                     | 10001000iiiiiii  |    | 比較<br>結果   |
| CMP/EQ Rm,Rn    | Rn=Rm のとき 1 T<br>それ以外るとき 0 T                                      | 0011nnnnmmmm0000 |    | 比較<br>結果   |
| CMP/HS Rm,Rn    | 無符号で Rn Rm のとき 1 T<br>それ以外るとき 0 T                                 | 0011nnnnmmmm0010 |    | 比較<br>結果   |
| CMP/GE Rm,Rn    | 有符号で Rn Rm のとき 1 T<br>それ以外るとき 0 T                                 | 0011nnnnmmmm0011 |    | 比較<br>結果   |
| CMP/HI Rm,Rn    | 無符号で Rn>Rm のとき 1 T<br>それ以外るとき 0 T                                 | 0011nnnnmmmm0110 |    | 比較<br>結果   |
| CMP/GT Rm,Rn    | 有符号で Rn>Rm のとき 1 T<br>それ以外るとき 0 T                                 | 0011nnnnmmmm0111 |    | 比較<br>結果   |
| CMP/PZ Rn       | Rn 0 のとき 1 T<br>それ以外るとき 0 T                                       | 0100nnnn00010001 |    | 比較<br>結果   |
| CMP/PL Rn       | Rn>0 のとき 1 T<br>それ以外るとき 0 T                                       | 0100nnnn00010101 |    | 比較<br>結果   |
| CMP/STR Rm,Rn   | いずれかのバイトが等しいとき<br>1 T<br>それ以外るとき 0 T                              | 0010nnnnmmmm1100 |    | 比較<br>結果   |
| DIV1 Rm,Rn      | 1 ステップ除算 (Rn÷Rm)  | 0011nnnnmmmm0100 |    | 計算<br>結果   |
| DIV0S Rm,Rn     | Rn の MSB Q, Rm の MSB M,<br>M^Q T                                  | 0010nnnnmmmm0111 |    | 計算<br>結果   |
| DIV0U           | 0 M/Q/T   | 0000000000011001 |    | 0          |
| DMULS.L Rm,Rn   | 符号付きで Rn×Rm MAC,<br>32×32 64 ビット                                  | 0011nnnnmmmm1101 |    |            |
| DMULU.L Rm,Rn   | 符号なしで Rn×Rm MAC,<br>32×32 64 ビット                                  | 0011nnnnmmmm0101 |    |            |
| DT Rn           | Rn-1 Rn, Rn が 0 のとき 1 T<br>Rn が 0 以外るとき 0 T                       | 0100nnnn00010000 |    | 比較<br>結果   |
| EXTS.B Rm,Rn    | Rm をバイトから符号拡張 Rn  | 0110nnnnmmmm1110 |    |            |
| EXTS.W Rm,Rn    | Rm をワードから符号拡張 Rn  | 0110nnnnmmmm1111 |    |            |
| EXTU.B Rm,Rn    | Rm をバイトからゼロ拡張 Rn  | 0110nnnnmmmm1100 |    |            |
| EXTU.W Rm,Rn    | Rm をワードからゼロ拡張 Rn  | 0110nnnnmmmm1101 |    |            |
| MAC.L @Rm+,@Rn+ | 符号付きで<br>(Rn)×(Rm)+MAC MAC<br>Rn+4 Rn, Rm+4 Rm<br>32×32+64 64 ビット | 0000nnnnmmmm1111 |    |            |

表 7.4 算術演算命令 (2)

| 命令                    | 動作   | 命令コード            | 特権 | T<br>ビット   |
|-----------------------|--|------------------|----|------------|
| MAC.W      @Rm+, @Rn+ | 符号付きで<br>(Rn) × (Rm) + MAC    MAC<br>Rn+2   Rn, Rm+2   Rm<br>16 × 16 + 64   64 ビット | 0100nnnnmmmm1111 |    |            |
| MUL.L      Rm, Rn     | Rn × Rm    MACL<br>32 × 32   32 ビット  | 0000nnnnmmmm0111 |    |            |
| MULS.W     Rm, Rn     | 符号付きで Rn × Rm    MACL<br>16 × 16   32 ビット  | 0010nnnnmmmm1111 |    |            |
| MULU.W     Rm, Rn     | 符号なしで Rn × Rm    MACL<br>16 × 16   32 ビット  | 0010nnnnmmmm1110 |    |            |
| NEG        Rm, Rn     | 0-Rm   Rn  | 0110nnnnmmmm1011 |    |            |
| NEGC       Rm, Rn     | 0-Rm-T   Rn, ポロー   T   | 0110nnnnmmmm1010 |    | ポロー        |
| SUB        Rm, Rn     | Rn-Rm   Rn   | 0011nnnnmmmm1000 |    |            |
| SUBC       Rm, Rn     | Rn-Rm-T   Rn, ポロー   T  | 0011nnnnmmmm1010 |    | ポロー        |
| SUBV       Rm, Rn     | Rn-Rm   Rn, アンダフロー   T   | 0011nnnnmmmm1011 |    | アンダ<br>フロー |

表 7.5 論理演算命令

| 命令                          | 動作  | 命令コード            | 特権 | T<br>ビット  |
|-----------------------------|---|------------------|----|-----------|
| AND        Rm, Rn           | Rn & Rm    Rn   | 0010nnnnmmmm1001 |    |           |
| AND        #imm, R0         | R0 & imm    R0  | 11001001iiiiiiii |    |           |
| AND.B      #imm, @(R0, GBR) | (R0+GBR) & imm    (R0+GBR)                                  | 11001101iiiiiiii |    |           |
| NOT        Rm, Rn           | ~Rm    Rn   | 0110nnnnmmmm0111 |    |           |
| OR         Rm, Rn           | Rn   Rm    Rn   | 0010nnnnmmmm1011 |    |           |
| OR         #imm, R0         | R0   imm    R0  | 11001011iiiiiiii |    |           |
| OR.B       #imm, @(R0, GBR) | (R0+GBR)   imm    (R0+GBR)                                  | 11001111iiiiiiii |    |           |
| TAS.B      @Rn              | (Rn) が 0 のとき 1   T<br>それ以外とき 0   T<br>両方に対して 1   (Rn) の MSB | 0100nnnn00011011 |    | テスト<br>結果 |
| TST        Rm, Rn           | Rn & Rm,    結果が 0 のとき 1   T<br>それ以外とき 0   T                 | 0010nnnnmmmm1000 |    | テスト<br>結果 |
| TST        #imm, R0         | R0 & imm,    結果が 0 のとき 1   T<br>それ以外とき 0   T                | 11001000iiiiiiii |    | テスト<br>結果 |
| TST.B      #imm, @(R0, GBR) | (R0+GBR) & imm,<br>結果が 0 のとき 1   T<br>それ以外とき 0   T          | 11001100iiiiiiii |    | テスト<br>結果 |
| XOR        Rm, Rn           | Rn ^ Rm    Rn   | 0010nnnnmmmm1010 |    |           |
| XOR        #imm, R0         | R0 ^ imm    R0  | 11001010iiiiiiii |    |           |
| XOR.B      #imm, @(R0, GBR) | (R0+GBR) ^ imm    (R0+GBR)                                  | 11001110iiiiiiii |    |           |

## 7. 命令セット

表 7.6 シフト命令

| 命令          | 動作  | 命令コード            | 特権 | T<br>ビット |
|-------------|---|------------------|----|----------|
| ROTL Rn     | T Rn MSB  | 0100nnnn00000100 |    | MSB      |
| ROTR Rn     | LSB Rn T  | 0100nnnn00000101 |    | LSB      |
| ROTCL Rn    | T Rn T  | 0100nnnn00100100 |    | MSB      |
| ROTCR Rn    | T Rn T  | 0100nnnn00100101 |    | LSB      |
| SHAD Rm, Rn | Rm 0 のとき $Rn \ll Rm$ Rn,<br>Rm<0 のとき $Rn \gg Rm$ [MSB Rn] | 0100nnnnmmmm1100 |    |          |
| SHAL Rn     | T Rn 0  | 0100nnnn00100000 |    | MSB      |
| SHAR Rn     | MSB Rn T  | 0100nnnn00100001 |    | LSB      |
| SHLD Rm, Rn | Rm 0 のとき $Rn \ll Rm$ Rn,<br>Rm<0 のとき $Rn \gg Rm$ [0 Rn]   | 0100nnnnmmmm1101 |    |          |
| SHLL Rn     | T Rn 0  | 0100nnnn00000000 |    | MSB      |
| SHLR Rn     | 0 Rn T  | 0100nnnn00000001 |    | LSB      |
| SHLL2 Rn    | $Rn \ll 2$ Rn   | 0100nnnn00001000 |    |          |
| SHLR2 Rn    | $Rn \gg 2$ Rn   | 0100nnnn00001001 |    |          |
| SHLL8 Rn    | $Rn \ll 8$ Rn   | 0100nnnn00011000 |    |          |
| SHLR8 Rn    | $Rn \gg 8$ Rn   | 0100nnnn00011001 |    |          |
| SHLL16 Rn   | $Rn \ll 16$ Rn  | 0100nnnn00101000 |    |          |
| SHLR16 Rn   | $Rn \gg 16$ Rn  | 0100nnnn00101001 |    |          |

表 7.7 分岐命令

| 命令         | 動作  | 命令コード            | 特権 | T<br>ビット |
|------------|---|------------------|----|----------|
| BF label   | T=0 のとき $\text{disp} \times 2 + \text{PC} + 4$ PC,<br>T=1 のとき nop       | 10001011dddddddd |    |          |
| BF/S label | 遅延分岐, T=0 のとき $\text{disp} \times 2 + \text{PC} + 4$ PC,<br>T=1 のとき nop | 10001111dddddddd |    |          |
| BT label   | T=1 のとき $\text{disp} \times 2 + \text{PC} + 4$ PC,<br>T=0 のとき nop       | 10001001dddddddd |    |          |
| BT/S label | 遅延分岐, T=1 のとき $\text{disp} \times 2 + \text{PC} + 4$ PC,<br>T=0 のとき nop | 10001101dddddddd |    |          |
| BRA label  | 遅延分岐, $\text{disp} \times 2 + \text{PC} + 4$ PC                         | 1010dddddddddddd |    |          |
| BRAF Rn    | 遅延分岐, $Rn + \text{PC} + 4$ PC   | 0000nnnn00100011 |    |          |
| BSR label  | 遅延分岐, $\text{PC} + 4$ PR,<br>$\text{disp} \times 2 + \text{PC} + 4$ PC  | 1011dddddddddddd |    |          |
| BSRF Rn    | 遅延分岐, $\text{PC} + 4$ PR,<br>$Rn + \text{PC} + 4$ PC                    | 0000nnnn00000011 |    |          |
| JMP @Rn    | 遅延分岐, Rn PC   | 0100nnnn00101011 |    |          |
| JSR @Rn    | 遅延分岐, $\text{PC} + 4$ PR, Rn PC   | 0100nnnn00001011 |    |          |
| RTS        | 遅延分岐, PR PC   | 0000000000001011 |    |          |

表 7.8 システム制御命令 (1)

| 命令                 | 動作                          | 命令コード            | 特権 | T<br>ビット |
|--------------------|-----------------------------|------------------|----|----------|
| CLRMACH            | 0 MACH,MACL                 | 0000000000101000 |    |          |
| CLRS               | 0 S                         | 0000000001001000 |    |          |
| CLRT               | 0 T                         | 0000000000001000 |    | 0        |
| LDC Rm,SR          | Rm SR                       | 0100mmmm00001110 | 特権 | LSB      |
| LDC Rm,GBR         | Rm GBR                      | 0100mmmm00011110 |    |          |
| LDC Rm,VBR         | Rm VBR                      | 0100mmmm00101110 | 特権 |          |
| LDC Rm,SSR         | Rm SSR                      | 0100mmmm00111110 | 特権 |          |
| LDC Rm,SPC         | Rm SPC                      | 0100mmmm01001110 | 特権 |          |
| LDC Rm,DBR         | Rm DBR                      | 0100mmmm11110100 | 特権 |          |
| LDC Rm,Rn_BANK     | Rm Rn_BANK(n=0~7)           | 0100mmmm1nnn1110 | 特権 |          |
| LDC.L @Rm+,SR      | (Rm) SR, Rm+4 Rm            | 0100mmmm00000111 | 特権 | LSB      |
| LDC.L @Rm+,GBR     | (Rm) GBR, Rm+4 Rm           | 0100mmmm00010111 |    |          |
| LDC.L @Rm+,VBR     | (Rm) VBR, Rm+4 Rm           | 0100mmmm00100111 | 特権 |          |
| LDC.L @Rm+,SSR     | (Rm) SSR, Rm+4 Rm           | 0100mmmm00110111 | 特権 |          |
| LDC.L @Rm+,SPC     | (Rm) SPC, Rm+4 Rm           | 0100mmmm01000111 | 特権 |          |
| LDC.L @Rm+,DBR     | (Rm) DBR, Rm+4 Rm           | 0100mmmm11110110 | 特権 |          |
| LDC.L @Rm+,Rn_BANK | (Rm) Rn_BANK, Rm+4 Rm       | 0100mmmm1nnn0111 | 特権 |          |
| LDS Rm,MACH        | Rm MACH                     | 0100mmmm00001010 |    |          |
| LDS Rm,MACL        | Rm MACL                     | 0100mmmm00011010 |    |          |
| LDS Rm,PR          | Rm PR                       | 0100mmmm00101010 |    |          |
| LDS.L @Rm+,MACH    | (Rm) MACH, Rm+4 Rm          | 0100mmmm00000110 |    |          |
| LDS.L @Rm+,MACL    | (Rm) MACL, Rm+4 Rm          | 0100mmmm00010110 |    |          |
| LDS.L @Rm+,PR      | (Rm) PR, Rm+4 Rm            | 0100mmmm00100110 |    |          |
| LDTLB              | PTEH/PTEL TLB               | 000000000111000  | 特権 |          |
| MOVCA.L R0,@Rn     | (キャッシュブロックをフェッチせずに)R0 (Rn)  | 0000nnnn11000011 |    |          |
| NOP                | 無操作                         | 0000000000001001 |    |          |
| OCBI @Rn           | オペランドキャッシュブロックを無効にする        | 0000nnnn10010011 |    |          |
| OCBP @Rn           | オペランドキャッシュブロックをライトバックし無効にする | 0000nnnn10100011 |    |          |
| OCBWB @Rn          | オペランドキャッシュブロックをライトバックする     | 0000nnnn10110011 |    |          |
| PREF @Rn           | (Rn) オペランドキャッシュ             | 0000nnnn10000011 |    |          |
| RTE                | 遅延分岐, SSR/SPC SR/PC         | 000000000101011  | 特権 |          |
| SETS               | 1 S                         | 0000000001011000 |    |          |
| SETT               | 1 T                         | 0000000000011000 |    | 1        |
| SLEEP              | スリープもしくはスタンバイ               | 0000000000011011 | 特権 |          |

## 7. 命令セット

表 7.8 システム制御命令 (2)

| 命令    |              | 動作   | 命令コード            | 特権 | T<br>ビット |
|-------|--------------|--|------------------|----|----------|
| STC   | SR,Rn        | SR Rn  | 0000nnnn00000010 | 特権 |          |
| STC   | GBR,Rn       | GBR Rn   | 0000nnnn00010010 |    |          |
| STC   | VBR,Rn       | VBR Rn   | 0000nnnn00100010 | 特権 |          |
| STC   | SSR, Rn      | SSR Rn   | 0000nnnn00110010 | 特権 |          |
| STC   | SPC,Rn       | SPC Rn   | 0000nnnn01000010 | 特権 |          |
| STC   | SGR,Rn       | SGR Rn   | 0000nnnn00111010 | 特権 |          |
| STC   | DBR,Rn       | DBR Rn   | 0000nnnn11111010 | 特権 |          |
| STC   | Rm_BANK,Rn   | Rm_BANK Rn (m=0 ~ 7)   | 0000nnnn1mmm0010 | 特権 |          |
| STC.L | SR,@-Rn      | Rn-4 Rn, SR (Rn)   | 0100nnnn00000011 | 特権 |          |
| STC.L | GBR,@-Rn     | Rn-4 Rn, GBR (Rn)  | 0100nnnn00010011 |    |          |
| STC.L | VBR,@-Rn     | Rn-4 Rn, VBR (Rn)  | 0100nnnn00100011 | 特権 |          |
| STC.L | SSR,@-Rn     | Rn-4 Rn, SSR (Rn)  | 0100nnnn00110011 | 特権 |          |
| STC.L | SPC,@-Rn     | Rn-4 Rn, SPC (Rn)  | 0100nnnn01000011 | 特権 |          |
| STC.L | SGR,@-Rn     | Rn-4 Rn, SGR (Rn)  | 0100nnnn00110010 | 特権 |          |
| STC.L | DBR,@-Rn     | Rn-4 Rn, DBR (Rn)  | 0100nnnn11110010 | 特権 |          |
| STC.L | Rm_BANK,@-Rn | Rn-4 Rn, Rm_BANK (Rn)<br>(m=0 ~ 7)                                 | 0100nnnn1mmm0011 | 特権 |          |
| STS   | MACH,Rn      | MACH Rn  | 0000nnnn00001010 |    |          |
| STS   | MACL,Rn      | MACL Rn  | 0000nnnn00011010 |    |          |
| STS   | PR,Rn        | PR Rn  | 0000nnnn00101010 |    |          |
| STS.L | MACH,@-Rn    | Rn-4 Rn, MACH (Rn)   | 0100nnnn00000010 |    |          |
| STS.L | MACL,@-Rn    | Rn-4 Rn, MACL (Rn)   | 0100nnnn00010010 |    |          |
| STS.L | PR,@-Rn      | Rn-4 Rn, PR (Rn)   | 0100nnnn00100010 |    |          |
| TRAPA | #imm         | PC+2 SPC, SR SSR, #imm <<2<br>TRA, H'160 EXPEVT,<br>VBR+ H'0100 PC | 11000011iiiiiiii |    |          |

表 7.9 浮動小数点単精度命令

| 命令      |               | 動作                               | 命令コード              | 特権 | T<br>ビット |
|---------|---------------|----------------------------------|--------------------|----|----------|
| FLDI0   | FRn           | H'00000000 FRn                   | 1111nnnn10001101   |    |          |
| FLDI1   | FRn           | H'3F800000 FRn                   | 1111nnnn10011101   |    |          |
| FMOV    | FRm, FRn      | FRm FRn                          | 1111nnnnmmmm1100   |    |          |
| FMOV.S  | @Rm, FRn      | (Rm) FRn                         | 1111nnnnmmmm1000   |    |          |
| FMOV.S  | @(R0,Rm),FRn  | (R0 + Rm) FRn                    | 1111nnnnmmmm0110   |    |          |
| FMOV.S  | @Rm+,FRn      | (Rm) FRn,Rm+4 Rm                 | 1111nnnnmmmm1001   |    |          |
| FMOV.S  | FRm, @Rn      | FRm (Rn)                         | 1111nnnnmmmm1010   |    |          |
| FMOV.S  | FRm, @-Rn     | Rn-4 Rn, FRm (Rn)                | 1111nnnnmmmm1011   |    |          |
| FMOV.S  | FRm, @(R0,Rn) | FRm (R0+Rn)                      | 1111nnnnmmmm0111   |    |          |
| FMOV    | DRm, DRn      | DRm DRn                          | 1111nnnn0mmmm01100 |    |          |
| FMOV    | @Rm, DRn      | (Rm) DRn                         | 1111nnnn0mmmm1000  |    |          |
| FMOV    | @(R0,Rm),DRn  | (R0 + Rm) DRn                    | 1111nnnn0mmmm0110  |    |          |
| FMOV    | @Rm+,DRn      | (Rm) DRn,Rm+8 Rm                 | 1111nnnn0mmmm1001  |    |          |
| FMOV    | DRm, @Rn      | DRm (Rn)                         | 1111nnnnmmmm01010  |    |          |
| FMOV    | DRm, @-Rn     | Rn-8 Rn,DRm (Rn)                 | 1111nnnnmmmm01011  |    |          |
| FMOV    | DRm, @(R0,Rn) | DRm (R0+Rn)                      | 1111nnnnmmmm00111  |    |          |
| FLDS    | FRm,FPUL      | FRm FPUL                         | 1111mmmm00011101   |    |          |
| FSTS    | FPUL, FRn     | FPUL FRn                         | 1111nnnn00001101   |    |          |
| FABS    | FRn           | FRn & H'7FFF FFFF FRn            | 1111nnnn01011101   |    |          |
| FADD    | FRm, FRn      | FRn + FRm FRn                    | 1111nnnnmmmm0000   |    |          |
| FCMP/EQ | FRm, FRn      | FRn = FRm のとき 1 T<br>それ以外のとき 0 T | 1111nnnnmmmm0100   |    | 比較<br>結果 |
| FCMP/GT | FRm, FRn      | FRn > FRm のとき 1 T<br>それ以外のとき 0 T | 1111nnnnmmmm0101   |    | 比較<br>結果 |
| FDIV    | FRm, FRn      | FRn /FRm FRn                     | 1111nnnnmmmm0011   |    |          |
| FLOAT   | FPUL, FRn     | (float)FPUL FRn                  | 1111nnnn00101101   |    |          |
| FMAC    | FR0, FRm, FRn | FR0 * FRm + FRn FRn              | 1111nnnnmmmm1110   |    |          |
| FMUL    | FRm, FRn      | FRn * FRm FRn                    | 1111nnnnmmmm0010   |    |          |
| FNEG    | FRn           | FRn ^ H'80000000 FRn             | 1111nnnn01001101   |    |          |
| FSQRT   | FRn           | $\sqrt{\text{FRn}}$ FRn          | 1111nnnn01101101   |    |          |
| FSUB    | FRm, FRn      | FRn - FRm FRn                    | 1111nnnnmmmm0001   |    |          |
| FTRC    | FRm, FPUL     | (long)FRm FPUL                   | 1111mmmm00111101   |    |          |



## 7. 命令セット

表 7.10 浮動小数点倍精度命令

| 命令               | 動作                                 | 命令コード            | 特権 | T<br>ビット |
|------------------|------------------------------------|------------------|----|----------|
| FABS DRn         | DRn & H'7FFF FFFF FFFF FFFF<br>DRn | 1111nnn001011101 |    |          |
| FADD DRm, DRn    | DRn + DRm DRn                      | 1111nnn0mmm00000 |    |          |
| FCMP/EQ DRm, DRn | DRn = DRm のとき 1 T<br>それ以外 のとき 0 T  | 1111nnn0mmm00100 |    | 比較<br>結果 |
| FCMP/GT DRm, DRn | DRn > DRm のとき 1 T<br>それ以外 のとき 0 T  | 1111nnn0mmm00101 |    | 比較<br>結果 |
| FDIV DRm, DRn    | DRn / DRm DRn                      | 1111nnn0mmm00011 |    |          |
| FCNVDS DRm, FPUL | double_to_float[DRm] FPUL          | 1111mmm010111101 |    |          |
| FCNVSD FPUL, DRn | float_to_double[FPUL] DRn          | 1111nnn010101101 |    |          |
| FLOAT FPUL, DRn  | (float)FPUL DRn                    | 1111nnn000101101 |    |          |
| FMUL DRm, DRn    | DRn * DRm DRn                      | 1111nnn0mmm00010 |    |          |
| FNEG DRn         | DRn ^ H'8000 0000 0000 0000<br>DRn | 1111nnn001001101 |    |          |
| FSQRT DRn        | $\sqrt{\text{DRn}}$ DRn            | 1111nnn001101101 |    |          |
| FSUB DRm, DRn    | DRn - DRm DRn                      | 1111nnn0mmm00001 |    |          |
| FTRC DRm, FPUL   | (long)DRm FPUL                     | 1111mmm000111101 |    |          |

表 7.11 浮動小数点制御命令

| 命令                | 動作                  | 命令コード            | 特権 | T<br>ビット |
|-------------------|---------------------|------------------|----|----------|
| LDS Rm, FPSCR     | Rm FPSCR            | 0100mmmm01101010 |    |          |
| LDS Rm, FPUL      | Rm FPUL             | 0100mmmm01011010 |    |          |
| LDS.L @Rm+, FPSCR | (Rm) FPSCR, Rm+4 Rm | 0100mmmm01100110 |    |          |
| LDS.L @Rm+, FPUL  | (Rm) FPUL, Rm+4 Rm  | 0100mmmm01010110 |    |          |
| STS FPSCR, Rn     | FPSCR Rn            | 0000nnnn01101010 |    |          |
| STS FPUL, Rn      | FPUL Rn             | 0000nnnn01011010 |    |          |
| STS.L FPSCR, @-Rn | Rn-4 Rn, FPSCR (Rn) | 0100nnnn01100010 |    |          |
| STS.L FPUL, @-Rn  | Rn-4 Rn, FPUL (Rn)  | 0100nnnn01010010 |    |          |

表 7.12 浮動小数点グラフィック強化命令

| 命令    |               | 動作                                  | 命令コード            | 特権 | T<br>ビット |
|-------|---------------|-------------------------------------|------------------|----|----------|
| FMOV  | DRm, XDn      | DRm    XDn                          | 1111nnn1mmm01100 |    |          |
| FMOV  | XDm, DRn      | XDm    DRn                          | 1111nnn0mmm11100 |    |          |
| FMOV  | XDm, XDn      | XDm    XDn                          | 1111nnn1mmm11100 |    |          |
| FMOV  | @Rm, XDn      | (Rm)    XDn                         | 1111nnn1mmm1000  |    |          |
| FMOV  | @Rm+, XDn     | (Rm)    XDn, Rm+8    Rm             | 1111nnn1mmm1001  |    |          |
| FMOV  | @(R0,Rm),XDn  | (R0 + Rm)    XDn                    | 1111nnn1mmm0110  |    |          |
| FMOV  | XDm, @Rn      | XDm    (Rn)                         | 1111nnnnmmm11010 |    |          |
| FMOV  | XDm, @-Rn     | Rn-8    Rn, XDm    (Rn)             | 1111nnnnmmm11011 |    |          |
| FMOV  | XDm, @(R0,Rn) | XDm    (R0+Rn)                      | 1111nnnnmmm10111 |    |          |
| FIPR  | FVm, FVn      | inner_product[FVm, FVn]<br>FR[n+3]  | 1111nnmm11101101 |    |          |
| FTRV  | XMTRX, FVn    | transform_vector[XMTRX, FVn]<br>FVn | 1111nn0111111101 |    |          |
| FRCHG |               | ~ FPSCR.FR    FPSCR.FR              | 1111101111111101 |    |          |
| FSCHG |               | ~ FPSCR.SZ    FPSCR.SZ              | 1111001111111101 |    |          |

## 8. パイプライン動作

SH7091 は 2 命令並列型 (2-ILP, Instruction-Level-Parallelism) のスーパースカラパイプライン処理マイクロプロセッサです。命令実行はパイプライン化され、2 つの命令を並行して実行できます。実行サイクルはプロセッサの実装方法によって異なります。本章での定義は SH7091 以外の SH-4 シリーズの他のモデルには適用できない場合があります。

### 8.1 パイプライン

図 8.1 に基本パイプラインを示します。通常、パイプラインは命令フェッチ (I)、デコード・レジスタリード (D)、実行 (EX, SX, F0、F1、F2、または F3)、データアクセス (NA、または MA)、ライトバック (S、または FS) の 5、または 6 ステージから構成されます。1 つの命令は基本パイプラインの組み合わせとして実行されます。図 8.2 に命令実行パターンを示します。

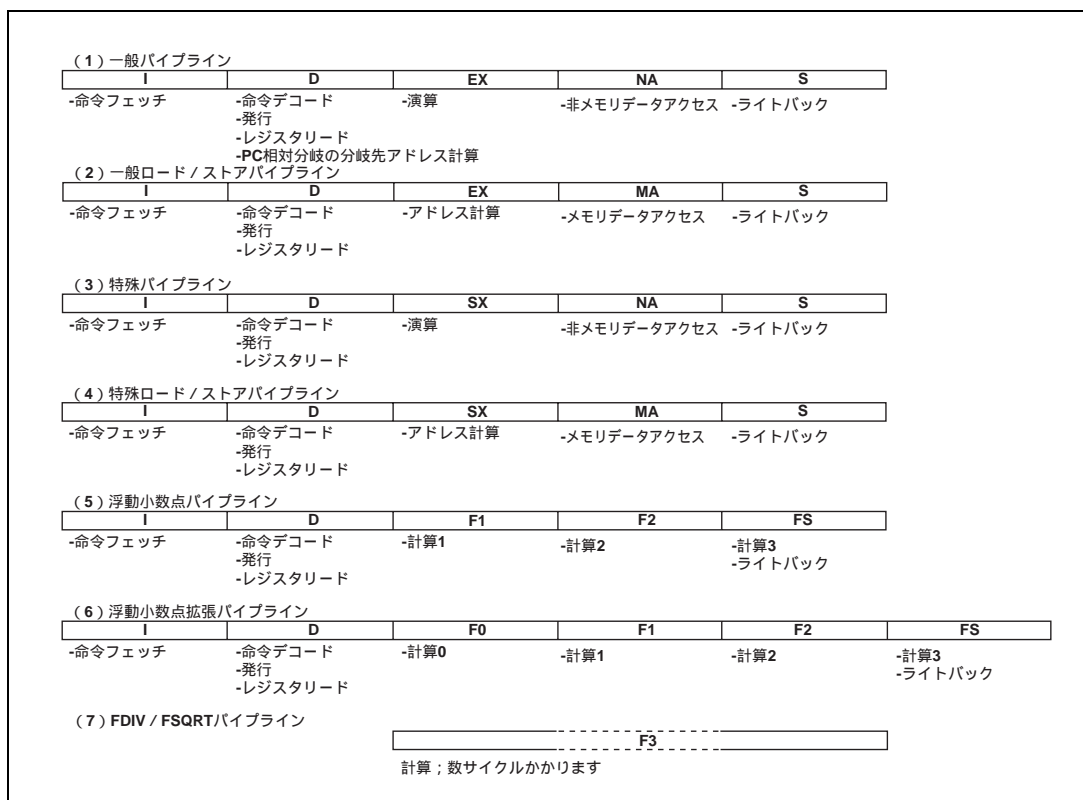


図 8.1 基本パイプライン

## 8. パイプライン動作

### (1) 1ステップ演算 ; 1 発行サイクル

EXT[SU].[BW], MOV, MOV#, MOVA, MOVT, SWAP.[BW], XTRCT,  
ADD\*, CMP\*, DIV\*, DT, NEG\*, SUB\*,  
AND, AND#, NOT, OR, OR#, TST, TST#, XOR, XOR#,  
ROT\*, SHA\*, SHL\*, BF\*, BT\*, BRA,  
NOP, CLRS, CLRT, SETS, SETT,  
FPULへのLDS, FPUL/FPSCRからのSTS,  
FLDI0, FLDI1, FMOV, FLDS, FSTS,  
単精度 / 倍精度 FABS/FNEG

|   |   |    |    |   |
|---|---|----|----|---|
| I | D | EX | NA | S |
|---|---|----|----|---|

### (2) ロード / ストア ; 1発行サイクル

MOV.[BWL], FMOV\*@, FPULへのLDS.L, LDTLB, PREF,  
FPUL/FPSCRからのSTS.L

|   |   |    |    |   |
|---|---|----|----|---|
| I | D | EX | MA | S |
|---|---|----|----|---|

### (3) GBRベースロード / ストア ; 1発行サイクル

MOV.[BWL]@(d,GBR)

|   |   |    |    |   |
|---|---|----|----|---|
| I | D | SX | MA | S |
|---|---|----|----|---|

### (4) JMP, RTS, BRAF ; 2発行サイクル

|   |   |    |    |    |   |
|---|---|----|----|----|---|
| I | D | EX | NA | S  |   |
|   |   | D  | EX | NA | S |

### (5) TST.B ; 3発行サイクル

|   |   |    |    |    |    |   |
|---|---|----|----|----|----|---|
| I | D | SX | MA | S  |    |   |
|   |   | D  | SX | NA | S  |   |
|   |   |    | D  | SX | NA | S |

### (6) AND.B, OR.B, XOR.B ; 4発行サイクル

|   |   |    |    |    |    |    |   |  |
|---|---|----|----|----|----|----|---|--|
| I | D | SX | MA | S  |    |    |   |  |
|   |   | D  | SX | NA | S  |    |   |  |
|   |   |    | D  | SX | NA | S  |   |  |
|   |   |    |    | D  | SX | MA | S |  |

### (7) TAS.B ; 5発行サイクル

|   |   |    |    |    |    |    |    |   |  |
|---|---|----|----|----|----|----|----|---|--|
| I | D | EX | MA | S  |    |    |    |   |  |
|   |   | D  | EX | MA | S  |    |    |   |  |
|   |   |    | D  | EX | NA | S  |    |   |  |
|   |   |    |    | D  | EX | NA | S  |   |  |
|   |   |    |    |    | D  | EX | MA | S |  |

### (8) RTE ; 5発行サイクル

|   |   |    |    |    |    |    |    |    |   |
|---|---|----|----|----|----|----|----|----|---|
| I | D | EX | NA | S  |    |    |    |    |   |
|   |   | D  | EX | NA | S  |    |    |    |   |
|   |   |    | D  | EX | NA | S  |    |    |   |
|   |   |    |    | D  | EX | NA | S  |    |   |
|   |   |    |    |    | D  | EX | NA | S  |   |
|   |   |    |    |    |    | D  | EX | NA | S |

### (9) SLEEP ; 4発行サイクル

|   |   |    |    |    |    |    |   |  |
|---|---|----|----|----|----|----|---|--|
| I | D | EX | NA | S  |    |    |   |  |
|   |   | D  | EX | NA | S  |    |   |  |
|   |   |    | D  | EX | NA | S  |   |  |
|   |   |    |    | D  | EX | NA | S |  |

図 8.2 命令実行パターン (1)

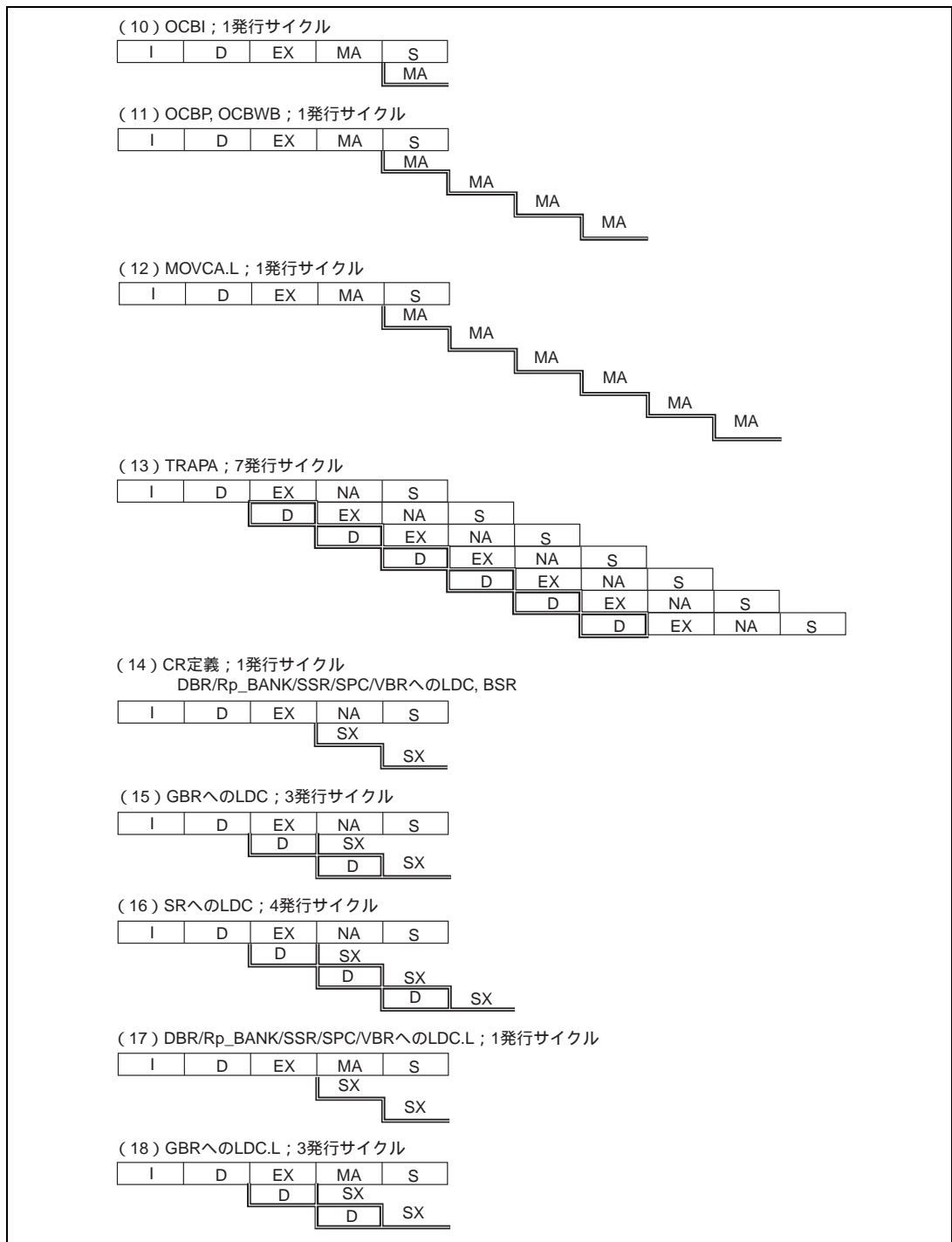


図 8.2 命令実行パターン (2)

## 8. パイプライン動作

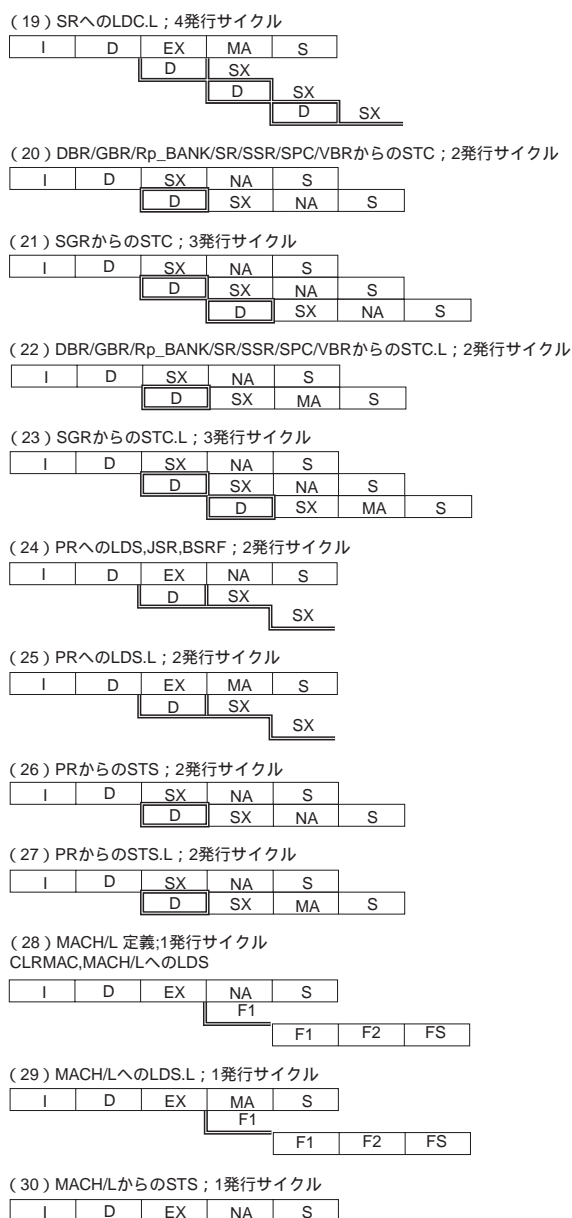


図 8.2 命令実行パターン (3)

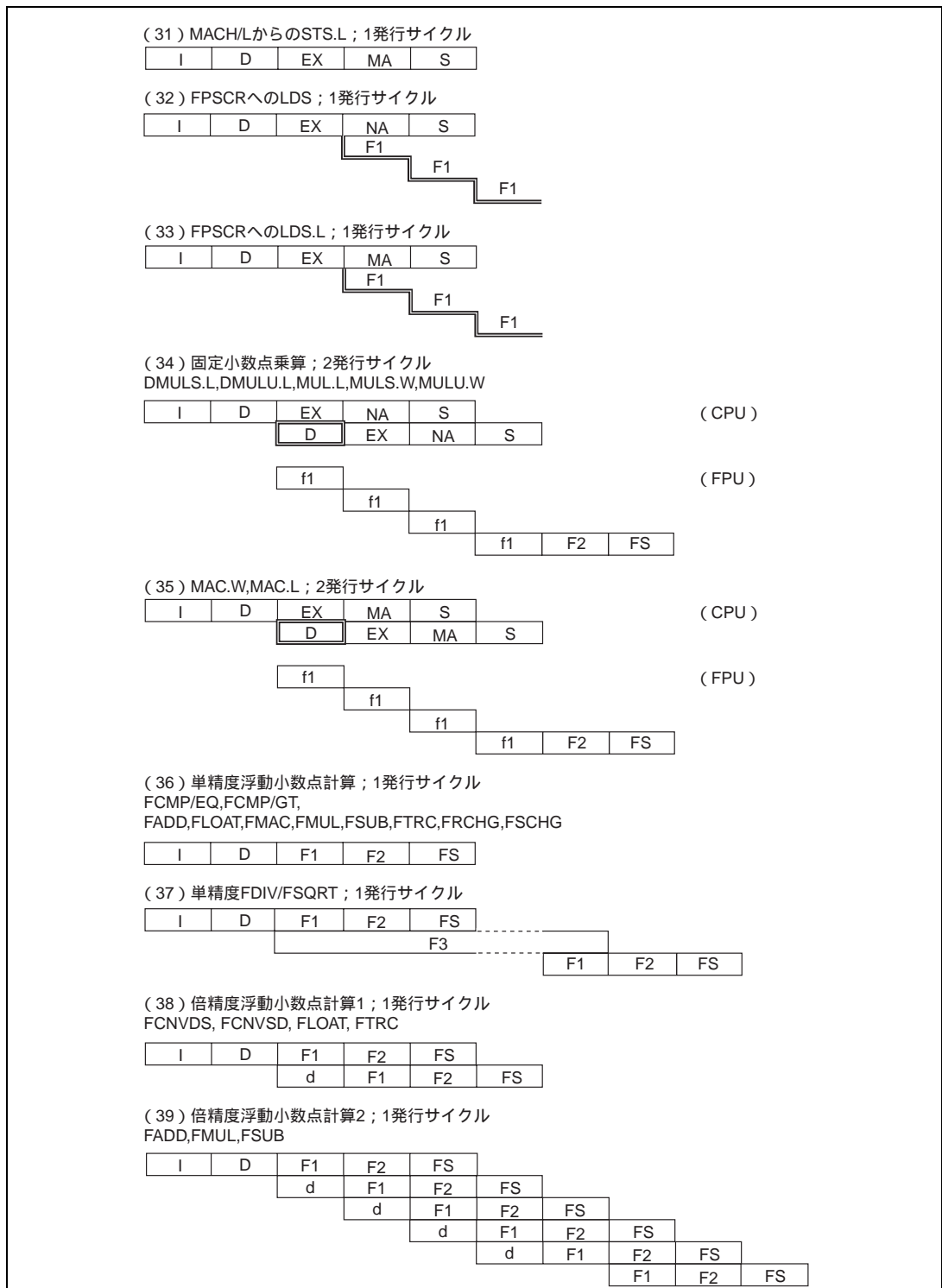


図 8.2 命令実行パターン (4)

## 8. パイプライン動作

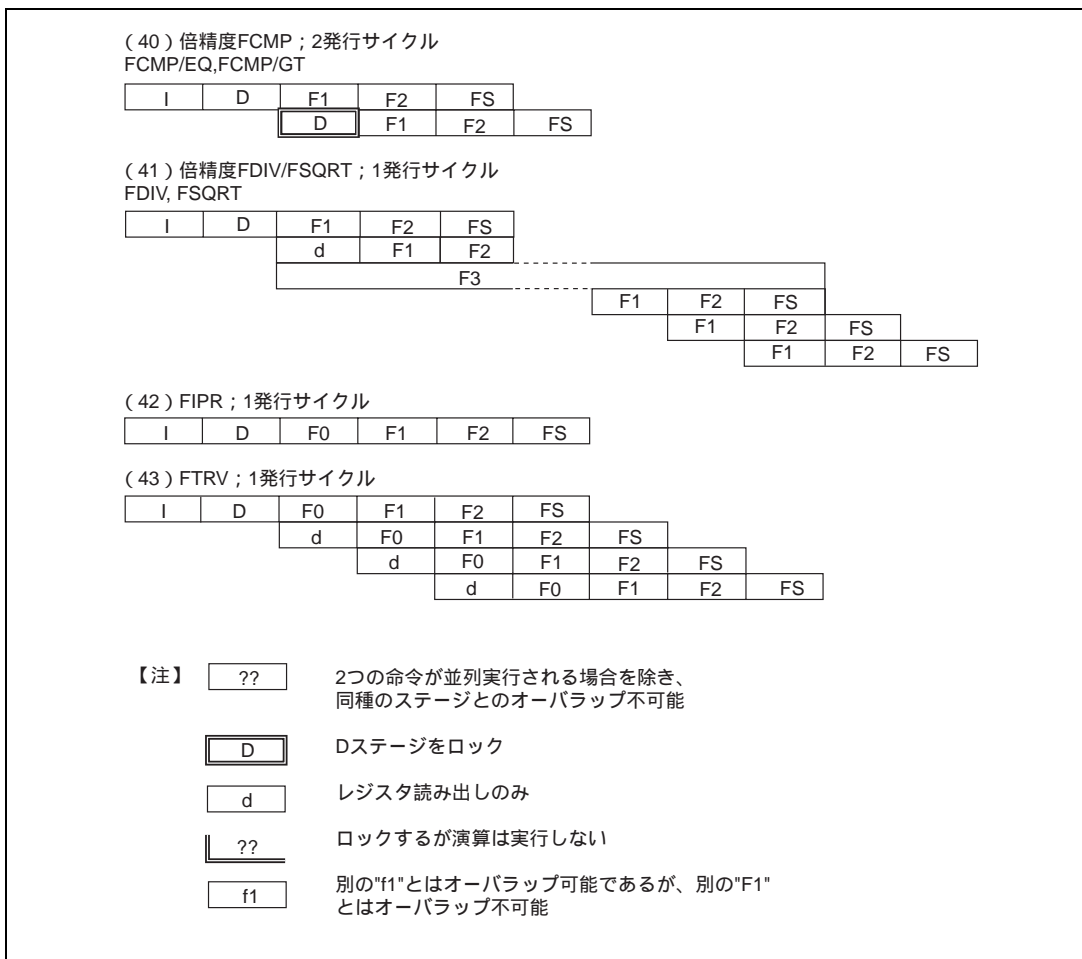


図 8.2 命令実行パターン (5)



## 8.2 並列実行性

表 8.1 に示すように、命令は利用する内部機能ブロックにより 6 つのグループに分類されます。表 8.2 に並列実行可能な 2 つの命令の組み合わせをグループごとに示します。たとえば、EX グループに分類された ADD と BR グループの BRA は並列実行できます。

表 8.1 命令グループ (1)

### (1) MT グループ

|        |         |         |       |      |         |
|--------|---------|---------|-------|------|---------|
| CLRT   |         | CMP/Hi  | Rm,Rn | MOV  | Rm,Rn   |
| CMP/EQ | #imm,R0 | CMP/HS  | Rm,Rn | NOP  |         |
| CMP/EQ | Rm,Rn   | CMP/PL  | Rn    | SETT |         |
| CMP/GE | Rm,Rn   | CMP/PZ  | Rn    | TST  | #imm,R0 |
| CMP/GT | Rm,Rn   | CMP/STR | Rm,Rn | TST  | Rm,Rn   |

### (2) EX グループ

|        |               |        |         |        |         |
|--------|---------------|--------|---------|--------|---------|
| ADD    | #imm,Rn       | MOVt   | Rn      | SHLL2  | Rn      |
| ADD    | Rm,Rn         | NEG    | Rm,Rn   | SHLL8  | Rn      |
| ADDC   | Rm,Rn         | NEGC   | Rm,Rn   | SHLR   | Rn      |
| ADDV   | Rm,Rn         | NOT    | Rm,Rn   | SHLR16 | Rn      |
| AND    | #imm,R0       | OR     | #imm,R0 | SHLR2  | Rn      |
| AND    | Rm,Rn         | OR     | Rm,Rn   | SHLR8  | Rn      |
| DIV0S  | Rm,Rn         | ROTCL  | Rn      | SUB    | Rm,Rn   |
| DIV0U  |               | ROTCR  | Rn      | SUBC   | Rm,Rn   |
| DIV1   | Rm,Rn         | ROTL   | Rn      | SUBV   | Rm,Rn   |
| DT     | Rn            | ROTR   | Rn      | SWAP.B | Rm,Rn   |
| EXTS.B | Rm,Rn         | SHAD   | Rm,Rn   | SWAP.W | Rm,Rn   |
| EXTS.W | Rm,Rn         | SHAL   | Rn      | XOR    | #imm,R0 |
| EXTU.B | Rm,Rn         | SHAR   | Rn      | XOR    | Rm,Rn   |
| EXTU.W | Rm,Rn         | SHLD   | Rm,Rn   | XTRCT  | Rm,Rn   |
| MOV    | #imm,Rn       | SHLL   | Rn      |        |         |
| MOVA   | @(disp,PC),R0 | SHLL16 | Rn      |        |         |

### (3) BR グループ

|      |      |     |      |      |      |
|------|------|-----|------|------|------|
| BF   | disp | BRA | disp | BT   | disp |
| BF/S | disp | BSR | disp | BT/S | disp |

## 8. パイプライン動作

表 8.1 命令グループ (2)

### (4) LS グループ

|        |              |        |                |         |                |
|--------|--------------|--------|----------------|---------|----------------|
| FABS   | DRn          | FMOV.S | @Rm+,FRn       | MOV.L   | R0,@(disp,GBR) |
| FABS   | FRn          | FMOV.S | FRm,@(R0,Rn)   | MOV.L   | Rm,@(disp,Rn)  |
| FLDI0  | FRn          | FMOV.S | FRm,@-Rn       | MOV.L   | Rm,@(R0,Rn)    |
| FLDI1  | FRn          | FMOV.S | FRm,@Rn        | MOV.L   | Rm,@-Rn        |
| FLDS   | FRm,FPUL     | FNEG   | DRn            | MOV.L   | Rm,@Rn         |
| FMOV   | @(R0,Rm),DRn | FNEG   | FRn            | MOV.W   | @(disp,GBR),R0 |
| FMOV   | @(R0,Rm),XDn | FSTS   | FPUL,FRn       | MOV.W   | @(disp,PC),Rn  |
| FMOV   | @Rm,DRn      | LDS    | Rm,FPUL        | MOV.W   | @(disp,Rm),R0  |
| FMOV   | @Rm,XDn      | MOV.B  | @(disp,GBR),R0 | MOV.W   | @(R0,Rm),Rn    |
| FMOV   | @Rm+,DRn     | MOV.B  | @(disp,Rm),R0  | MOV.W   | @Rm,Rn         |
| FMOV   | @Rm+,XDn     | MOV.B  | @(R0,Rm),Rn    | MOV.W   | @Rm+,Rn        |
| FMOV   | DRm,@(R0,Rn) | MOV.B  | @Rm,Rn         | MOV.W   | R0,@(disp,GBR) |
| FMOV   | DRm,@-Rn     | MOV.B  | @Rm+,Rn        | MOV.W   | R0,@(disp,Rn)  |
| FMOV   | DRm,@Rn      | MOV.B  | R0,@(disp,GBR) | MOV.W   | Rm,@(R0,Rn)    |
| FMOV   | DRm,DRn      | MOV.B  | R0,@(disp,Rn)  | MOV.W   | Rm,@-Rn        |
| FMOV   | DRm,XDn      | MOV.B  | Rm,@(R0,Rn)    | MOV.W   | Rm,@Rn         |
| FMOV   | FRm,FRn      | MOV.B  | Rm,@-Rn        | MOVCA.L | R0,@Rn         |
| FMOV   | XDm,@(R0,Rn) | MOV.B  | Rm,@Rn         | OCBI    | @Rn            |
| FMOV   | XDm,@-Rn     | MOV.L  | @(disp,GBR),R0 | OCBP    | @Rn            |
| FMOV   | XDm,@Rn      | MOV.L  | @(disp,PC),Rn  | OCBWB   | @Rn            |
| FMOV   | XDm,DRn      | MOV.L  | @(disp,Rm),Rn  | PREF    | @Rn            |
| FMOV   | XDm,XDn      | MOV.L  | @(R0,Rm),Rn    | STS     | FPUL,Rn        |
| FMOV.S | @(R0,Rm),FRn | MOV.L  | @Rm,Rn         |         |                |
| FMOV.S | @Rm,FRn      | MOV.L  | @Rm+,Rn        |         |                |

### (5) FE グループ

|         |          |       |             |       |           |
|---------|----------|-------|-------------|-------|-----------|
| FADD    | DRm,DRn  | FIPR  | FVm,FVn     | FSQRT | DRn       |
| FADD    | FRm,FRn  | FLOAT | FPUL,DRn    | FSQRT | FRn       |
| FCMP/EQ | FRm,FRn  | FLOAT | FPUL,FRn    | FSUB  | DRm,DRn   |
| FCMP/GT | FRm,FRn  | FMAC  | FR0,FRm,FRn | FSUB  | FRm,FRn   |
| FCNVDS  | DRm,FPUL | FMUL  | DRm,DRn     | FTRC  | DRm,FPUL  |
| FCNVSD  | FPUL,DRn | FMUL  | FRm,FRn     | FTRC  | FRm,FPUL  |
| FDIV    | DRm,DRn  | FRCHG |             | FTRV  | XMTRX,FVn |
| FDIV    | FRm,FRn  | FSCHG |             |       |           |

表 8.1 命令グループ (3)

## (6) CO グループ

|         |                |        |                |       |                |
|---------|----------------|--------|----------------|-------|----------------|
| AND.B   | #imm,@(R0,GBR) | LDS    | Rm,FPSCR       | STC   | SR,Rn          |
| BRAF    | Rm             | LDS    | Rm,MACH        | STC   | SSR,Rn         |
| BSRF    | Rm             | LDS    | Rm,MACL        | STC   | VBR,Rn         |
| CLRMAC  |                | LDS    | Rm,PR          | STC.L | DBR,@-Rn       |
| CLRS    |                | LDS.L  | @Rm+,FPSCR     | STC.L | GBR,@-Rn       |
| DMULS.L | Rm,Rn          | LDS.L  | @Rm+,FPUL      | STC.L | Rp_BANK,@-Rn   |
| DMULU.L | Rm,Rn          | LDS.L  | @Rm+,MACH      | STC.L | SGR,@-Rn       |
| FCMP/EQ | DRm,DRn        | LDS.L  | @Rm+,MACL      | STC.L | SPC,@-Rn       |
| FCMP/GT | DRm,DRn        | LDS.L  | @Rm+,PR        | STC.L | SR,@-Rn        |
| JMP     | @Rn            | LDTLB  |                | STC.L | SSR,@-Rn       |
| JSR     | @Rn            | MAC.L  | @Rm+,@Rn+      | STC.L | VBR,@-Rn       |
| LDC     | Rm,DBR         | MAC.W  | @Rm+,@Rn+      | STS   | FPSCR,Rn       |
| LDC     | Rm,GBR         | MUL.L  | Rm,Rn          | STS   | MACH,Rn        |
| LDC     | Rm,Rp_BANK     | MULS.W | Rm,Rn          | STS   | MACL,Rn        |
| LDC     | Rm,SPC         | MULU.W | Rm,Rn          | STS   | PR,Rn          |
| LDC     | Rm,SR          | OR.B   | #imm,@(R0,GBR) | STS.L | FPSCR,@-Rn     |
| LDC     | Rm,SSR         | RTE    |                | STS.L | FPUL,@-Rn      |
| LDC     | Rm,VBR         | RTS    |                | STS.L | MACH,@-Rn      |
| LDC.L   | @Rm+,DBR       | SETS   |                | STS.L | MACL,@-Rn      |
| LDC.L   | @Rm+,GBR       | SLEEP  |                | STS.L | PR,@-Rn        |
| LDC.L   | @Rm+,Rp_BANK   | STC    | DBR,Rn         | TAS.B | @Rn            |
| LDC.L   | @Rm+,SPC       | STC    | GBR,Rn         | TRAPA | #imm           |
| LDC.L   | @Rm+,SR        | STC    | Rp_BANK,Rn     | TST.B | #imm,@(R0,GBR) |
| LDC.L   | @Rm+,SSR       | STC    | SGR,Rn         | XOR.B | #imm,@(R0,GBR) |
| LDC.L   | @Rm+,VBR       | STC    | SPC,Rn         |       |                |

表 8.2 並列実行性

|        |    | 第 2 命令 |    |    |    |    |    |
|--------|----|--------|----|----|----|----|----|
|        |    | MT     | EX | BR | LS | FE | CO |
| 第 1 命令 | MT |        |    |    |    |    | ×  |
|        | EX |        | ×  |    |    |    | ×  |
|        | BR |        |    | ×  |    |    | ×  |
|        | LS |        |    |    | ×  |    | ×  |
|        | FE |        |    |    |    | ×  | ×  |
|        | CO | ×      | ×  | ×  | ×  | ×  | ×  |

: 並列実行可能

× : 並列実行不可能

### 8.3 実行サイクルとパイプラインストール

本プロセッサには、I クロック、B クロック、P クロックの 3 つの基準クロックがあります。各ハードウェアユニットは次のように 3 つのクロックのいずれかで動作します。

- ・ I クロック : CPU、FPU、MMU、キャッシュ
- ・ B クロック : 外部バスコントローラ
- ・ P クロック : 周辺ユニット

3 つのクロックの周波数比は、FRQCR (周波数コントロールレジスタ) によって決まります。特別の指定がない限り、この章ではマシンサイクルは I クロックを基準にします。FRQCR の詳細については「第 10 章 クロック発振回路」を参照してください。

命令の実行サイクルを表 8.3 に示します。ただし、ここではパイプラインストールによるペナルティサイクルは考慮していません。

- ・ 発行レート : 命令の発行と次の命令の発行の間隔
- ・ レイテンシ : 命令の発行とその結果生成 (完了) の間隔
- ・ 命令実行パターン (図 8.2 を参照)
- ・ ロックしたパイプラインステージ
- ・ 命令の発行とロック開始の間隔
- ・ ロック時間 : マシンサイクル単位のロック周期

命令の実行シーケンスは、図 8.2 に示す実行パターンの組み合わせで表現します。各命令とその次の命令の間は、その発行レートのマシンサイクル数だけ離れます。通常、実行、データアクセス、ライトバックの各ステージは他の命令の同じステージとオーバーラップさせることはできません。並列実行性の条件により 2 命令が並列実行される場合のみ、例外的にオーバーラップ可能となります。この単純な例として図 8.3 の(a) ~ (d)を参照してください。

レイテンシは命令の発行と完了の間隔であり、また相互依存関係を持つ 2 命令の実行間隔でもあります。同時にフェッチされた 2 命令間に依存関係が存在する場合、2 命令のうち後の命令は次のサイクル数だけストールします。

- ・ フロー依存関係 (read-after-write、書き込み後の読み出し) が存在するとき (レイテンシ) サイクル
- ・ 出力依存関係 (write-after-write、書き込み後の書き込み) が存在するとき (レイテンシ - 1) または (レイテンシ - 2) サイクル
  - (a) 単 / 倍精度 FDIV、FSQRT が先行するとき (レイテンシ - 1) サイクル
  - (b) (a) 以外の FE グループの命令が先行するとき (レイテンシ - 2) サイクル
- ・ 次のような逆フロー依存関係 (write-after-read、読み出し後の書き込み) が存在するとき 5 サイクルまたは 2 サイクル
  - (a) FTRV が先行するとき 5 サイクル
  - (b) 倍精度 FADD、FSUB、FMUL が先行するとき 2 サイクル

フロー依存関係が存在する場合、連続した命令の組み合わせによりレイテンシが例外的に増加 / 減少します (図 8.3 (e))。

- 浮動小数点(FP)計算に FP レジスタストアが続くと、FP 計算のレイテンシは 1 サイクル減少する場合があります。
- SHAD、SHLD の直前にシフト量のロードが存在すると、ロードのレイテンシは 1 サイクル増加します。
- FP レジスタに対するライトバックを含み、レイテンシが 2 サイクル未満の命令の次に倍精度 FP 命令、FIPR または FTRV が続く場合、最初の命令のレイテンシは 2 サイクルに増加します。

フロー依存関係によるパイプラインのストールについては、依存性をもつ命令の組み合わせや、フェッチのタイミングによって、そのサイクル数にはバリエーションが生じます。図 8.3 (e)も参照してください。

出力依存関係は、先行する FE グループの命令とそれに続く LS グループの命令でデスティネーションオペランドが一致する場合に発生します。

出力依存関係を持つ命令のストールサイクルについては、「レイテンシ」に代入するものとして、すべてのデスティネーションオペランドのうち、最も遅いライトバックに対する最長のレイテンシを適用しなければなりません（図 8.3 (f)を参照）。ただし、FP 演算の結果を反映する FPSCR に対する出力依存関係によるストールは決して起こりません。たとえば、FDIV の次に FP レジスタ間に依存関係のない FADD が続く場合、2 つの命令が FPSCR の要因 (cause) フィールドを更新するにも関わらず、FADD はストールしません。

逆フロー依存関係は、先行する倍精度 FADD、FMUL、FSUB または FTRV とそれに続く FMOV、FLDIO、FLDI1、FABS、FNEG または FSTS の間でのみ発生する可能性があります。図 8.3 (g)を参照してください。

実行中の命令がいずれかのリソース、すなわち基本演算を行う機能ブロックをロックする場合、偶然ロックされたリソースを使用しようとしていた後続の命令はストールされなければなりません（図 8.3 (h)）。このようなストールはロックされたリソースとは無関係な命令を 1 つまたはそれ以上挿入し、干渉する命令を分離することによって補償することができます。たとえば、ロード命令とロードした値を参照する ADD 命令が連続している場合、依存性のない 3 つの命令を間に挿入することにより、ADD に対する 2 サイクルのストールが除かれます。このような命令スケジューリングによってソフトウェアの性能を向上させることができます。

例外発生、または外部データへのアクセス発生により他のペナルティが現れます。

- 命令 TLB ミス。ペナルティは 7 CPU クロックです。
- 外部メモリに対する命令アクセス（命令キャッシュミス等）。
- 外部メモリに対するデータアクセス（オペランドキャッシュミス等）。ペナルティは 2 CPU クロック + 3 バスクロックです。
- メモリ割り付けコントロールレジスタに対するデータアクセス。ペナルティはレジスタごとに異なり、リード/ライト動作、クロックモード、アクセス時のバス利用状況によって変化します。

命令 TLB ミスおよび外部命令アクセスのペナルティサイクル中、命令は発行されませんが、発行済みの命令の実行は継続されます。データアクセスに対するペナルティは、パイプラインのフリーズ、すなわち、未完了の命令の実行は要求したデータが到着するまで中断されます。命令アクセスとデータアクセスに対するペナルティサイクル数は、ユーザのメモリサブシステムに大きく依存します。

## 8. パイプライン動作

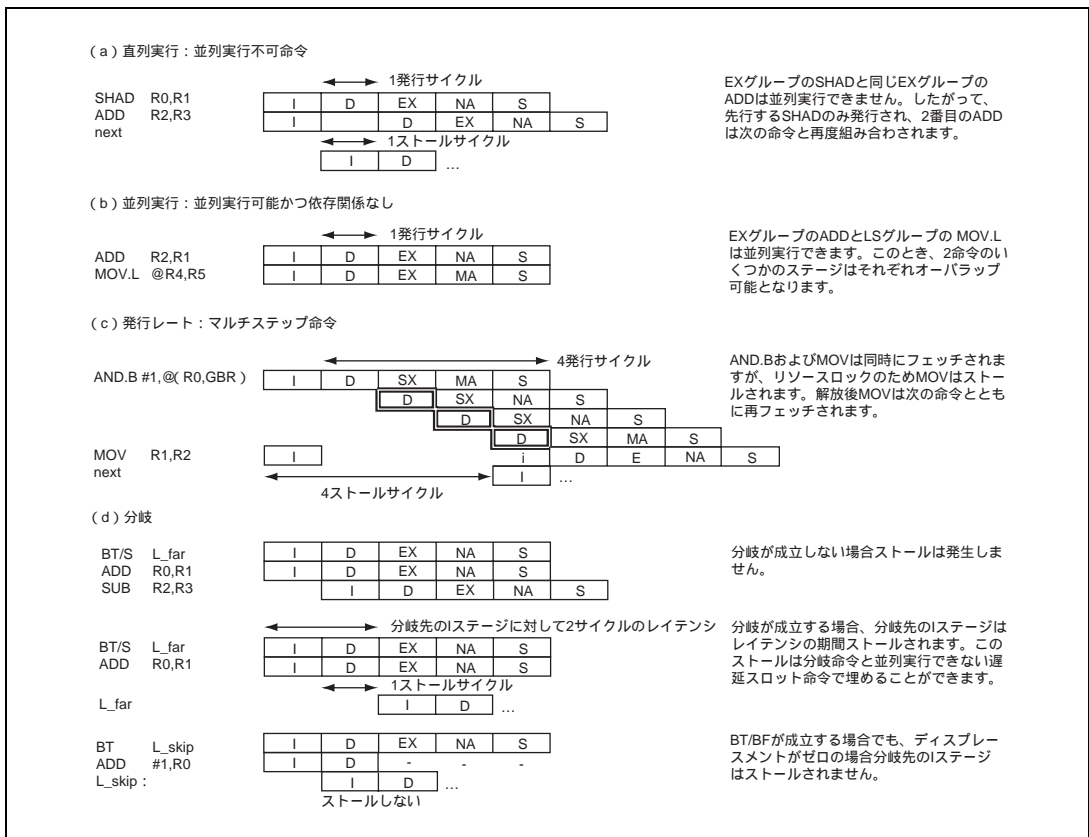


図 8.3 パイプライン実行の例 (1)

[illegible]

## 8. パイプライン動作

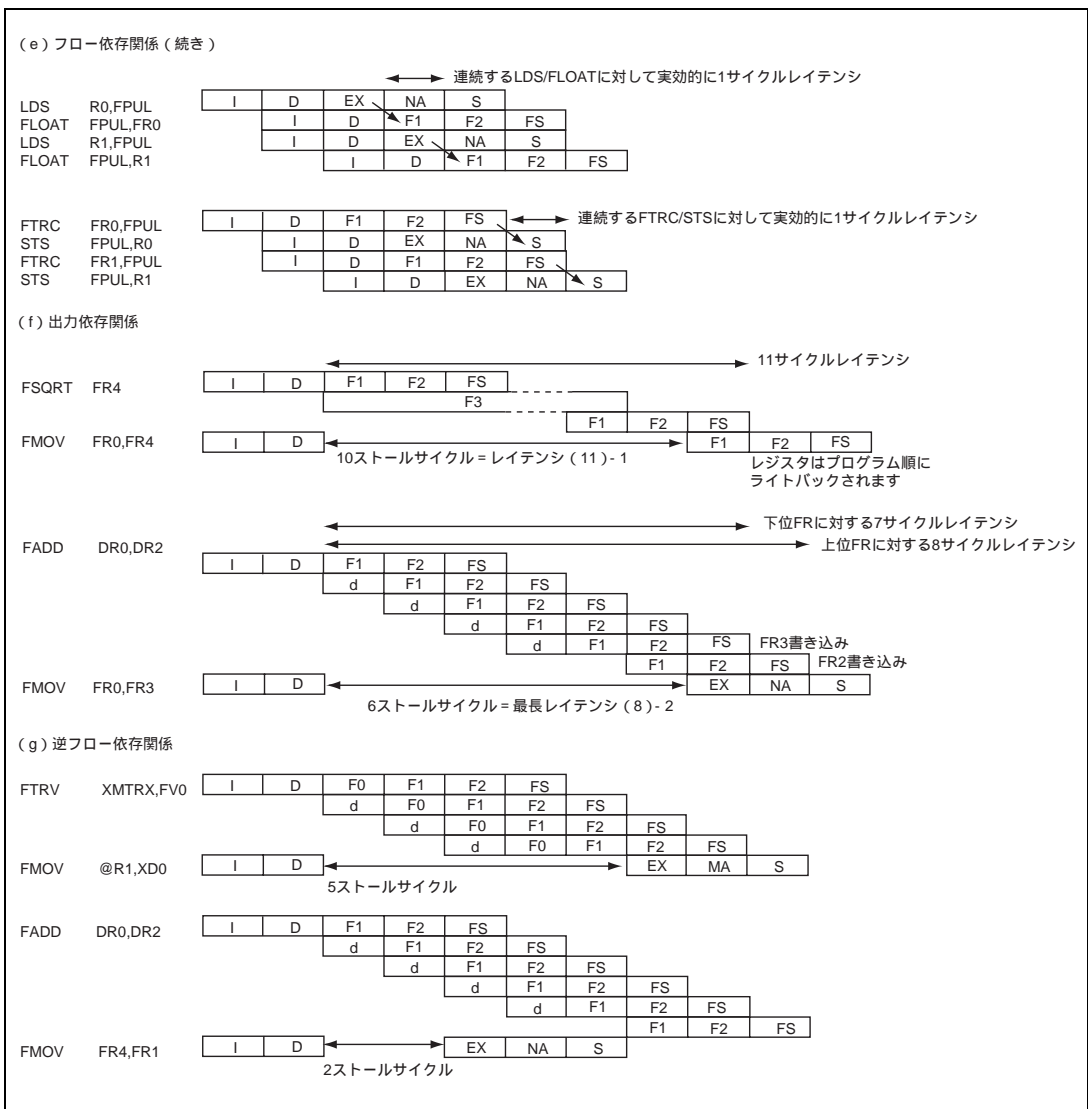


図 8.3 パイプライン実行の例 (3)



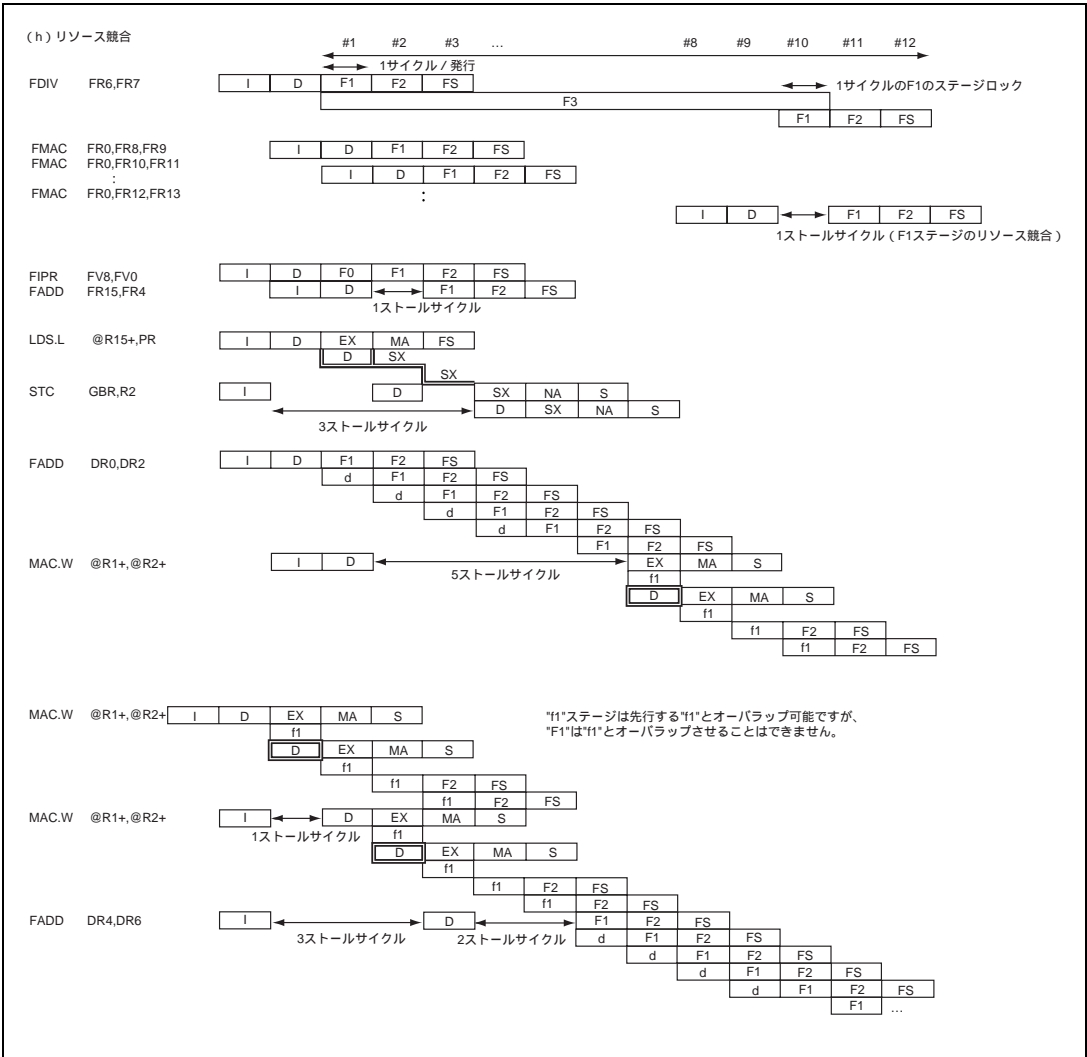


図 8.3 パイプライン実行の例 (4)

## 8. パイプライン動作

表 8.3 実行サイクル (1)

| 機能<br>分類        | No. | 命令      |                | 命令<br>グループ | 発行<br>レート | レイテ<br>ンシ | 実行<br>パターン | ロック  |    |      |
|-----------------|-----|---------|----------------|------------|-----------|-----------|------------|------|----|------|
|                 |     |         |                |            |           |           |            | ステージ | 開始 | サイクル |
| データ<br>転送<br>命令 | 1   | EXTS.B  | Rm,Rn          | EX         | 1         | 1         | #1         | -    | -  | -    |
|                 | 2   | EXTS.W  | Rm,Rn          | EX         | 1         | 1         | #1         | -    | -  | -    |
|                 | 3   | EXTU.B  | Rm,Rn          | EX         | 1         | 1         | #1         | -    | -  | -    |
|                 | 4   | EXTU.W  | Rm,Rn          | EX         | 1         | 1         | #1         | -    | -  | -    |
|                 | 5   | MOV     | Rm,Rn          | MT         | 1         | 0         | #1         | -    | -  | -    |
|                 | 6   | MOV     | #Imm,Rn        | EX         | 1         | 1         | #1         | -    | -  | -    |
|                 | 7   | MOVA    | @(disp,PC),R0  | EX         | 1         | 1         | #1         | -    | -  | -    |
|                 | 8   | MOV.W   | @(disp,PC),Rn  | LS         | 1         | 2         | #2         | -    | -  | -    |
|                 | 9   | MOV.L   | @(disp,PC),Rn  | LS         | 1         | 2         | #2         | -    | -  | -    |
|                 | 10  | MOV.B   | @Rm,Rn         | LS         | 1         | 2         | #2         | -    | -  | -    |
|                 | 11  | MOV.W   | @Rm,Rn         | LS         | 1         | 2         | #2         | -    | -  | -    |
|                 | 12  | MOV.L   | @Rm,Rn         | LS         | 1         | 2         | #2         | -    | -  | -    |
|                 | 13  | MOV.B   | @Rm+,Rn        | LS         | 1         | 1/2       | #2         | -    | -  | -    |
|                 | 14  | MOV.W   | @Rm+,Rn        | LS         | 1         | 1/2       | #2         | -    | -  | -    |
|                 | 15  | MOV.L   | @Rm+,Rn        | LS         | 1         | 1/2       | #2         | -    | -  | -    |
|                 | 16  | MOV.B   | @(disp,Rm),R0  | LS         | 1         | 2         | #2         | -    | -  | -    |
|                 | 17  | MOV.W   | @(disp,Rm),R0  | LS         | 1         | 2         | #2         | -    | -  | -    |
|                 | 18  | MOV.L   | @(disp,Rm),Rn  | LS         | 1         | 2         | #2         | -    | -  | -    |
|                 | 19  | MOV.B   | @(R0,Rm),Rn    | LS         | 1         | 2         | #2         | -    | -  | -    |
|                 | 20  | MOV.W   | @(R0,Rm),Rn    | LS         | 1         | 2         | #2         | -    | -  | -    |
|                 | 21  | MOV.L   | @(R0,Rm),Rn    | LS         | 1         | 2         | #2         | -    | -  | -    |
|                 | 22  | MOV.B   | @(disp,GBR),R0 | LS         | 1         | 2         | #3         | -    | -  | -    |
|                 | 23  | MOV.W   | @(disp,GBR),R0 | LS         | 1         | 2         | #3         | -    | -  | -    |
|                 | 24  | MOV.L   | @(disp,GBR),R0 | LS         | 1         | 2         | #3         | -    | -  | -    |
|                 | 25  | MOV.B   | Rm,@Rn         | LS         | 1         | 1         | #2         | -    | -  | -    |
|                 | 26  | MOV.W   | Rm,@Rn         | LS         | 1         | 1         | #2         | -    | -  | -    |
|                 | 27  | MOV.L   | Rm,@Rn         | LS         | 1         | 1         | #2         | -    | -  | -    |
|                 | 28  | MOV.B   | Rm,@-Rn        | LS         | 1         | 1/1       | #2         | -    | -  | -    |
|                 | 29  | MOV.W   | Rm,@-Rn        | LS         | 1         | 1/1       | #2         | -    | -  | -    |
|                 | 30  | MOV.L   | Rm,@-Rn        | LS         | 1         | 1/1       | #2         | -    | -  | -    |
|                 | 31  | MOV.B   | R0,@(disp,Rn)  | LS         | 1         | 1         | #2         | -    | -  | -    |
|                 | 32  | MOV.W   | R0,@(disp,Rn)  | LS         | 1         | 1         | #2         | -    | -  | -    |
|                 | 33  | MOV.L   | Rm,@(disp,Rn)  | LS         | 1         | 1         | #2         | -    | -  | -    |
|                 | 34  | MOV.B   | Rm,@(R0,Rn)    | LS         | 1         | 1         | #2         | -    | -  | -    |
|                 | 35  | MOV.W   | Rm,@(R0,Rn)    | LS         | 1         | 1         | #2         | -    | -  | -    |
|                 | 36  | MOV.L   | Rm,@(R0,Rn)    | LS         | 1         | 1         | #2         | -    | -  | -    |
|                 | 37  | MOV.B   | R0,@(disp,GBR) | LS         | 1         | 1         | #3         | -    | -  | -    |
|                 | 38  | MOV.W   | R0,@(disp,GBR) | LS         | 1         | 1         | #3         | -    | -  | -    |
|                 | 39  | MOV.L   | R0,@(disp,GBR) | LS         | 1         | 1         | #3         | -    | -  | -    |
|                 | 40  | MOVCA.L | R0,@Rn         | LS         | 1         | 3~7       | #12        | MA   | 4  | 3~7  |
|                 | 41  | MOVT    | Rn             | EX         | 1         | 1         | #1         | -    | -  | -    |
|                 | 42  | OCBI    | @Rn            | LS         | 1         | 1~2       | #10        | MA   | 4  | 1~2  |

表 8.3 実行サイクル (2)

| 機能<br>分類              | No. | 命令      |                | 命令<br>グループ | 発行<br>レート | レイテ<br>ンシ | 実行<br>パターン | ロック  |    |      |
|-----------------------|-----|---------|----------------|------------|-----------|-----------|------------|------|----|------|
|                       |     |         |                |            |           |           |            | ステージ | 開始 | サイクル |
| データ<br>転送<br>命令       | 43  | OCBP    | @Rn            | LS         | 1         | 1~5       | #11        | MA   | 4  | 1~5  |
|                       | 44  | OCBWB   | @Rn            | LS         | 1         | 1~5       | #11        | MA   | 4  | 1~5  |
|                       | 45  | PREF    | @Rn            | LS         | 1         | 1         | #2         | -    | -  | -    |
|                       | 46  | SWAP.B  | Rm,Rn          | EX         | 1         | 1         | #1         | -    | -  | -    |
|                       | 47  | SWAP.W  | Rm,Rn          | EX         | 1         | 1         | #1         | -    | -  | -    |
|                       | 48  | XTRCT   | Rm,Rn          | EX         | 1         | 1         | #1         | -    | -  | -    |
| 固定<br>小数点<br>算術<br>命令 | 49  | ADD     | Rm,Rn          | EX         | 1         | 1         | #1         | -    | -  | -    |
|                       | 50  | ADD     | #imm,Rn        | EX         | 1         | 1         | #1         | -    | -  | -    |
|                       | 51  | ADDC    | Rm,Rn          | EX         | 1         | 1         | #1         | -    | -  | -    |
|                       | 52  | ADDV    | Rm,Rn          | EX         | 1         | 1         | #1         | -    | -  | -    |
|                       | 53  | CMP/EQ  | #imm,R0        | MT         | 1         | 1         | #1         | -    | -  | -    |
|                       | 54  | CMP/EQ  | Rm,Rn          | MT         | 1         | 1         | #1         | -    | -  | -    |
|                       | 55  | CMP/GE  | Rm,Rn          | MT         | 1         | 1         | #1         | -    | -  | -    |
|                       | 56  | CMP/GT  | Rm,Rn          | MT         | 1         | 1         | #1         | -    | -  | -    |
|                       | 57  | CMP/HI  | Rm,Rn          | MT         | 1         | 1         | #1         | -    | -  | -    |
|                       | 58  | CMP/HS  | Rm,Rn          | MT         | 1         | 1         | #1         | -    | -  | -    |
|                       | 59  | CMP/PL  | Rn             | MT         | 1         | 1         | #1         | -    | -  | -    |
|                       | 60  | CMP/PZ  | Rn             | MT         | 1         | 1         | #1         | -    | -  | -    |
|                       | 61  | CMP/STR | Rm,Rn          | MT         | 1         | 1         | #1         | -    | -  | -    |
|                       | 62  | DIV0S   | Rm,Rn          | EX         | 1         | 1         | #1         | -    | -  | -    |
|                       | 63  | DIV0U   |                | EX         | 1         | 1         | #1         | -    | -  | -    |
|                       | 64  | DIV1    | Rm,Rn          | EX         | 1         | 1         | #1         | -    | -  | -    |
|                       | 65  | DMULS.L | Rm,Rn          | CO         | 2         | 4/4       | #34        | F1   | 4  | 2    |
|                       | 66  | DMULU.L | Rm,Rn          | CO         | 2         | 4/4       | #34        | F1   | 4  | 2    |
|                       | 67  | DT      | Rn             | EX         | 1         | 1         | #1         | -    | -  | -    |
|                       | 68  | MAC.L   | @Rm+,@Rn+      | CO         | 2         | 2/2/4/4   | #35        | F1   | 4  | 2    |
|                       | 69  | MAC.W   | @Rm+,@Rn+      | CO         | 2         | 2/2/4/4   | #35        | F1   | 4  | 2    |
|                       | 70  | MUL.L   | Rm,Rn          | CO         | 2         | 4/4       | #34        | F1   | 4  | 2    |
|                       | 71  | MULS.W  | Rm,Rn          | CO         | 2         | 4/4       | #34        | F1   | 4  | 2    |
|                       | 72  | MULU.W  | Rm,Rn          | CO         | 2         | 4/4       | #34        | F1   | 4  | 2    |
|                       | 73  | NEG     | Rm,Rn          | EX         | 1         | 1         | #1         | -    | -  | -    |
|                       | 74  | NEGC    | Rm,Rn          | EX         | 1         | 1         | #1         | -    | -  | -    |
|                       | 75  | SUB     | Rm,Rn          | EX         | 1         | 1         | #1         | -    | -  | -    |
|                       | 76  | SUBC    | Rm,Rn          | EX         | 1         | 1         | #1         | -    | -  | -    |
|                       | 77  | SUBV    | Rm,Rn          | EX         | 1         | 1         | #1         | -    | -  | -    |
| 論理<br>命令              | 78  | AND     | Rm,Rn          | EX         | 1         | 1         | #1         | -    | -  | -    |
|                       | 79  | AND     | #imm,R0        | EX         | 1         | 1         | #1         | -    | -  | -    |
|                       | 80  | AND.B   | #imm,@(R0,GBR) | CO         | 4         | 4         | #6         | -    | -  | -    |
|                       | 81  | NOT     | Rm,Rn          | EX         | 1         | 1         | #1         | -    | -  | -    |
|                       | 82  | OR      | Rm,Rn          | EX         | 1         | 1         | #1         | -    | -  | -    |
|                       | 83  | OR      | #imm,R0        | EX         | 1         | 1         | #1         | -    | -  | -    |
|                       | 84  | OR.B    | #imm,@(R0,GBR) | CO         | 4         | 4         | #6         | -    | -  | -    |
|                       | 85  | TAS.B   | @Rn            | CO         | 5         | 5         | #7         | -    | -  | -    |

## 8. パイプライン動作

表 8.3 実行サイクル (3)

| 機能<br>分類         | No. | 命令     |                | 命令<br>グループ | 発行<br>レート | レイテ<br>ンシ | 実行<br>パターン | ロック  |    |      |
|------------------|-----|--------|----------------|------------|-----------|-----------|------------|------|----|------|
|                  |     |        |                |            |           |           |            | ステージ | 開始 | サイクル |
| 論理<br>命令         | 86  | TST    | Rm,Rn          | MT         | 1         | 1         | #1         | -    | -  | -    |
|                  | 87  | TST    | #imm,R0        | MT         | 1         | 1         | #1         | -    | -  | -    |
|                  | 88  | TST.B  | #imm,@(R0,GBR) | CO         | 3         | 3         | #5         | -    | -  | -    |
|                  | 89  | XOR    | Rm,Rn          | EX         | 1         | 1         | #1         | -    | -  | -    |
|                  | 90  | XOR    | #imm,R0        | EX         | 1         | 1         | #1         | -    | -  | -    |
|                  | 91  | XOR.B  | #imm,@(R0,GBR) | CO         | 4         | 4         | #6         | -    | -  | -    |
| シフト<br>命令        | 92  | ROTL   | Rn             | EX         | 1         | 1         | #1         | -    | -  | -    |
|                  | 93  | ROTR   | Rn             | EX         | 1         | 1         | #1         | -    | -  | -    |
|                  | 94  | ROTCL  | Rn             | EX         | 1         | 1         | #1         | -    | -  | -    |
|                  | 95  | ROTCR  | Rn             | EX         | 1         | 1         | #1         | -    | -  | -    |
|                  | 96  | SHAD   | Rm,Rn          | EX         | 1         | 1         | #1         | -    | -  | -    |
|                  | 97  | SHAL   | Rn             | EX         | 1         | 1         | #1         | -    | -  | -    |
|                  | 98  | SHAR   | Rn             | EX         | 1         | 1         | #1         | -    | -  | -    |
|                  | 99  | SHLD   | Rm,Rn          | EX         | 1         | 1         | #1         | -    | -  | -    |
|                  | 100 | SHLL   | Rn             | EX         | 1         | 1         | #1         | -    | -  | -    |
|                  | 101 | SHLL2  | Rn             | EX         | 1         | 1         | #1         | -    | -  | -    |
|                  | 102 | SHLL8  | Rn             | EX         | 1         | 1         | #1         | -    | -  | -    |
|                  | 103 | SHLL16 | Rn             | EX         | 1         | 1         | #1         | -    | -  | -    |
|                  | 104 | SHLR   | Rn             | EX         | 1         | 1         | #1         | -    | -  | -    |
|                  | 105 | SHLR2  | Rn             | EX         | 1         | 1         | #1         | -    | -  | -    |
|                  | 106 | SHLR8  | Rn             | EX         | 1         | 1         | #1         | -    | -  | -    |
|                  | 107 | SHLR16 | Rn             | EX         | 1         | 1         | #1         | -    | -  | -    |
| 分岐<br>命令         | 108 | BF     | disp           | BR         | 1         | 2(or1)    | #1         | -    | -  | -    |
|                  | 109 | BF/S   | disp           | BR         | 1         | 2(or1)    | #1         | -    | -  | -    |
|                  | 110 | BT     | disp           | BR         | 1         | 2(or1)    | #1         | -    | -  | -    |
|                  | 111 | BT/S   | disp           | BR         | 1         | 2(or1)    | #1         | -    | -  | -    |
|                  | 112 | BRA    | disp           | BR         | 1         | 2         | #1         | -    | -  | -    |
|                  | 113 | BRAF   | Rm             | CO         | 2         | 3         | #4         | -    | -  | -    |
|                  | 114 | BSR    | disp           | BR         | 1         | 2         | #14        | SX   | 3  | 2    |
|                  | 115 | BSRF   | Rm             | CO         | 2         | 3         | #24        | SX   | 3  | 2    |
|                  | 116 | JMP    | @Rn            | CO         | 2         | 3         | #4         | -    | -  | -    |
|                  | 117 | JSR    | @Rn            | CO         | 2         | 3         | #24        | SX   | 3  | 2    |
|                  | 118 | RTS    |                | CO         | 2         | 3         | #4         | -    | -  | -    |
| システ<br>ム制御<br>命令 | 119 | NOP    |                | MT         | 1         | 0         | #1         | -    | -  | -    |
|                  | 120 | CLRMAC |                | CO         | 1         | 3         | #28        | F1   | 3  | 2    |
|                  | 121 | CLRS   |                | CO         | 1         | 1         | #1         | -    | -  | -    |
|                  | 122 | CLRT   |                | MT         | 1         | 1         | #1         | -    | -  | -    |
|                  | 123 | SETS   |                | CO         | 1         | 1         | #1         | -    | -  | -    |
|                  | 124 | SETT   |                | MT         | 1         | 1         | #1         | -    | -  | -    |
|                  | 125 | TRAPA  | #imm           | CO         | 7         | 7         | #13        | -    | -  | -    |
|                  | 126 | RTE    |                | CO         | 5         | 5         | #8         | -    | -  | -    |
|                  | 127 | SLEEP  |                | CO         | 4         | 4         | #9         | -    | -  | -    |
|                  | 128 | LDTLB  |                | CO         | 1         | 1         | #2         | -    | -  | -    |

表 8.3 実行サイクル (4)

| 機能<br>分類         | No. | 命令    |              | 命令<br>グループ | 発行<br>レート | レイテ<br>ンシ | 実行<br>パターン | ロック  |    |      |
|------------------|-----|-------|--------------|------------|-----------|-----------|------------|------|----|------|
|                  |     |       |              |            |           |           |            | ステージ | 開始 | サイクル |
| システ<br>ム制御<br>命令 | 129 | LDC   | Rm,DBR       | CO         | 1         | 3         | #14        | SX   | 3  | 2    |
|                  | 130 | LDC   | Rm,GBR       | CO         | 3         | 3         | #15        | SX   | 3  | 2    |
|                  | 131 | LDC   | Rm,Rp_BANK   | CO         | 1         | 3         | #14        | SX   | 3  | 2    |
|                  | 132 | LDC   | Rm,SR        | CO         | 4         | 4         | #16        | SX   | 3  | 2    |
|                  | 133 | LDC   | Rm,SSR       | CO         | 1         | 3         | #14        | SX   | 3  | 2    |
|                  | 134 | LDC   | Rm,SPC       | CO         | 1         | 3         | #14        | SX   | 3  | 2    |
|                  | 135 | LDC   | Rm,VBR       | CO         | 1         | 3         | #14        | SX   | 3  | 2    |
|                  | 136 | LDC.L | @Rm+,DBR     | CO         | 1         | 1/3       | #17        | SX   | 3  | 2    |
|                  | 137 | LDC.L | @Rm+,GBR     | CO         | 3         | 3/3       | #18        | SX   | 3  | 2    |
|                  | 138 | LDC.L | @Rm+,Rp_BANK | CO         | 1         | 1/3       | #17        | SX   | 3  | 2    |
|                  | 139 | LDC.L | @Rm+,SR      | CO         | 4         | 4/4       | #19        | SX   | 3  | 2    |
|                  | 140 | LDC.L | @Rm+,SSR     | CO         | 1         | 1/3       | #17        | SX   | 3  | 2    |
|                  | 141 | LDC.L | @Rm+,SPC     | CO         | 1         | 1/3       | #17        | SX   | 3  | 2    |
|                  | 142 | LDC.L | @Rm+,VBR     | CO         | 1         | 1/3       | #17        | SX   | 3  | 2    |
|                  | 143 | LDS   | Rm,MACH      | CO         | 1         | 3         | #28        | F1   | 3  | 2    |
|                  | 144 | LDS   | Rm,MACL      | CO         | 1         | 3         | #28        | F1   | 3  | 2    |
|                  | 145 | LDS   | Rm,PR        | CO         | 2         | 3         | #24        | SX   | 3  | 2    |
|                  | 146 | LDS.L | @Rm+,MACH    | CO         | 1         | 1/3       | #29        | F1   | 3  | 2    |
|                  | 147 | LDS.L | @Rm+,MACL    | CO         | 1         | 1/3       | #29        | F1   | 3  | 2    |
|                  | 148 | LDS.L | @Rm+,PR      | CO         | 2         | 2/3       | #25        | SX   | 3  | 2    |
|                  | 149 | STC   | DBR,Rn       | CO         | 2         | 2         | #20        | -    | -  | -    |
|                  | 150 | STC   | SGR,Rn       | CO         | 3         | 3         | #21        | -    | -  | -    |
|                  | 151 | STC   | GBR,Rn       | CO         | 2         | 2         | #20        | -    | -  | -    |
|                  | 152 | STC   | Rp_BANK,Rn   | CO         | 2         | 2         | #20        | -    | -  | -    |
|                  | 153 | STC   | SR,Rn        | CO         | 2         | 2         | #20        | -    | -  | -    |
|                  | 154 | STC   | SSR,Rn       | CO         | 2         | 2         | #20        | -    | -  | -    |
|                  | 155 | STC   | SPC,Rn       | CO         | 2         | 2         | #20        | -    | -  | -    |
|                  | 156 | STC   | VBR,Rn       | CO         | 2         | 2         | #20        | -    | -  | -    |
|                  | 157 | STC.L | DBR,@-Rn     | CO         | 2         | 2/2       | #22        | -    | -  | -    |
|                  | 158 | STC.L | SGR,@-Rn     | CO         | 3         | 3/3       | #23        | -    | -  | -    |
|                  | 159 | STC.L | GBR,@-Rn     | CO         | 2         | 2/2       | #22        | -    | -  | -    |
|                  | 160 | STC.L | Rp_BANK,@-Rn | CO         | 2         | 2/2       | #22        | -    | -  | -    |
|                  | 161 | STC.L | SR,@-Rn      | CO         | 2         | 2/2       | #22        | -    | -  | -    |
|                  | 162 | STC.L | SSR,@-Rn     | CO         | 2         | 2/2       | #22        | -    | -  | -    |
|                  | 163 | STC.L | SPC,@-Rn     | CO         | 2         | 2/2       | #22        | -    | -  | -    |
|                  | 164 | STC.L | VBR,@-Rn     | CO         | 2         | 2/2       | #22        | -    | -  | -    |
|                  | 165 | STS   | MACH,Rn      | CO         | 1         | 3         | #30        | -    | -  | -    |
|                  | 166 | STS   | MACL,Rn      | CO         | 1         | 3         | #30        | -    | -  | -    |
|                  | 167 | STS   | PR,Rn        | CO         | 2         | 2         | #26        | -    | -  | -    |
|                  | 168 | STS.L | MACH,@-Rn    | CO         | 1         | 1/1       | #31        | -    | -  | -    |
|                  | 169 | STS.L | MACL,@-Rn    | CO         | 1         | 1/1       | #31        | -    | -  | -    |
|                  | 170 | STS.L | PR,@-Rn      | CO         | 2         | 2/2       | #27        | -    | -  | -    |

## 8. パイプライン動作

表 8.3 実行サイクル (5)

| 機能<br>分類               | No.  | 命令           |              | 命令<br>グループ | 発行<br>レート | レイテ<br>ンシ  | 実行<br>パターン | ロック  |    |      |
|------------------------|------|--------------|--------------|------------|-----------|------------|------------|------|----|------|
|                        |      |              |              |            |           |            |            | ステージ | 開始 | サイクル |
| 単精度<br>浮動<br>小数点<br>命令 | 171  | FLDI0        | FRn          | LS         | 1         | 0          | #1         | -    | -  | -    |
|                        | 172  | FLDI1        | FRn          | LS         | 1         | 0          | #1         | -    | -  | -    |
|                        | 173  | FMOV         | FRm,FRn      | LS         | 1         | 0          | #1         | -    | -  | -    |
|                        | 174  | FMOV.S       | @Rm,FRn      | LS         | 1         | 2          | #2         | -    | -  | -    |
|                        | 175  | FMOV.S       | @Rm+,FRn     | LS         | 1         | 1/2        | #2         | -    | -  | -    |
|                        | 176  | FMOV.S       | @(R0,Rm),FRn | LS         | 1         | 2          | #2         | -    | -  | -    |
|                        | 177  | FMOV.S       | FRm,@Rn      | LS         | 1         | 1          | #2         | -    | -  | -    |
|                        | 178  | FMOV.S       | FRm,@-Rn     | LS         | 1         | 1/1        | #2         | -    | -  | -    |
|                        | 179  | FMOV.S       | FRm,@(R0,Rn) | LS         | 1         | 1          | #2         | -    | -  | -    |
|                        | 180  | FLDS         | FRm,FPUL     | LS         | 1         | 0          | #1         | -    | -  | -    |
|                        | 181  | FSTS         | FPUL,FRn     | LS         | 1         | 0          | #1         | -    | -  | -    |
|                        | 182  | FABS         | FRn          | LS         | 1         | 0          | #1         | -    | -  | -    |
|                        | 183  | FADD         | FRm,FRn      | FE         | 1         | 3/4        | #36        | -    | -  | -    |
|                        | 184  | FCMP/EQ      | FRm,FRn      | FE         | 1         | 2/4        | #36        | -    | -  | -    |
|                        | 185  | FCMP/GT      | FRm,FRn      | FE         | 1         | 2/4        | #36        | -    | -  | -    |
|                        | 186  | FDIV         | FRm,FRn      | FE         | 1         | 12/13      | #37        | F3   | 2  | 10   |
|                        |      |              |              |            |           |            |            | F1   | 11 | 1    |
|                        | 187  | FLOAT        | FPUL,FRn     | FE         | 1         | 3/4        | #36        | -    | -  | -    |
|                        | 188  | FMAC         | FR0,FRm,FRn  | FE         | 1         | 3/4        | #36        | -    | -  | -    |
|                        | 189  | FMUL         | FRm,FRn      | FE         | 1         | 3/4        | #36        | -    | -  | -    |
|                        | 190  | FNEG         | FRn          | LS         | 1         | 0          | #1         | -    | -  | -    |
|                        | 191  | FSQRT        | FRn          | FE         | 1         | 11/12      | #37        | F3   | 2  | 9    |
|                        |      |              |              |            |           |            |            | F1   | 10 | 1    |
|                        | 192  | FSUB         | FRm,FRn      | FE         | 1         | 3/4        | #36        | -    | -  | -    |
|                        | 193  | FTRC         | FRm,FPUL     | FE         | 1         | 3/4        | #36        | -    | -  | -    |
| 194                    | FMOV | DRm,DRn      | LS           | 1          | 0         | #1         | -          | -    | -  |      |
| 195                    | FMOV | @Rm,DRn      | LS           | 1          | 2         | #2         | -          | -    | -  |      |
| 196                    | FMOV | @Rm+,DRn     | LS           | 1          | 1/2       | #2         | -          | -    | -  |      |
| 197                    | FMOV | @(R0,Rm),DRn | LS           | 1          | 2         | #2         | -          | -    | -  |      |
| 198                    | FMOV | DRm,@Rn      | LS           | 1          | 1         | #2         | -          | -    | -  |      |
| 199                    | FMOV | DRm,@-Rn     | LS           | 1          | 1/1       | #2         | -          | -    | -  |      |
| 200                    | FMOV | DRm,@(R0,Rn) | LS           | 1          | 1         | #2         | -          | -    | -  |      |
| 倍精度<br>浮動<br>小数点<br>命令 | 201  | FABS         | DRn          | LS         | 1         | 0          | #1         | -    | -  | -    |
|                        | 202  | FADD         | DRm,DRn      | FE         | 1         | (7,8)/9    | #39        | F1   | 2  | 6    |
|                        | 203  | FCMP/EQ      | DRm,DRn      | CO         | 2         | 3/5        | #40        | F1   | 2  | 2    |
|                        | 204  | FCMP/GT      | DRm,DRn      | CO         | 2         | 3/5        | #40        | F1   | 2  | 2    |
|                        | 205  | FCNVDS       | DRm,FPUL     | FE         | 1         | 4/5        | #38        | F1   | 2  | 2    |
|                        | 206  | FCNVSD       | FPUL,DRn     | FE         | 1         | (3,4)/5    | #38        | F1   | 2  | 2    |
|                        | 207  | FDIV         | DRm,DRn      | FE         | 1         | (24,25)/26 | #41        | F3   | 2  | 23   |
|                        |      |              |              |            |           |            |            | F1   | 22 | 3    |
|                        |      |              |              |            |           |            |            | F1   | 2  | 2    |
|                        | 208  | FLOAT        | FPUL,DRn     | FE         | 1         | (3,4)/5    | #38        | F1   | 2  | 2    |
|                        | 209  | FMUL         | DRm,DRn      | FE         | 1         | (7,8)/9    | #39        | F1   | 2  | 6    |

表 8.3 実行サイクル (6)

| 機能<br>分類                | No. | 命令    |              | 命令<br>グループ | 発行<br>レート | レイテ<br>ンシ   | 実行<br>パターン | ロック  |    |      |
|-------------------------|-----|-------|--------------|------------|-----------|-------------|------------|------|----|------|
|                         |     |       |              |            |           |             |            | ステージ | 開始 | サイクル |
| 倍精度<br>浮動<br>小数点<br>命令  | 210 | FNEG  | DRn          | LS         | 1         | 0           | #1         | -    | -  | -    |
|                         | 211 | FSQRT | DRn          | FE         | 1         | (23,24)/25  | #41        | F3   | 2  | 22   |
|                         |     |       |              |            |           |             |            | F1   | 21 | 3    |
|                         |     |       |              |            |           |             |            | F1   | 2  | 2    |
|                         | 212 | FSUB  | DRm,DRn      | FE         | 1         | (7,8)/9     | #39        | F1   | 2  | 6    |
| FPU<br>システ<br>ム制御<br>命令 | 213 | FTRC  | DRm,FPUL     | FE         | 1         | 4/5         | #38        | F1   | 2  | 2    |
|                         | 214 | LDS   | Rm,FPUL      | LS         | 1         | 1           | #1         | -    | -  | -    |
|                         | 215 | LDS   | Rm,FPSCR     | CO         | 1         | 4           | #32        | F1   | 3  | 3    |
|                         | 216 | LDS.L | @Rm+,FPUL    | CO         | 1         | 1/2         | #2         | -    | -  | -    |
|                         | 217 | LDS.L | @Rm+,FPSCR   | CO         | 1         | 1/4         | #33        | F1   | 3  | 3    |
|                         | 218 | STS   | FPUL,Rn      | LS         | 1         | 3           | #1         | -    | -  | -    |
|                         | 219 | STS   | FPSCR,Rn     | CO         | 1         | 3           | #1         | -    | -  | -    |
|                         | 220 | STS.L | FPUL,@-Rn    | CO         | 1         | 1/1         | #2         | -    | -  | -    |
|                         | 221 | STS.L | FPSCR,@-Rn   | CO         | 1         | 1/1         | #2         | -    | -  | -    |
| グラフ<br>イクス<br>強化<br>命令  | 222 | FMOV  | DRm,XDn      | LS         | 1         | 0           | #1         | -    | -  | -    |
|                         | 223 | FMOV  | XDm,DRn      | LS         | 1         | 0           | #1         | -    | -  | -    |
|                         | 224 | FMOV  | XDm,XDn      | LS         | 1         | 0           | #1         | -    | -  | -    |
|                         | 225 | FMOV  | @Rm,XDn      | LS         | 1         | 2           | #2         | -    | -  | -    |
|                         | 226 | FMOV  | @Rm+,XDn     | LS         | 1         | 1/2         | #2         | -    | -  | -    |
|                         | 227 | FMOV  | @(R0,Rm),XDn | LS         | 1         | 2           | #2         | -    | -  | -    |
|                         | 228 | FMOV  | XDm,@Rn      | LS         | 1         | 1           | #2         | -    | -  | -    |
|                         | 229 | FMOV  | XDm,@-Rn     | LS         | 1         | 1/1         | #2         | -    | -  | -    |
|                         | 230 | FMOV  | XDm,@(R0,Rn) | LS         | 1         | 1           | #2         | -    | -  | -    |
|                         | 231 | FIPR  | FVm,FVn      | FE         | 1         | 4/5         | #42        | F1   | 3  | 1    |
|                         | 232 | FRCHG |              | FE         | 1         | 1/4         | #36        | -    | -  | -    |
|                         | 233 | FSCHG |              | FE         | 1         | 1/4         | #36        | -    | -  | -    |
|                         | 234 | FTRV  | XMTRX,FVn    | FE         | 1         | (5,5,6,7)/8 | #43        | F0   | 2  | 4    |
|                         |     |       |              |            |           |             |            | F1   | 3  | 4    |

- 【注】 1. 命令グループについては表 8.1 を参照してください。
2. レイテンシ"L1/L2..." : MACH/MACL/FPSCR を含む各レジスタへの書き込みに対応するレイテンシ。  
「例」 MOV.B @Rm+,Rn "1/2" : Rm に対するレイテンシは 1 サイクルで Rn に対するレイテンシは 2 サイクル
3. 分岐のレイテンシ : 分岐先命令がフェッチされるまでの間隔
4. 条件分岐のレイテンシ"2 (または 1) " : 0 以外のディスプレースメントに対するレイテンシは 2 で、0 ディスプレースメントに対するレイテンシは 1 です。
5. 倍精度浮動小数点命令のレイテンシ"(L1,L2)/L3" : L1 は FR[ n+1 ]、L2 は FR[ n ]、L3 は FPSCR に対するレイテンシです。
6. FTRV のレイテンシ"(L1,L2,L3,L4)/L5" : L1 は FR[ n ]、L2 は FR[ n+1 ]、L3 は FR[ n+2 ]、L4 は FR[ n+3 ]、L5 は FPSCR に対するレイテンシです。
7. MAC.L、MAC.W 命令のレイテンシ"L1/L2/L3/L4" : L1 は Rm、L2 は Rn、L3 は MACH、および L4 は MACL に対するレイテンシです。

## 8. パイプライン動作

---

8. MUL.L、MULS.W、MULU.W、DMULS.L、DMULU.L 命令のレイテンシ "L1/L2" : L1 は MACH、L2 は MACL に対するレイテンシです。
9. 実行パターン : 命令実行のパターン番号 (図 8.2 参照)
10. ロック / ステージ : 命令がロックするステージ
11. ロック / 開始 : ロッキングの開始サイクル ; 1 は命令の最初の D ステージ
12. ロック / サイクル : ロックしたサイクル数

例外 :

1. 浮動小数点演算命令に FMOV によるストア、STS FPUL,Rn,STS.L FPUL,@-Rn が続く場合、浮動小数点演算のレイテンシは 1 サイクル減少します。
2. 先行命令が次の SHAD/SHLD のシフト量をロードする場合、ロードのレイテンシは 1 サイクル増加します。
3. 3 サイクル未満のレイテンシを持つ LS グループ命令に倍精度浮動小数点命令、FIPR または FTRV が続く場合、最初の命令のレイテンシは 3 サイクルに増加します。  
「例」"FMOV FR4,FR0"および"FIPR FV0,FV4"の場合、FIPR は 2 サイクルストールされます。
4. MAC\*/MUL\*/DMUL\*に"STS.L MAC\*, @-Rn"命令が続く場合、MAC\*/MUL\*/DMUL\*のレイテンシは 5 サイクルです。
5. MAC\*/MUL\*/DMUL\*が連続実行された場合、レイテンシは 2 サイクルに減少します。
6. MAC\*への LDS に"STS.L MAC\*, @-Rn"命令が続く場合、MAC\*への LDS のレイテンシは 4 サイクルです。
7. MAC\*への LDS に MAC\*/MUL\*/DMUL\*が続く場合、MAC\*への LDS のレイテンシは 1 サイクルです。
8. FSCHG または FRCHG 命令に、浮動小数点レジスタを読み出し / 書き込みする LS グループ命令が続く場合、前記 LS グループの命令は並行実行できません。
9. 単精度 FTRC 命令に"STS FPUL, Rn"命令が続く場合、単精度 FTRC 命令のレイテンシは 1 サイクルです。



---

## 9. 低消費電力モード

---

### 9.1 概要

低消費電力モードでは、内蔵周辺モジュールの一部と CPU が機能を停止します。これによって、消費電力を低減させることができます。

#### 9.1.1 低消費電力モードの種類

低消費電力モードには、次のようなモード、機能があります。

- (1) スリープモード
- (2) ディープスリープモード
- (3) スタンバイモード
- (4) モジュールスタンバイ機能 (TMU、RTC、SCI/SCIF、DMAC の内蔵モジュール)

プログラム実行状態から各モードへ遷移する条件、各モードでの CPU や周辺モジュールなどの状態、各モードの解除方法を、表 9.1 に示します。

表 9.1 低消費電力モードの状態

| 低消費電力モード   | 遷移状態  | 状態  |                 |       |                 |    |           | 解除方法                            |
|------------|---|-----|-----------------|-------|-----------------|----|-----------|---------------------------------|
|            |   | CPG | CPU             | 内蔵メモリ | 内蔵周辺モジュール       | 端子 | 外部メモリ     |                                 |
| スリープ       | STBCR の STBY ビットが 0 の状態で SLEEP 命令を実行                      | 動作  | 停止<br>(レジスタは保持) | 保持    | 動作              | 保持 | リフレッシュ    | (1) 割り込み<br>(2) リセット            |
| ディープスリープ   | STBCR の STBY ビットが 0、STBCR2 の DSLP ビットが 1 の状態で SLEEP 命令を実行 | 動作  | 停止<br>(レジスタは保持) | 保持    | 動作<br>(DMA は停止) | 保持 | セルフリフレッシュ | (1) 割り込み<br>(2) リセット            |
| スタンバイ      | STBCR の STBY ビットが 1 の状態で SLEEP 命令を実行                      | 停止  | 停止<br>(レジスタは保持) | 保持    | 停止*             | 保持 | セルフリフレッシュ | (1) 割り込み<br>(2) リセット            |
| モジュールスタンバイ | STBCR の MSTP ビットを 1 とする                                   | 動作  | 動作              | 保持    | 指定モジュールが停止*     | 保持 | リフレッシュ    | (1) MSTP ビットを 0 とする<br>(2) リセット |

【注】 \* RTC は、RCR2 の START ビットが 1 のとき、動作します (「第 11 章 リアルタイムクロック」参照)。

9. 低消費電力モード

9.1.2 レジスタ構成

低消費電力モード関連のレジスタ構成を表 9.2 に示します。

表 9.2 レジスタ構成

| 名称                    | 略称     | R/W | 初期値  | P4<br>アドレス | エリア 7<br>アドレス | アクセス<br>サイズ |
|-----------------------|--------|-----|------|------------|---------------|-------------|
| スタンバイコントロール<br>レジスタ   | STBCR  | R/W | H'00 | H'FFC00004 | H'1FC00004    | 8           |
| スタンバイコントロール<br>レジスタ 2 | STBCR2 | R/W | H'00 | H'FFC00010 | H'1FC00010    | 8           |

9.1.3 端子構成

低消費電力モード関連の端子構成を表 9.3 に示します。

表 9.3 端子構成

| 端子名              | 略称                 | 入出力 | 機能  |
|------------------|--------------------|-----|---|
| 処理状態 1<br>処理状態 0 | STATUS1<br>STATUS0 | 出力  | プロセッサの動作状態を表します。<br>HH：リセット    HL：スリープモード<br>LH：スタンバイモード    LL：通常動作 |

【注】 H はハイレベルを表します。L はローレベルを表します。

9.2 レジスタの説明

9.2.1 スタンバイコントロールレジスタ（STBCR）

スタンバイコントロールレジスタ（STBCR）は、低消費電力モードの状態を指定します。STBCR レジスタは、読出し / 書込み可能な 8 ビットのレジスタです。RESET 端子およびウォッチドッグタイマのオーバフローによるパワーオンリセットで H'00 に初期化されます。

|      |      |     |     |       |       |       |       |       |
|------|------|-----|-----|-------|-------|-------|-------|-------|
| ビット： | 7    | 6   | 5   | 4     | 3     | 2     | 1     | 0     |
|      | STBY | PHZ | PPU | MSTP4 | MSTP3 | MSTP2 | MSTP1 | MSTP0 |
| 初期値： | 0    | 0   | 0   | 0     | 0     | 0     | 0     | 0     |
| R/W： | R/W  | R/W | R/W | R/W   | R/W   | R/W   | R/W   | R/W   |

ビット 7：スタンバイ（STBY）  
スタンバイモードへの遷移を指定します。

| ビット 7<br>STBY | 説明                           |
|---------------|------------------------------|
| 0             | SLEEP 命令の実行で、スリープモードへ遷移（初期値） |
| 1             | SLEEP 命令の実行で、スタンバイモードへ遷移     |

## ビット6：周辺モジュール端子ハイインピーダンス制御（PHZ）

スタンバイモード時の、周辺モジュール関連端子の状態を制御します。PHZ を 1 にセットすると、スタンバイモード時に、周辺モジュール関連端子がハイインピーダンス状態になります。

対象端子は「9.2.2 周辺モジュール端子ハイインピーダンス制御」を参照してください。

| ビット6 | 説明                      |
|------|-------------------------|
| PHZ  |                         |
| 0    | 周辺モジュール関連端子を通常状態（初期値）   |
| 1    | 周辺モジュール関連端子をハイインピーダンス状態 |

## ビット5：周辺モジュール端子プルアップ制御（PPU）

周辺モジュール関連端子の状態を制御します。PPU ビットを 0 にクリアすると、周辺モジュール関連端子が入力またはハイインピーダンス状態のときに、プルアップ抵抗がオンになります。

対象端子は「9.2.3 周辺モジュール端子プルアップ制御」を参照してください。

| ビット5 | 説明                         |
|------|----------------------------|
| PPU  |                            |
| 0    | 周辺モジュール関連端子のプルアップ抵抗オン（初期値） |
| 1    | 周辺モジュール関連端子のプルアップ抵抗オフ      |

## ビット4：モジュールストップ4（MSTP4）

DMAC へのクロック供給の停止を指定します。

MSTP4 ビットを 1 にセットすると DMAC へのクロック供給を停止します。

DMA 転送時は、転送を停止した後、MSTP4 ビットを 1 に設定してください。

MSTP4 ビットを 0 に設定した後、DMA 転送を行う場合は、DMAC の設定を再度行ってください。

| ビット4  | 説明                |
|-------|-------------------|
| MSTP4 |                   |
| 0     | DMAC は動作（初期値）     |
| 1     | DMAC へのクロックの供給を停止 |

## ビット3：モジュールストップ3（MSTP3）

内蔵周辺モジュールのうち、シリアルコミュニケーションインタフェースチャネル 2（SCIF）へのクロック供給の停止を指定します。

MSTP3 ビットを 1 にセットすると SCIF へのクロック供給を停止します。

| ビット3  | 説明                |
|-------|-------------------|
| MSTP3 |                   |
| 0     | SCIF は動作（初期値）     |
| 1     | SCIF へのクロックの供給を停止 |

## 9. 低消費電力モード

### ビット2：モジュールストップ2 (MSTP2)

内蔵周辺モジュールのうち、タイマユニット (TMU) へのクロック供給の停止を指定します。  
MSTP2 ビットを 1 にセットすると TMU へのクロック供給を停止します。

| ビット 2 | 説明               |
|-------|------------------|
| MSTP2 |                  |
| 0     | TMU は動作 (初期値)    |
| 1     | TMU へのクロックの供給を停止 |

### ビット1：モジュールストップ1 (MSTP1)

内蔵周辺モジュールのうち、リアルタイムクロック (RTC) へのクロック供給の停止を指定します。

MSTP1 ビットを 1 にセットすると RTC へのクロック供給を停止します。クロック供給が停止されると RTC の各レジスタのアクセスはできなくなりますが、カウンタは動作を続けます。

| ビット 1 | 説明               |
|-------|------------------|
| MSTP1 |                  |
| 0     | RTC は動作 (初期値)    |
| 1     | RTC へのクロックの供給を停止 |

### ビット0：モジュールストップ0 (MSTP0)

内蔵周辺モジュールのうち、シリアルコミュニケーションインタフェースチャネル 1 (SCI) へのクロック供給の停止を指定します。

MSTP0 ビットを 1 にセットすると SCI へのクロック供給を停止します。

| ビット 0 | 説明               |
|-------|------------------|
| MSTP0 |                  |
| 0     | SCI は動作 (初期値)    |
| 1     | SCI へのクロックの供給を停止 |

## 9.2.2 周辺モジュール端子ハイインピーダンス制御

スタンバイコントロールレジスタ (STBCR) のビット 6 に 1 をセットすると、スタンバイモード時に、周辺モジュール関連端子をハイインピーダンス状態にします。

### (1) 対象端子

|          |         |          |
|----------|---------|----------|
| SCI 関連端子 | MD0/SCK | MD1/TXD2 |
|          | MD7/TXD | MD8/RTS2 |
|          | CTS2    |          |
| DMA 関連端子 | DACK0   | DRAK0    |
|          | DACK1   | DRAK1    |

### (2) その他

上記端子がポートの出力端子として使用されている時は、ハイインピーダンス制御は行いません。

### 9.2.3 周辺モジュール端子プルアップ制御

スタンバイコントロールレジスタ (STBCR) のビット 5 に 0 をセットすると、周辺モジュール関連端子が入力またはハイインピーダンス状態のときにプルアップされます。

(1) 対象端子

|          |         |          |             |
|----------|---------|----------|-------------|
| SCI 関連端子 | MD0/SCK | MD1/TXD2 | MD2/RXD2    |
|          | MD7/TXD | MD8/RTS2 | SCK2/MRESET |
|          | RXD     | CTS2     |             |
| DMA 関連端子 | DREQ0   | DACK0    | DRAK0       |
|          | DREQ1   | DACK1    | DRAK1       |
| TMU 関連   | TCLK    |          |             |

### 9.2.4 スタンバイコントロールレジスタ 2 (STBCR2)

スタンバイコントロールレジスタ 2 (STBCR2) は、スリープモードとディープスリープモードの遷移条件を指定します。STBCR2 レジスタは、読出し / 書込み可能な 8 ビットのレジスタです。  
RESET 端子およびウォッチドッグタイマのオーバーフローによるパワーオンリセットで H'00 に初期化されます。

|      |      |   |   |   |   |   |   |   |
|------|------|---|---|---|---|---|---|---|
| ビット: | 7    | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|      | DSLP | - | - | - | - | - | - | - |
| 初期値: | 0    | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W: | R/W  | R | R | R | R | R | R | R |

ビット7: ディープスリープ (DSLP)

ディープスリープモードへの遷移を指定します。

| ビット7 | 説明  |
|------|---|
| DSLP |   |
| 0    | SLEEP 命令の実行で、STBCR レジスタの STBY ビットの設定に従いスリープモードまたはスタンバイモードへ遷移する<br>(初期値) |
| 1    | SLEEP 命令の実行で、ディープスリープモードへ遷移*  |

【注】 \* STBCR レジスタの STBY ビットが 0 の場合

ビット6~0: 予約ビット

書き込む値は常に 0 にしてください。1 を書き込んだ場合、動作は保証できません。  
読み出すときは常に 0 です。

### 9.3 スリープモード

#### 9.3.1 スリープモードへの遷移

STBCR レジスタの STBY ビットが 0 の状態で、SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。内蔵周辺モジュールは動作を続けます。CKIO 端子にはクロックが出力され続けます。

スリープモードでは、STATUS1 端子にハイレベルが、STATUS0 端子にローレベルが出力されません。

#### 9.3.2 スリープモードの解除

スリープモードは、割り込み（NMI、IRL、内蔵周辺）、リセットにより解除されます。

スリープモード中は、SR レジスタの BL ビットが 1 でも、割り込みを受け付けません。必要ならば、SLEEP 命令実行前に SPC、SSR をスタックに退避してください。

##### (1) 割り込みによる解除

NMI、IRL、内蔵周辺の各割り込みが発生すると、スリープモードが解除され、割り込み例外処理が実行されます。INTEVT レジスタには、割り込み要因に対応したコードがセットされます。

##### (2) リセットによる解除

RESET 端子によるパワーオンリセット、マニュアルリセット、およびウォッチドッグタイマオーバフロー時に発生するパワーオンリセット、マニュアルリセットにより、スリープモードは解除されます。

### 9.4 ディープスリープモード

#### 9.4.1 ディープスリープモードへの遷移

STBCR レジスタの STBY ビットが 0、STBCR2 レジスタの DSLP ビットが 1 の状態で、SLEEP 命令を実行すると、プログラム実行状態からディープスリープモードに遷移します。CPU は SLEEP 命令実行後に停止しますが、CPU のレジスタ内容は保持されます。DMAC を除く内蔵周辺モジュールは動作を続けます。CKIO 端子にはクロックが出力され続けます。

ディープスリープモードでは、STATUS1 端子にハイレベルが、STATUS0 端子にローレベルが出力されます。

#### 9.4.2 ディープスリープモードの解除

ディープスリープモードは、スリープモードと同様に、割り込み（NMI、IRL、内蔵周辺モジュール）、リセットにより解除されます。

## 9.5 スタンバイモード

### 9.5.1 スタンバイモードへの遷移

STBCR レジスタの STBY ビットが 1 の状態で SLEEP 命令を実行すると、プログラム実行状態からスタンバイモードに遷移します。スタンバイモードでは、CPU だけでなくクロックや内蔵周辺モジュールも停止します。CKIO 端子からのクロック出力も停止します。

CPU、キャッシュのレジスタ内容は保持されます。内蔵周辺モジュールのレジスタに関しては初期化されるものがあります。スタンバイモード時の周辺モジュールのレジスタの状態を表 9.4 に示します。

表 9.4 スタンバイモード時のレジスタの状態

| モジュール                | 初期化されるレジスタ      | 内容が保持されるレジスタ    |
|----------------------|-----------------|-----------------|
| 割り込みコントローラ           |                 | 全レジスタ           |
| ユーザブレイクコントローラ        |                 | 全レジスタ           |
| バスステートコントローラ         |                 | 全レジスタ           |
| 内蔵発振回路               |                 | 全レジスタ           |
| タイマユニット              | TSTR レジスタ*      | 左記以外のレジスタ       |
| リアルタイムクロック           |                 | 全レジスタ           |
| ダイレクトメモリアクセスコントローラ   |                 | 全レジスタ           |
| シリアルコミュニケーションインタフェース | 「付録 A アドレス一覧」参照 | 「付録 A アドレス一覧」参照 |

【注】 \* 「第 12 章 タイマユニット」を参照してください。

【注】 スタンバイモードへ遷移させる場合は、DMA 転送を終了させてください。

転送中にスタンバイモードへ遷移させると転送結果は保証されません。

スタンバイモードへ遷移する手順を以下に示します。

- (1) WDT のタイマコントロールレジスタ (WTCSR) の TME ビットを 0 にし、WDT を停止させます。  
WDT のタイマカウンタ (WTCNT) にカウントアップ時の初期値を、WTCSR レジスタの CKS2 ~ CKS 0 ビットに、カウントアップに使用するクロックを設定します。
- (2) STBCR レジスタの STBY ビットに 1 を設定した後、SLEEP 命令を実行させます。
- (3) スタンバイモードに入り、LSI 内部のクロックが停止すると、STATUS1 端子からローレベル、STATUS0 端子からハイレベルが出力されます。

### 9.5.2 スタンバイモードの解除

スタンバイモードは、割り込み（NMI、IRL、内蔵周辺）、 $\overline{\text{RESET}}$  端子によるリセットにより解除されます。

#### (1) 割り込みによる解除

内蔵 WDT によるホットスタートができます。NMI、IRL<sup>\*1</sup>、内蔵周辺（インターバルタイマを除く）<sup>\*2</sup>の各割り込みが検出されると、WDT がカウントを開始します。カウントオーバー後、LSI 全体にクロックが供給され、スタンバイモードが解除されて、STATUS1、STATUS0 端子がどちらもローレベルになります。この後割り込み例外処理が実行され、割り込み要因に対応したコードが INTEVT に設定されます。またスタンバイモード中は、SR レジスタの BL ビットが 1 のときでも割り込みを受け付けますので、必要ならば SLEEP 命令実行前に SPC、SSR をスタックに退避してください。

割り込み検出直後から、スタンバイモードが解除されるまでの間には、CKIO 端子のクロック出力の位相が不安定になることがあります。

【注】\*1 RTC クロック（32.768kHz）が発振しているとき（「19.2.2 IRL 割り込み」参照）、IRL3～IRL0 でスタンバイモードを解除できます（条件は、IRL3～IRL0 レベルが SR レジスタの I3～I0 のマスクレベルより高い場合）。

\*2 RTC の割り込みでスタンバイモードの解除ができます。

#### (2) リセットによる解除

$\overline{\text{RESET}}$  端子によるリセット（パワーオン、マニュアル）により、スタンバイモードは解除されます。 $\overline{\text{RESET}}$  端子は、クロックの発振が安定するまで、ローレベルを保持してください。CKIO 端子には、内部のクロックが出力され続けます。

### 9.5.3 クロックポーズ機能

スタンバイモードでは、EXTAL 端子から入力するクロックを停止したり、周波数を変更したりすることができます。この機能は、次のようにして使用します。

- (1) スタンバイモードへの遷移の手順でスタンバイモードに遷移させます。
- (2) スタンバイモードに入り、LSI 内部のクロックが停止すると、STATUS1 端子からローレベル、STATUS0 端子からハイレベルが出力されます。
- (3) STATUS1 端子がローレベル、STATUS0 端子がハイレベルになってから、入力クロックの停止、または周波数の変更を行います。
- (4) 周波数変更の場合、変更後に NMI または IRL の割り込みを入れます。クロック停止の場合、クロックの印加後に同様の割り込みを入れます。
- (5) WDT で設定した時間後に LSI 内部にクロックが印加され始め、STATUS1、STATUS0 端子がどちらもローレベルになって割り込み例外処理から動作を再開します。



## 9.6 モジュールスタンバイ機能

### 9.6.1 モジュールスタンバイ機能への遷移

スタンバイコントロールレジスタの MSTP4～MSTP0 ビットに 1 をセットすることで、それぞれ対応した内蔵周辺モジュールへのクロック供給を停止させることができます。この機能を使用することで、スリープ時の消費電力を低減させることができます。

モジュールスタンバイ状態では、内蔵周辺モジュールの外部端子は、停止前の状態を保持します。レジスタは一部を除いて停止前の状態を保持します。

| ビット   |   | 説明  |
|-------|---|---|
| MSTP4 | 0 | DMAC は動作します                                   |
|       | 1 | DMAC へ供給されるクロックが停止します                         |
| MSTP3 | 0 | SCIF は動作します                                   |
|       | 1 | SCIF へ供給されるクロックが停止します                         |
| MSTP2 | 0 | TMU は動作します                                    |
|       | 1 | TMU へ供給されるクロックが停止し、レジスタが初期化されます* <sup>1</sup> |
| MSTP1 | 0 | RTC は動作します                                    |
|       | 1 | RTC へ供給されるクロックが停止します* <sup>2</sup>            |
| MSTP0 | 0 | SCI は動作します                                    |
|       | 1 | SCI へ供給されるクロックが停止します                          |

【注】 \*<sup>1</sup> 初期化されるレジスタはスタンバイモードと同じですが、RTC クロックを使用している場合は初期化されません（「第 12 章 タイマユニット」参照）。

\*<sup>2</sup> RCR2 の START ビットが 1 のとき、カウンタは動作します（「第 11 章 リアルタイムクロック」参照）。

### 9.6.2 モジュールスタンバイ機能の解除

モジュールスタンバイ機能の解除は、MSTP4～MSTP0 ビットを 0 にクリアするか、 $\overline{\text{RESET}}$  端子によるパワーオンリセット、またはウォッチドッグタイマオーバーフローにより発生するパワーオンリセットで解除されます。

## 9.7 STATUS 端子の変化タイミング

STATUS1、STATUS0 端子の変化タイミングを示します。

STATUS の意味は次のとおりです。

- reset : HH ( STATUS1 がハイレベル、STATUS0 がハイレベル )
- sleep : HL ( STATUS1 がハイレベル、STATUS0 がローレベル )
- standby : LH ( STATUS1 がローレベル、STATUS0 がハイレベル )
- normal : LL ( STATUS1 がローレベル、STATUS0 がローレベル )

クロックの単位の意味は次のとおりです。

- Bcyc : バスクロックの周期
- Pcyc : 周辺クロックの周期

### 9.7.1 リセットの場合

#### (1) パワーオンリセット

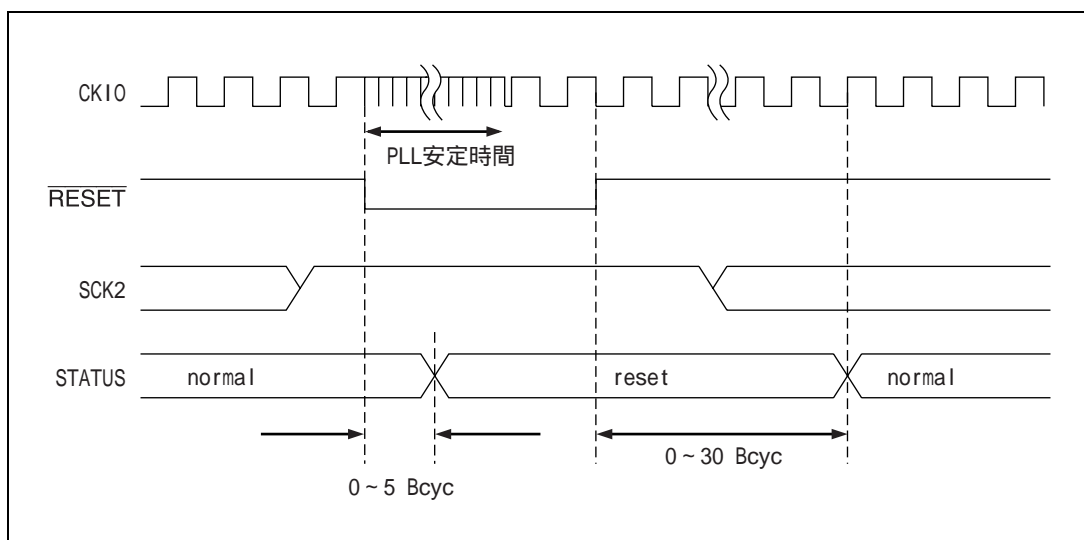


図 9.1 パワーオンリセットの STATUS 出力

(2) マニュアルリセット

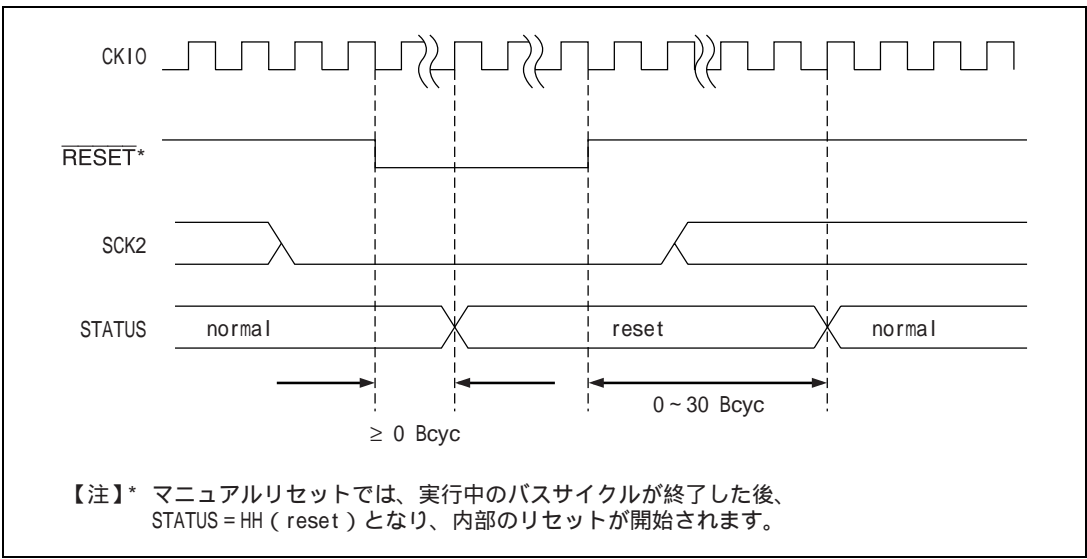


図 9.2 マニュアルリセットの STATUS 出力

9.7.2 スタンバイ解除の場合

(1) スタンバイ 割り込み

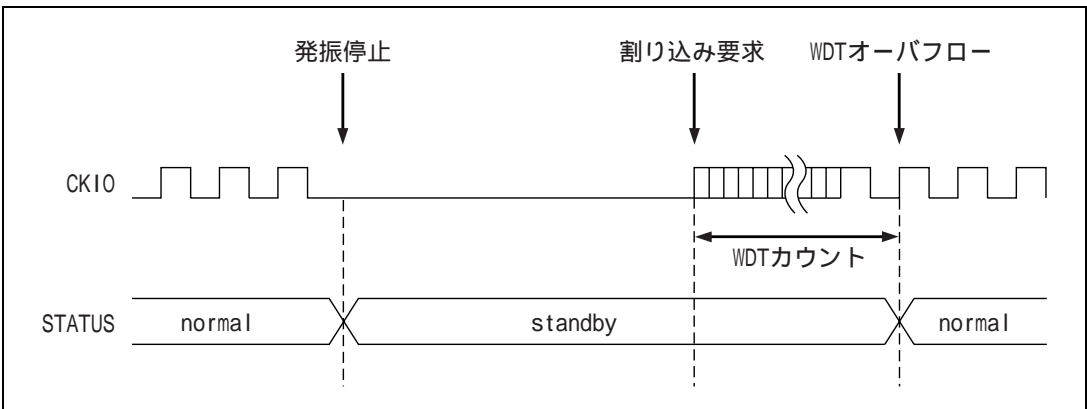


図 9.3 スタンバイ 割り込みの STATUS 出力

(2) スタンバイ パワーオンリセット

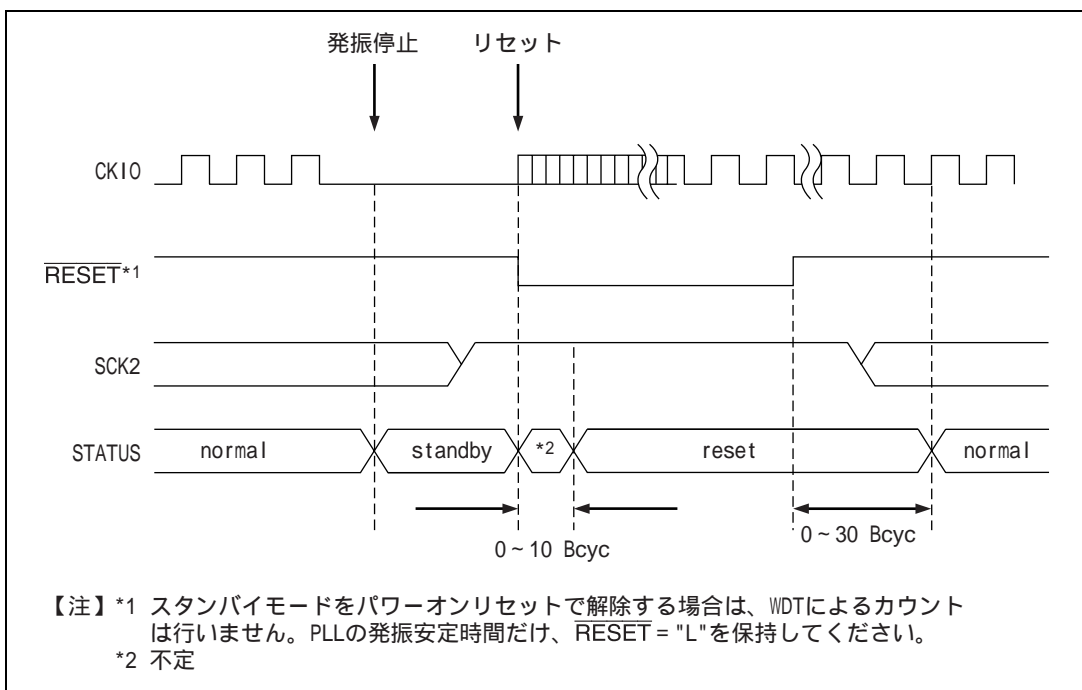


図 9.4 スタンバイ パワーオンリセットの STATUS 出力

(3) スタンバイ マニュアルリセット

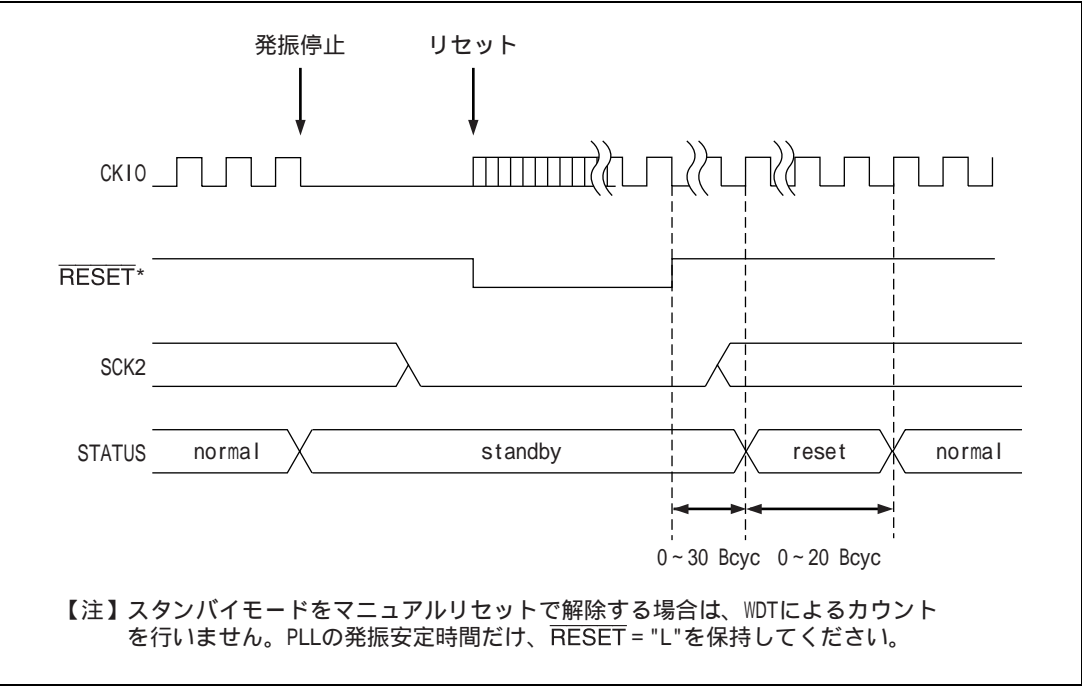


図 9.5 スタンバイ マニュアルリセットの STATUS 出力

### 9.7.3 スリープ解除の場合

#### (1) スリープ 割り込み

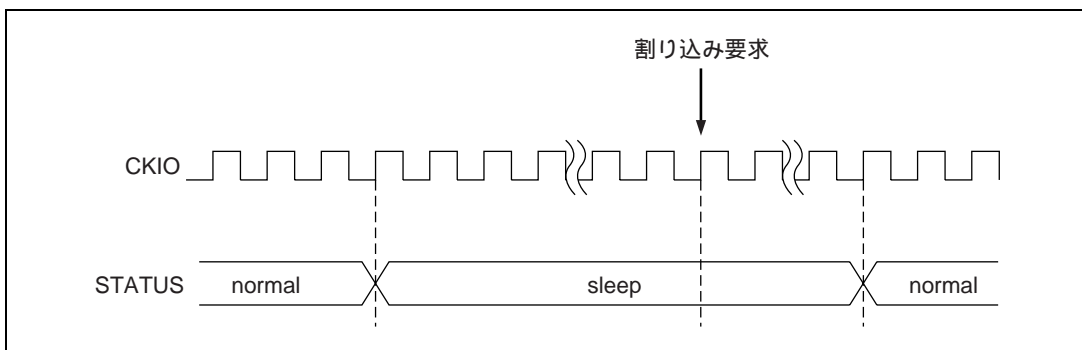


図 9.6 スリープ 割り込みの STATUS 出力

#### (2) スリープ パワーオンリセット

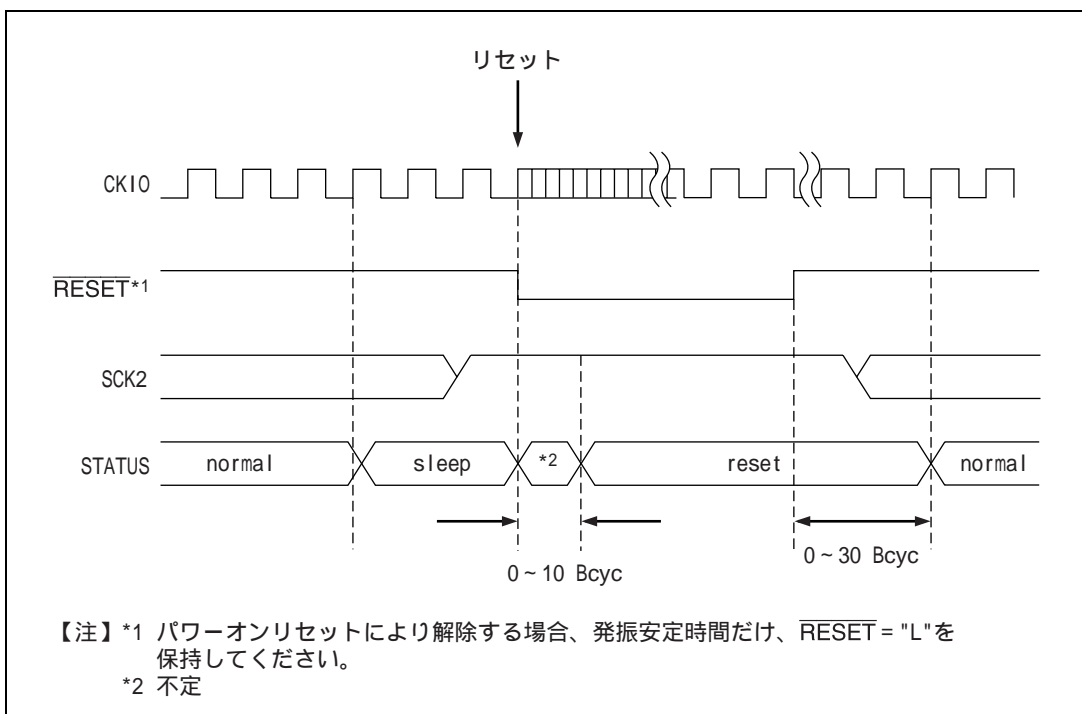


図 9.7 スリープ パワーオンリセットの STATUS 出力

(3) スリープ マニュアルリセット

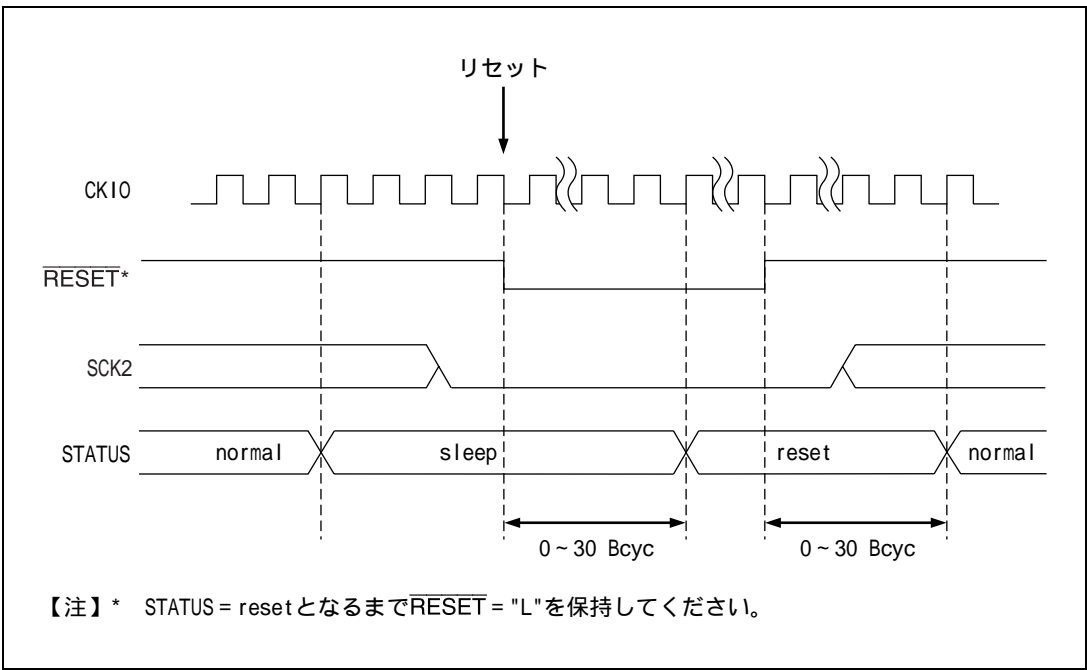


図 9.8 スリープ マニュアルリセットの STATUS 出力

9.7.4 ディープスリープ解除の場合

(1) ディープスリープ 割り込み

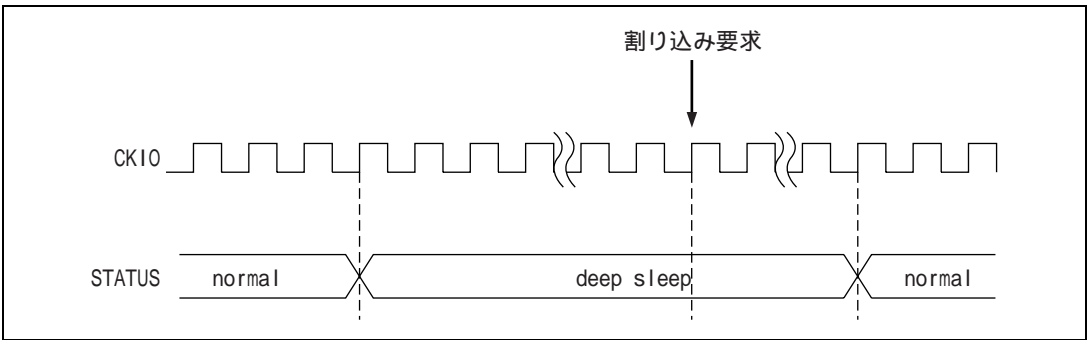


図 9.9 ディープスリープ 割り込みの STATUS 出力

## 9. 低消費電力モード

### (2) ディープスリープ パワーオンリセット

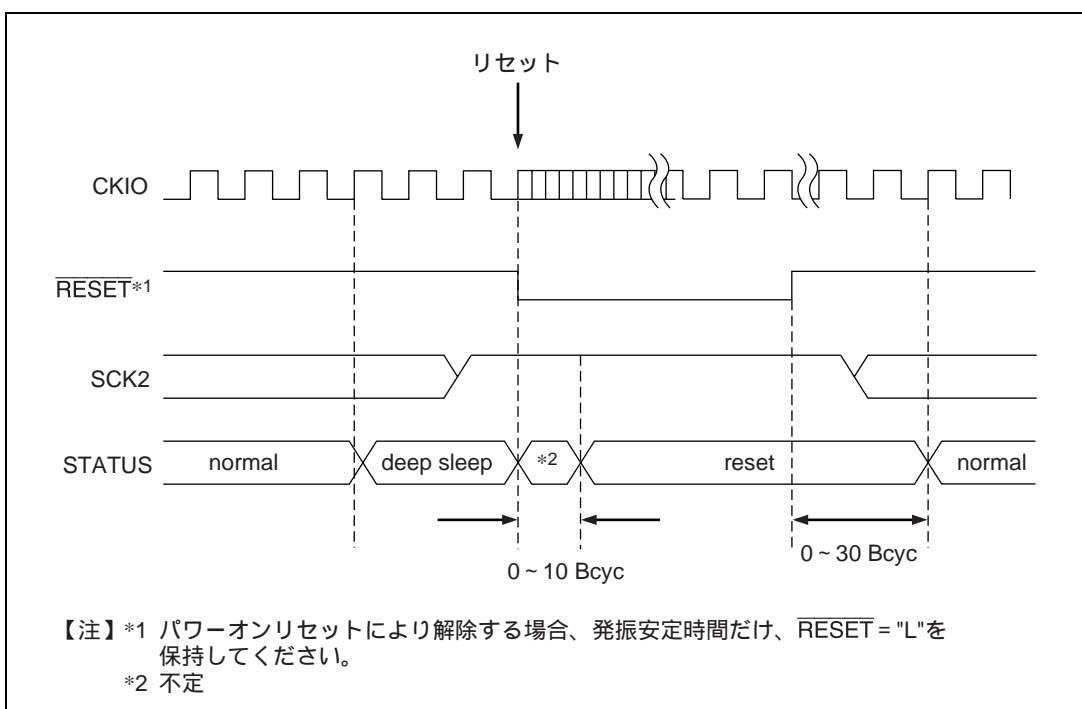


図 9.10 ディープスリープ パワーオンリセットの STATUS 出力

### (3) ディープスリープ マニュアルリセット

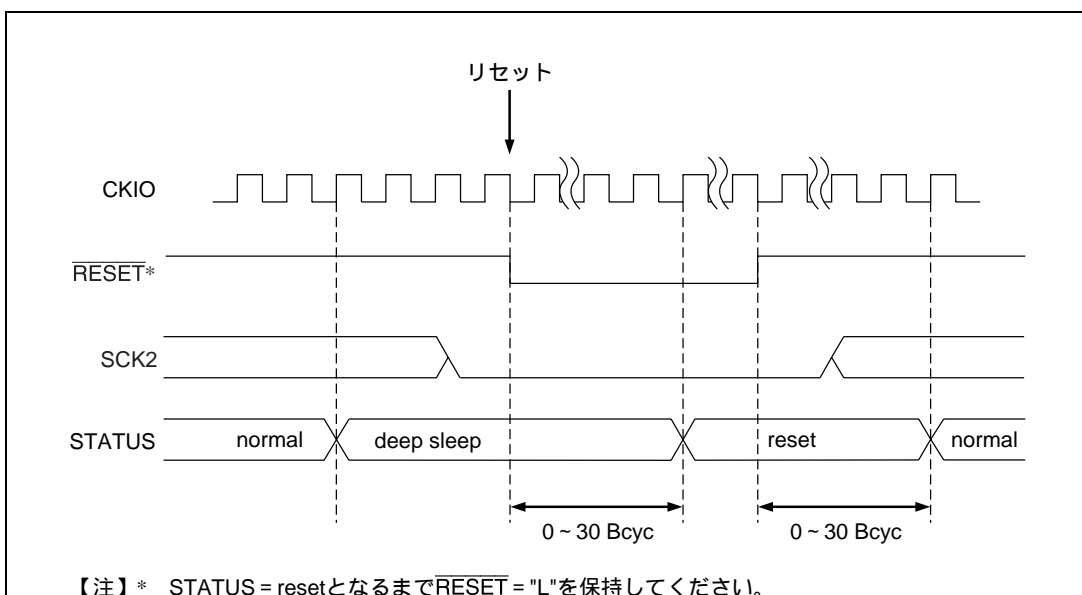


図 9.11 ディープスリープ マニュアルリセットの STATUS 出力



---

## 10. クロック発振回路

---

### 10.1 概要

内蔵発振回路は、クロックパルスジェネレータ（CPG：Clock Pulse Generator）部と、ウォッチドッグタイマ（WDT：Watchdog Timer）部より構成されます。

CPG は、プロセッサ内部に供給するクロックの生成と低消費電力モードの制御を行います。

WDT は 1 チャンネルのタイマであり、スタンバイモードや、周波数変更時の一時的なスタンバイ状態の解除の際に、クロック安定時間のカウント用に使用します。通常のウォッチドッグタイマまたはインターバルタイマとしても使用可能です。

#### 10.1.1 特長

CPG には、次の特長があります。

- 3 種類のクロック  
CPU、FPU、キャッシュ、TLBで使用するCPUクロック（I ）と、周辺モジュールで使用する周辺モジュールクロック（P ）、さらに外部バスインタフェースで使用するバスクロック（CKIO）を独立に生成できます。
- 6 種類のクロックモード  
パワーオンリセット後のCPUクロック、バスクロック、周辺モジュールクロックの分周率組み合わせを、6種類のクロック動作モードから選択できます。
- 周波数変更機能  
CPG内部のPLL（Phase Locked Loop）回路や分周回路により、CPUクロック、バスクロック、周辺モジュールクロックの周波数を独立に変更できます。周波数変更は、周波数制御レジスタ（FRQCR）の設定により、ソフトウェアで行います。
- PLL の ON/OFF  
低周波数での動作時にはPLL回路を停止することにより、消費電力が低減できます。
- 低消費電力モードの制御  
スリープモード、スタンバイモードでのクロック停止、モジュールスタンバイ機能での特定モジュールの停止が可能です。

WDT には、次の特長があります。

- クロック安定時間の確保に使用可能  
スタンバイモード、クロック周波数変更時の一時的なスタンバイ状態の解除時に使用します。
- ウォッチドッグタイマモードとインターバルタイマモードを切り換え可能

## 10. クロック発振回路

- ウォッチドッグタイマモード時、内部リセットを発生  
カウンタオーバーフローにより、内部をリセットします。  
リセットの種類として、パワーオンリセットとマニュアルリセットを選択できます。
- インターバルタイマモード時、割り込みを発生  
カウンタオーバーフローにより、インターバルタイマ割り込みを発生します。
- 8種類のカウント入力クロックを選択可能  
図10.1に示す分周器2の $\times 1$ クロックを分周した8種類のクロックから選択できます。

以下、10.2～10.6にCPG、10.7～10.9にWDTについて示します。

## 10.2 CPG の概要

### 10.2.1 CPG のブロック図

CPGのブロック図を図10.1に示します。

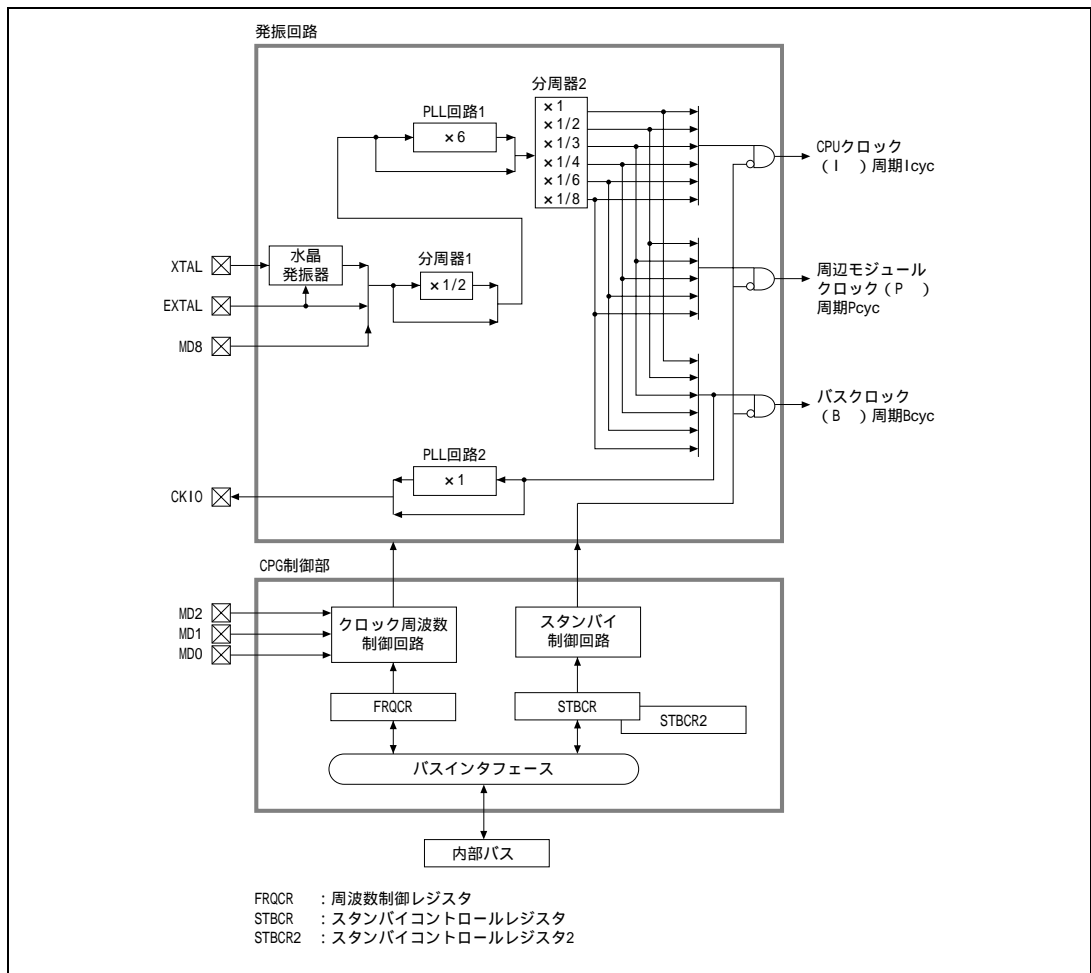


図 10.1 CPG のブロック図

CPG の各ブロックは次のように機能します。

(1) PLL 回路 1

PLL 回路 1 は、EXTAL 端子または水晶発振器からのクロック周波数を 6 倍に通倍する機能を持ちます。起動、停止は周波数制御レジスタで設定します。このとき、内部クロックの立ち上がりエッジの位相は入力クロックの立ち上がりエッジの位相に一致するように制御されます。

(2) PLL 回路 2

PLL 回路 2 は、バスクロックと、CKIO 端子からの出力クロックの位相を合わせます。起動、停止は周波数制御レジスタで設定します。

(3) 水晶発振器

XTAL、EXTAL 端子に水晶発振子を接続して使用する場合は発振回路です。水晶発振器は MD8 端子の設定により使用可能となります。

(4) 分周器 1

分周器 1 は、EXTAL 端子からのクロック入力を PLL 回路 1 を使用せずに内部に供給する場合に、入力クロック周波数を 1/2 にすることによりクロック波形のデューティを 50% に整える機能を持ちます。

(5) 分周器 2

分周器 2 は、CPU クロック (I)、バスクロック (B)、周辺モジュールクロック (P) を生成します。分周率は、周波数制御レジスタで設定します。

(6) クロック周波数制御回路

クロック周波数制御回路は、MD 端子、周波数制御レジスタによりクロック周波数を制御します。

(7) スタンバイ制御回路

スタンバイ制御回路は、クロック切り換え時やスリープ / スタンバイモード時の内蔵発振回路および他のモジュールの状態を制御します。

(8) 周波数制御レジスタ (FRQCR)

周波数制御レジスタには、CKIO 端子からのクロック出力の有無、PLL 回路 1、2 の ON/OFF、CPU クロック、バスクロック、周辺モジュールクロックの周波数分周率の各制御ビットが割り当てられています。

(9) スタンバイコントロールレジスタ (STBCR)

スタンバイコントロールレジスタには、パワーセーブモードの各制御ビットが割り当てられています。スタンバイコントロールレジスタについては、「9 章 低消費電力モード」を参照してください。

(10) スタンバイコントロールレジスタ 2 (STBCR2)

スタンバイコントロールレジスタ 2 には、パワーセーブモードの各制御ビットが割り当てられています。スタンバイコントロールレジスタ 2 については、「9 章 低消費電力モード」を参照してください。

## 10. クロック発振回路

### 10.2.2 CPG の端子構成

CPG の端子構成と機能を表 10.1 に示します。

表 10.1 発振回路の端子構成と機能

| 名称                       | 略称    | 入出力 | 初期値  |
|--------------------------|-------|-----|--|
| モード制御端子                  | MD0   | 入力  | クロック動作モードを設定します。   |
|                          | MD1   |     |  |
|                          | MD2   |     |  |
| クリスタル入出力端子<br>(クロック入力端子) | XTAL  | 出力  | 水晶発振子を接続します。   |
|                          | EXTAL | 入力  | 水晶発振子を接続します。<br>または外部クロック入力端子として使用します。   |
|                          | MD8   | 入力  | 水晶発振子の使用/非使用を設定します。<br>MD8 = 0 のとき、EXTAL から外部クロックを入力します。<br>MD8 = 1 のとき、EXTAL、XTAL に直接水晶発振子を接続します。 |
| クロック出力端子                 | CKIO  | 出力  | 外部クロック出力端子として使用します。<br>レベル固定することもできます。   |
| CKIO イネーブル端子             | CKE   | 出力  | CKIO 出力クロックが不安定なとき、0 になります。  |

### 10.2.3 CPG のレジスタ構成

CPG のレジスタ構成を表 10.2 に示します。

表 10.2 レジスタ構成

| 名称        | 略称    | R/W | 初期値 | P4<br>アドレス | エリア 7<br>アドレス | アクセス<br>サイズ |
|-----------|-------|-----|-----|------------|---------------|-------------|
| 周波数制御レジスタ | FRQCR | R/W | 不定* | H'FFC00000 | H'1FC00000    | 16          |

【注】 \* MD2～MD0 端子によるクロック動作モードの設定に依存します。

## 10.3 クロック動作モード

モード制御端子 (MD2～MD0) の組み合わせとクロック動作モードの関係を表 10.3 に示します。  
FRQCR の設定値と、内部クロックの周波数を表 10.4 に示します。

表 10.3 クロック動作モード

| クロック<br>動作<br>モード | 外部端子組合せ |     |     | 1/2<br>分周器 | PLL1 | PLL2 | 周波数(対入力クロック) |            |                     | 入力クロック<br>周波数範囲<br>(MHz) |
|-------------------|---------|-----|-----|------------|------|------|--------------|------------|---------------------|--------------------------|
|                   | MD2     | MD1 | MD0 |            |      |      | CPU<br>クロック  | バス<br>クロック | 周辺<br>モジュール<br>クロック |                          |
| 0                 | 0       | 0   | 0   | Off        | On   | On   | 6            | 3/2        | 3/2                 | 17～33                    |
| 1                 | 0       | 0   | 1   | Off        | On   | On   | 6            | 1          | 1                   | 25～33                    |
| 2                 | 0       | 1   | 0   | On         | On   | On   | 3            | 1          | 1/2                 | 25～66                    |
| 3                 | 0       | 1   | 1   | Off        | On   | On   | 6            | 2          | 1                   | 13～33                    |
| 4                 | 1       | 0   | 0   | On         | On   | On   | 3            | 3/2        | 3/4                 | 17～66                    |
| 5                 | 1       | 0   | 1   | Off        | On   | On   | 6            | 3          | 3/2                 | 9～33                     |

- 【注】 1. CPU クロック、バスクロック、周辺モジュールクロックの上限周波数は、各々 200MHz、100MHz、50MHz です。
2. PLL2 の周波数範囲は、25MHz～100MHz です。

表 10.4 FRQCR の設定値と、内部クロックの周波数

| FRQCR<br>( 下位<br>9 ビット ) | 分周率         |            |                     | クロック比 ( I : B : P ) *   |                        |                        |                       |
|--------------------------|-------------|------------|---------------------|-------------------------|------------------------|------------------------|-----------------------|
|                          | CPU<br>クロック | バス<br>クロック | 周辺<br>モジュール<br>クロック | 1/2 分周器 Off<br>PLL1 Off | 1/2 分周器 Off<br>PLL1 On | 1/2 分周器 On<br>PLL1 Off | 1/2 分周器 On<br>PLL1 On |
| H'008                    | 1           | 1/2        | 1/2                 | 1 : 1/2 : 1/2           | 6 : 3 : 3              | 1/2 : 1/4 : 1/4        | 3 : 3/2 : 3/2         |
| H'00A                    |             |            | 1/4                 | 1 : 1/2 : 1/4           | 6 : 3 : 3/2            | 1/2 : 1/4 : 1/8        | 3 : 3/2 : 3/4         |
| H'00C                    |             |            | 1/8                 | 1 : 1/2 : 1/8           | 6 : 3 : 3/4            | 1/2 : 1/4 : 1/16       | 3 : 3/2 : 3/8         |
| H'011                    |             | 1/3        | 1/3                 | 1 : 1/3 : 1/3           | 6 : 2 : 2              | 1/2 : 1/6 : 1/6        | 3 : 1 : 1             |
| H'013                    |             |            | 1/6                 | 1 : 1/3 : 1/6           | 6 : 2 : 1              | 1/2 : 1/6 : 1/12       | 3 : 1 : 1/2           |
| H'01A                    |             | 1/4        | 1/4                 | 1 : 1/4 : 1/4           | 6 : 3/2 : 3/2          | 1/2 : 1/8 : 1/8        | 3 : 3/4 : 3/4         |
| H'01C                    |             |            | 1/8                 | 1 : 1/4 : 1/8           | 6 : 3/2 : 3/4          | 1/2 : 1/8 : 1/16       | 3 : 3/4 : 3/8         |
| H'023                    |             | 1/6        | 1/6                 | 1 : 1/6 : 1/6           | 6 : 1 : 1              | 1/2 : 1/12 : 1/12      | 3 : 1/2 : 1/2         |
| H'02C                    |             | 1/8        | 1/8                 | 1 : 1/8 : 1/8           | 6 : 3/4 : 3/4          | 1/2 : 1/16 : 1/16      | 3 : 3/8 : 3/8         |
| H'05A                    | 1/2         | 1/4        | 1/4                 | 1/2 : 1/4 : 1/4         | 3 : 3/2 : 3/2          | 1/4 : 1/8 : 1/8        | 3/2 : 3/4 : 3/4       |
| H'05C                    |             |            | 1/8                 | 1/2 : 1/4 : 1/8         | 3 : 3/2 : 3/4          | 1/4 : 1/8 : 1/16       | 3/2 : 3/4 : 3/8       |
| H'063                    |             | 1/6        | 1/6                 | 1/2 : 1/6 : 1/6         | 3 : 1 : 1              | 1/4 : 1/12 : 1/12      | 3/2 : 1/2 : 1/2       |
| H'06C                    |             | 1/8        | 1/8                 | 1/2 : 1/8 : 1/8         | 3 : 3/4 : 3/4          | 1/4 : 1/16 : 1/16      | 3/2 : 3/8 : 3/8       |
| H'0A3                    | 1/3         | 1/6        | 1/6                 | 1/3 : 1/6 : 1/6         | 2 : 1 : 1              | 1/6 : 1/12 : 1/12      | 1 : 1/2 : 1/2         |
| H'0EC                    | 1/4         | 1/8        | 1/8                 | 1/4 : 1/8 : 1/8         | 3/2 : 3/4 : 3/4        | 1/8 : 1/16 : 1/16      | 3/4 : 3/8 : 3/8       |

【注】 \* 入力クロックを 1 とします。  
上記一覧以外の値は設定しないでください。

## 10.4 CPG のレジスタの説明

### 10.4.1 周波数制御レジスタ (FRQCR)

周波数制御レジスタ (FRQCR) は、CKIO 端子からのクロック出力の有無、PLL 回路 1、PLL 回路 2 の ON/OFF、CPU クロック、バスクロック、周辺モジュールクロックの周波数分周率の指定ができます。FRQCR レジスタは、読み出し / 書き込み可能な 16 ビットのレジスタで、ワードアクセスのみ可能です。

FRQCR レジスタは、 $\overline{\text{RESET}}$  端子によるパワーオンリセット時のみ初期化され、各ビットの初期値は、クロック動作モードにより決定されます。

|       |    |    |    |    |       |        |        |      |
|-------|----|----|----|----|-------|--------|--------|------|
| ビット : | 15 | 14 | 13 | 12 | 11    | 10     | 9      | 8    |
|       | -  | -  | -  | -  | CKOEN | PLL1EN | PLL2EN | IFC2 |
| 初期値 : | 0  | 0  | 0  | 0  | 1     | 1      | 1      | -    |
| R/W : | R  | R  | R  | R  | R/W   | R/W    | R/W    | R/W  |

|       |      |      |      |      |      |      |      |      |
|-------|------|------|------|------|------|------|------|------|
| ビット : | 7    | 6    | 5    | 4    | 3    | 2    | 1    | 0    |
|       | IFC1 | IFC0 | BFC2 | BFC1 | BFC0 | PFC2 | PFC1 | PFC0 |
| 初期値 : | -    | -    | -    | -    | -    | -    | -    | -    |
| R/W : | R/W  | R/W  | R/W  | R/W  | R/W  | R/W  | R/W  | R/W  |

#### ビット15～12：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

#### ビット11：クロック出力イネーブル (CKOEN)

CKOEN は、CKIO 端子からクロックを出力するか CKIO 端子をハイインピーダンス状態にするかを指定します。ハイインピーダンス状態にした場合でも、ハイインピーダンス状態にする前の動作周波数で動作します。CKIO 端子はハイインピーダンス状態になると、プルアップされます。

| ビット 11 | 機能                       |
|--------|--------------------------|
| CKOEN  |                          |
| 0      | CKIO 端子をハイインピーダンス状態にする   |
| 1      | CKIO 端子からクロックを出力する (初期値) |

#### ビット 10：PLL 回路 1 イネーブル (PLL1EN)

PLL1EN は、PLL 回路 1 の ON/OFF を指定します。

| ビット 10 | 機能                   |
|--------|----------------------|
| PLL1EN |                      |
| 0      | PLL 回路 1 を使用しない      |
| 1      | PLL 回路 1 を使用する (初期値) |

## ビット9：PLL回路2イネーブル（PLL2EN）

PLL2EN は、PLL 回路 2 の ON/OFF を指定します。

| ビット 9  | 機能                   |
|--------|----------------------|
| PLL2EN |                      |
| 0      | PLL 回路 2 を使用しない      |
| 1      | PLL 回路 2 を使用する (初期値) |

## ビット8、7、6：CPUクロック周波数分周率（IFC）

IFC は、入力クロック、1/2 分周器、または PLL 回路 1 の出力周波数に対しての CPU クロック周波数の分周率を指定します。

| ビット 8 | ビット 7 | ビット 6 | 機能               |
|-------|-------|-------|------------------|
| IFC2  | IFC1  | IFC0  |                  |
| 0     | 0     | 0     | × 1 倍            |
| 0     | 0     | 1     | × 1/2 倍          |
| 0     | 1     | 0     | × 1/3 倍          |
| 0     | 1     | 1     | × 1/4 倍          |
| 1     | 0     | 0     | × 1/6 倍          |
| 1     | 0     | 1     | × 1/8 倍          |
| 上記以外  |       |       | 設定禁止（設定しないでください） |

## ビット5、4、3：バスクロック周波数の分周率（BFC）

BFC は、入力クロック、1/2 分周器、または PLL 回路 1 の出力周波数に対してのバスクロック周波数の分周率を指定します。

| ビット 5 | ビット 4 | ビット 3 | 機能               |
|-------|-------|-------|------------------|
| BFC2  | BFC1  | BFC0  |                  |
| 0     | 0     | 0     | × 1 倍            |
| 0     | 0     | 1     | × 1/2 倍          |
| 0     | 1     | 0     | × 1/3 倍          |
| 0     | 1     | 1     | × 1/4 倍          |
| 1     | 0     | 0     | × 1/6 倍          |
| 1     | 0     | 1     | × 1/8 倍          |
| 上記以外  |       |       | 設定禁止（設定しないでください） |

## ビット2、1、0：周辺モジュールクロック周波数の分周率（PFC）

PFC は、入力クロック、1/2 分周器、または PLL 回路 1 の出力周波数に対しての周辺モジュールクロック周波数の分周率を指定します。

| ビット 2 | ビット 1 | ビット 0 | 機能               |
|-------|-------|-------|------------------|
| PFC2  | PFC1  | PFC0  |                  |
| 0     | 0     | 0     | × 1/2 倍          |
| 0     | 0     | 1     | × 1/3 倍          |
| 0     | 1     | 0     | × 1/4 倍          |
| 0     | 1     | 1     | × 1/6 倍          |
| 1     | 0     | 0     | × 1/8 倍          |
| 上記以外  |       |       | 設定禁止（設定しないでください） |

## 10.5 周波数の変更方法

内部クロックの周波数を変更するためには、PLL 回路 1 の停止、起動を変える方法と、各クロックの分周率を変える方法があります。これらはいずれも周波数制御レジスタによってソフトウェアで制御します。以下にこれらの方法について示します。

### 10.5.1 PLL 回路 1 の起動/停止の変更(PLL 回路 2 が停止の場合)

PLL 回路 1 を停止の状態から起動に変更する場合、PLL 安定時間が必要になります。内蔵 WDT により発振安定時間のカウントを行います。

- (1) WDT に、指定された発振安定時間になるように値をセットし、WDT を停止させます。次の設定が必要です。  
 WTCNR レジスタ TME ビット = 0 : WDT の停止  
 WTCNR レジスタ CKS2 ~ CKS0 ビット : WDT カウントクロックの分周率  
 WTCNT カウンタ : カウンタの初期値
- (2) PLL1EN ビットを 1 に設定します。
- (3) プロセッサ内部は一時的に停止し、WDT のカウントアップを開始します。  
 内部クロックは停止し、CKIO 端子には、不安定なクロックが出力されます。
- (4) WDT のカウントオーバーフローの後、チップ内部にクロックが供給され始め、プロセッサは動作を再開します。WDT はオーバーフロー後、停止します。

### 10.5.2 PLL 回路 1 の起動/停止の変更(PLL 回路 2 が起動の場合)

PLL 回路 2 が起動している場合、PLL 回路 1 と PLL 回路 2 の発振安定時間が必要になります。

- (1) 10.5.1 同様の、WDT への設定を行います。
- (2) PLL1EN ビットを 1 に設定します。
- (3) プロセッサ内部は一時的に停止し、PLL 回路 1 が発振、WDT がカウントアップを開始します。内部クロックは停止し、CKIO 端子には、不安定なクロックが出力されます。
- (4) WDT のカウントオーバーフローの後、PLL 回路 2 が発振を開始します。WDT は、上記(1)で設定した値からカウントアップを再開します。この間も、内部クロックは停止しており、CKIO 端子には不安定なクロックが出力されます。
- (5) WDT のカウントオーバーフローの後、チップ内部にクロックが供給され始め、プロセッサは動作を再開します。WDT はオーバーフロー後、停止します。

### 10.5.3 バスクロック分周率の変更 (PLL 回路 2 が起動の場合)

バスクロック周波数の分周率変更において、PLL 回路 2 を起動している場合、PLL 回路 2 の発振安定時間が必要です。

- (1) 10.5.1 同様の、WDT への設定を行います。
- (2) BFC2 ~ BFC0 ビットを目的とする値に設定します。
- (3) プロセッサ内部は一時的に停止し、WDT のカウントアップを開始します。  
 内部クロックは停止し、CKIO 端子には、不安定なクロックが出力されます。
- (4) WDT のカウントオーバーフローの後、チップ内部にクロックが供給され始め、プロセッサは動作を再開します。WDT はオーバーフロー後、停止します。

### 10.5.4 バスクロック分周率の変更 (PLL 回路 2 が停止の場合)

バスクロック周波数の分周率変更において、PLL 回路 2 を停止している場合、WDT によるカウントは行いません。

- (1) BFC2 ~ BFC0 ビットを目的とする値に設定します。
- (2) 直ちに設定されたクロックに切り換わります。





### 10.7.2 レジスタ構成

WDT には、2 本のレジスタがあります。これらのレジスタにより、クロックの選択、タイマのモードの切り換え等を行います。レジスタ構成を表 10.5 に示します。

表 10.5 レジスタ構成

| 名称                                 | 略称    | R/W  | 初期値  | P4 アドレス    | エリア 7 アドレス | アクセスサイズ       |
|------------------------------------|-------|------|------|------------|------------|---------------|
| ウォッチドッグタイマ<br>カウンタ                 | WTCNT | R/W* | H'00 | H'FFC00008 | H'1FC00008 | R は 8、W は 16* |
| ウォッチドッグタイマ<br>コントロール/ステータス<br>レジスタ | WTCSR | R/W* | H'00 | H'FFC0000C | H'1FC0000C | R は 8、W は 16* |

【注】 \* 書き込みは、ワードサイズで行ってください。上位バイトをそれぞれ H'5A、H'A5 にして書き込んでください。バイトまたはロングワードサイズでは書き込むことができません。  
読み出しは、バイトサイズで行ってください。

## 10.8 WDT のレジスタの説明

### 10.8.1 ウォッチドッグタイマカウンタ (WTCNT)

ウォッチドッグタイマカウンタ (WTCNT) は、選択されたクロックでカウントアップするカウンタです。オーバフローすると、ウォッチドッグタイマモードのときリセットが発生し、インターバルタイマモードのとき割り込みが発生します。WTCNT は読み出し / 書き込み可能な 8 ビットです。WTCNT カウンタは RESET 端子によるパワーオンリセット時のみ、H'00 に初期化されます。

WTCNT カウンタへの書き込みは上位バイトを H'5A にしてワードサイズで行ってください。読み出しはバイトサイズで行ってください。

|      |     |     |     |     |     |     |     |     |
|------|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット: | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|      |     |     |     |     |     |     |     |     |
| 初期値: | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |
| R/W: | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

### 10.8.2 ウォッチドッグタイマコントロール / ステータスレジスタ (WTCSR)

ウォッチドッグタイマコントロール / ステータスレジスタ (WTCSR) は、カウントに使用するクロックやタイマのモードの選択を行うビット、およびオーバフローフラグから成ります。

WTCSR レジスタは、読み出し / 書き込み可能な 8 ビットのレジスタです。WTCSR レジスタは RESET 端子によるパワーオンリセット時のみ、H'00 に初期化されます。WDT オーバフローによる内部リセット時には値は保持されます。スタンバイ解除時のクロック安定時間のカウントに使用するとき、カウンタオーバフロー後、値は保持されます。

WTCSR レジスタへの書き込みは上位バイトを H'A5 にしてワードサイズで行ってください。読み出しはバイトサイズで行ってください。

|      |     |       |      |      |      |      |      |      |
|------|-----|-------|------|------|------|------|------|------|
| ビット: | 7   | 6     | 5    | 4    | 3    | 2    | 1    | 0    |
|      | TME | WT/IT | RSTS | WOVF | IOVF | CKS2 | CKS1 | CKS0 |
| 初期値: | 0   | 0     | 0    | 0    | 0    | 0    | 0    | 0    |
| R/W: | R/W | R/W   | R/W  | R/W  | R/W  | R/W  | R/W  | R/W  |

## ビット7: タイマイネーブル (TME)

タイマ動作の開始または停止を設定します。スタンバイモードやクロック周波数変更時に WDT を使用する場合には、このビットを 0 にしてください。

| ビット7 | 機能                            |
|------|-------------------------------|
| TME  |                               |
| 0    | カウントアップ停止、WTCNT の値は保持する (初期値) |
| 1    | カウントアップ開始                     |

## ビット6: タイマモードセレクト (WT/IT)

ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを指定します。

| ビット6  | 機能                 |
|-------|--------------------|
| WT/IT |                    |
| 0     | インターバルタイマモード (初期値) |
| 1     | ウォッチドッグタイマモード      |

【注】 WDT の動作中に WT/IT を書き換えるとカウントアップが正しく行われない場合があります。

## ビット5: リセットセレクト (RSTS)

ウォッチドッグタイマモードで WTCNT がオーバーフローしたときのリセットの種類を指定します。インターバルタイマモードの場合、設定値は無視されます。

| ビット5 | 機能              |
|------|-----------------|
| RSTS |                 |
| 0    | パワーオンリセット (初期値) |
| 1    | マニュアルリセット       |

## ビット4: ウォッチドッグタイマオーバーフロー (WOVF)

ウォッチドッグタイマモードで WTCNT がオーバーフローしたことを示します。  
インターバルタイマモードではセットされません。

| ビット4 | 機能                              |
|------|---------------------------------|
| WOVF |                                 |
| 0    | オーバーフローなし (初期値)                 |
| 1    | ウォッチドッグタイマモードで WTCNT がオーバーフローした |

## ビット3: インターバルタイマオーバーフロー (IOVF)

インターバルタイマモードで WTCNT がオーバーフローしたことを示します。  
ウォッチドッグタイマモードではセットされません。

| ビット3 | 機能                             |
|------|--------------------------------|
| IOVF |                                |
| 0    | オーバーフローなし (初期値)                |
| 1    | インターバルタイマモードで WTCNT がオーバーフローした |

## 10. クロック発振回路

ビット2～0：クロックセレクト2～0（CKS2～CKS0）

分周器2の入力クロックを分周して得られる8種類のクロックから、WTCNTのカウン트에使用するクロックを選択します。表中のオーバフロー周期は、入力クロック 33MHz、分周器1 OFF、PLL 回路1 ON の場合の値です。

| ビット2 | ビット1 | ビット0 | 機能         |          |
|------|------|------|------------|----------|
| CKS2 | CKS1 | CKS0 | クロック分周比    | オーバフロー周期 |
| 0    | 0    | 0    | 1/32（初期状態） | 41 μs    |
| 0    | 0    | 1    | 1/64       | 82 μs    |
| 0    | 1    | 0    | 1/128      | 164 μs   |
| 0    | 1    | 1    | 1/256      | 328 μs   |
| 1    | 0    | 0    | 1/512      | 656 μs   |
| 1    | 0    | 1    | 1/1024     | 1.31ms   |
| 1    | 1    | 0    | 1/2048     | 2.62ms   |
| 1    | 1    | 1    | 1/4096     | 5.25ms   |

【注】 WDT の動作中に CKS2～CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS2～CKS0 ビットを書き換える場合は必ず WDT を停止させてから書き換えてください。

### 10.8.3 レジスタアクセス時の注意

ウォッチドッグタイマカウンタ（WTCNT）、ウォッチドッグタイマコントロール/ステータスレジスタ（WTCSR）は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。次の方法で、読み出し/書き込みを行ってください。

#### (1) WTCNT、WTCSR への書き込み

WTCNT、WTCSR へ書き込むときは、必ずワード転送命令を使用してください。バイト転送、ロングワード転送命令では、書き込めません。

図 10.3 に示すように、WTCNT へ書き込むときは上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。WTCSR へ書き込むときは上位バイトを H'A5 にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータが WTCNT または WTCSR へ書き込まれます。

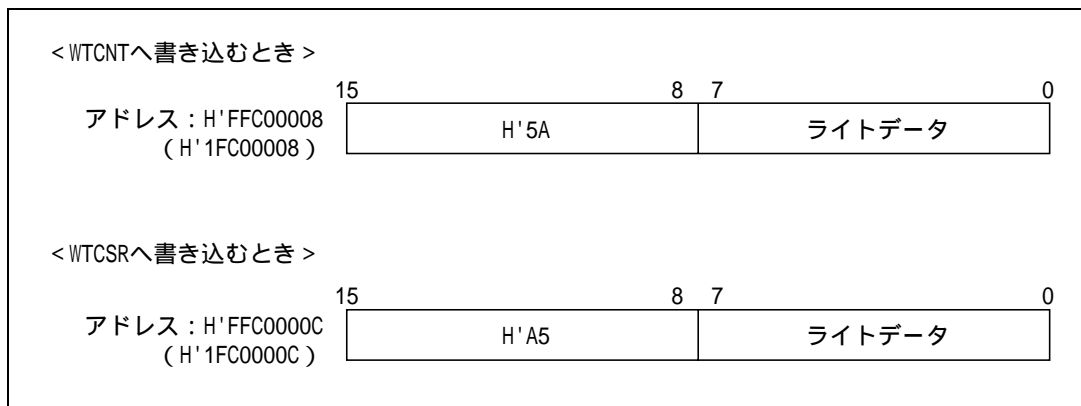


図 10.3 WTCNT、WTCSR への書き込み

## 10.9 WDT の使用方法

### 10.9.1 スタンバイ解除の手順

WDT は、スタンバイモードを NMI 割り込みまたはその他の割り込みで解除する場合に使用されます。この手順を以下に示します（リセットで解除する場合 WDT は動作しませんので、クロックが安定するまで RESET 端子をローレベルに保ってください）。

- (1) スタンバイモードへの遷移前に、必ず WTCSR レジスタの TME ビットを 0 に設定してください。TME ビットが 1 に設定されていると、カウントオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
- (2) WTCSR レジスタの CKS2 ~ CKS0 ビットに使用するカウントクロックの種類、WTCNT カウンタにカウンタの初期値を設定しておきます。これらの値は、カウントオーバーフローまでの時間がクロック発振安定時間以上になるように設定してください。
- (3) SLEEP 命令実行によりスタンバイモードに遷移し、クロックは停止します。
- (4) NMI 信号変化のエッジ検出、または割り込み検出により、WDT がカウントを開始します。
- (5) WDT がカウントオーバーフローすると、CPG がクロック供給を開始し、プロセッサが動作を再開します。このとき、WTCSR レジスタの WOVF フラグはセットされません。
- (6) カウンタは H'00 ~ H'01 の値で停止します。停止時の値はクロック比によって変わります。

### 10.9.2 周波数変更の手順

PLL を使用した周波数変更時に、WDT を使用します。分周器の切り換えのみによる周波数変更の場合は、WDT は使用しません。

- (1) 周波数変更前に、必ず WTCSR レジスタの TME ビットを 0 に設定してください。TME ビットが 1 に設定されていると、カウントオーバーフロー時に誤ってリセットまたはインターバルタイマ割り込みが発生することがあります。
- (2) WTCSR レジスタの CKS2 ~ CKS0 ビットに使用するカウントクロックの種類、WTCNT カウンタにカウンタの初期値を設定しておきます。これらの値は、カウントオーバーフローまでの時間がクロック発振安定時間以上になるように設定してください。
- (3) 周波数制御レジスタ (FRQCR) を書き換えると、クロックが停止し、一時的にスタンバイ状態になります。WDT はカウントを開始します。
- (4) WDT はカウントオーバーフローすると、CPG がクロック供給を再開し、プロセッサが動作を再開します。このとき、WTCSR レジスタの WOVF フラグはセットされません。
- (5) カウンタは H'00 ~ H'01 の値で停止します。停止時の値はクロック比によって変わります。
- (6) 周波数制御レジスタ (FRQCR) を書き換えた直後に WTCNT を再設定する場合は、カウンタを読み出して、上記 (5) の状態になっていることを確認してから再設定してください。

### 10.9.3 ウォッチドッグタイマモードの使用法

- (1) WTCSR レジスタの WT/IT ビットに 1 を設定し、RSTS ビットにリセットのタイプ、CKS2 ~ CKS0 にカウントクロックの種類、WTCNT カウンタにカウンタの初期値を設定します。
- (2) WTCSR レジスタの TME ビットに 1 をセットすると、ウォッチドッグタイマモードでカウントを開始します。
- (3) ウォッチドッグタイマモードで動作中は、カウンタがオーバーフローしないように定期的にカウンタを H'00 に書き換えてください。
- (4) カウンタがオーバーフローすると、WDT は WTCSR レジスタの WOVF フラグを 1 にセットし、RSTS ビットで指定されたタイプのリセットが発生します。この後カウンタはカウントを続行します。

### 10.9.4 インターバルタイマモードの使用法

インターバルタイマモードで動作中は、カウンタがオーバーフローするたびにインターバルタイマ割り込みを発生します。したがって、一定時間ごとに割り込みを発生させることができます。

- (1) WTCSR レジスタの WT/IT ビットに 0 をセットし、CKS2~CKS0 ビットにカウントクロックの種類、WTCNT カウンタにカウンタの初期値を設定します。
- (2) WTCSR レジスタの TME ビットに 1 をセットするとインターバルタイマモードでカウントを開始します。
- (3) WDT は、カウンタがオーバーフローすると WTCSR レジスタの IOVF フラグに 1 をセットし、インターバルタイマ割り込み要求を INTC に送ります。カウンタはカウントを続行します。

## 10.10 ボード設計上の注意事項

### (1) 水晶発振器使用時の注意

水晶発振器と容量はできるだけ EXTAL 端子および XTAL 端子の近くに置いてください。また、これらの端子の信号線に他の信号線を交差させないでください。誘導のために正しい発振ができなくなる場合があります。

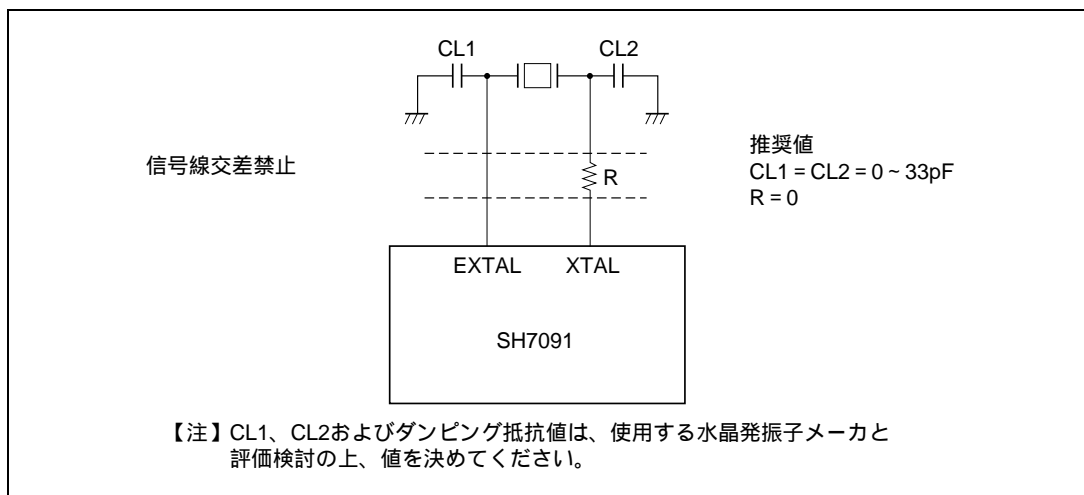


図 10.4 水晶発振器使用時の注意

### (2) 外部クロックを EXTAL 端子から入力するときの注意

XTAL 端子には、何も接続しないでください。

### (3) PLL 発振回路使用時の注意

VDD-CPG と VSS-CPG は、その他の VDD、VSS とはボードの電源供給元から分離し、端子の近くにノイズフィルタとして抵抗 RCB、RB およびバイパスコンデンサ CPB、CB を挿入してください。

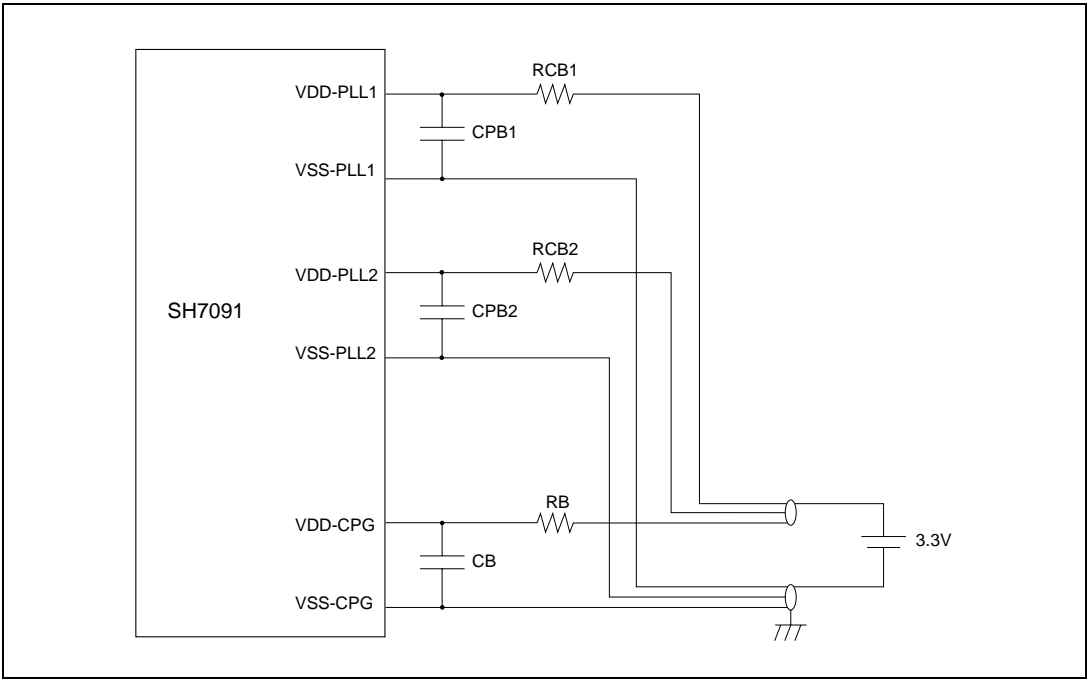


図 10.5 PLL 発振回路使用時の注意

---

## 11. リアルタイムクロック（RTC）

---

### 11.1 概要

#### 11.1.1 特長

本 LSI は、リアルタイムクロック（RTC：Real Time Clock）および RTC 用の 32.768kHz 水晶発振器を内蔵しています。

- 時計・カレンダー機能（BCD 表示）を搭載  
秒、分、時、曜日、日、月、年をカウント
- 1～64Hz タイマ（バイナリ表示）を搭載  
64Hz カウンタレジスタが、RTC の分周回路のうち 64Hz～1Hz の状態を示します。
- スタート/ストップ機能
- 30 秒調整機能
- アラーム割り込み  
アラーム割り込み条件として、秒、分、時、曜日、日、月のいずれと比較するか選択可能
- 周期割り込み  
割り込み周期として、1/256 秒、1/64 秒、1/16 秒、1/4 秒、1/2 秒、1 秒、2 秒周期から選択可能
- 桁上げ割り込み  
秒カウンタ桁上げ、または 64Hz カウンタの読み出し時に 64Hz カウンタ桁上げが発生したことを示す桁上げ割り込み機能
- うるう年自動補正機能



### 11.1.2 ブロック図

図 11.1 に RTC のブロック図を示します。

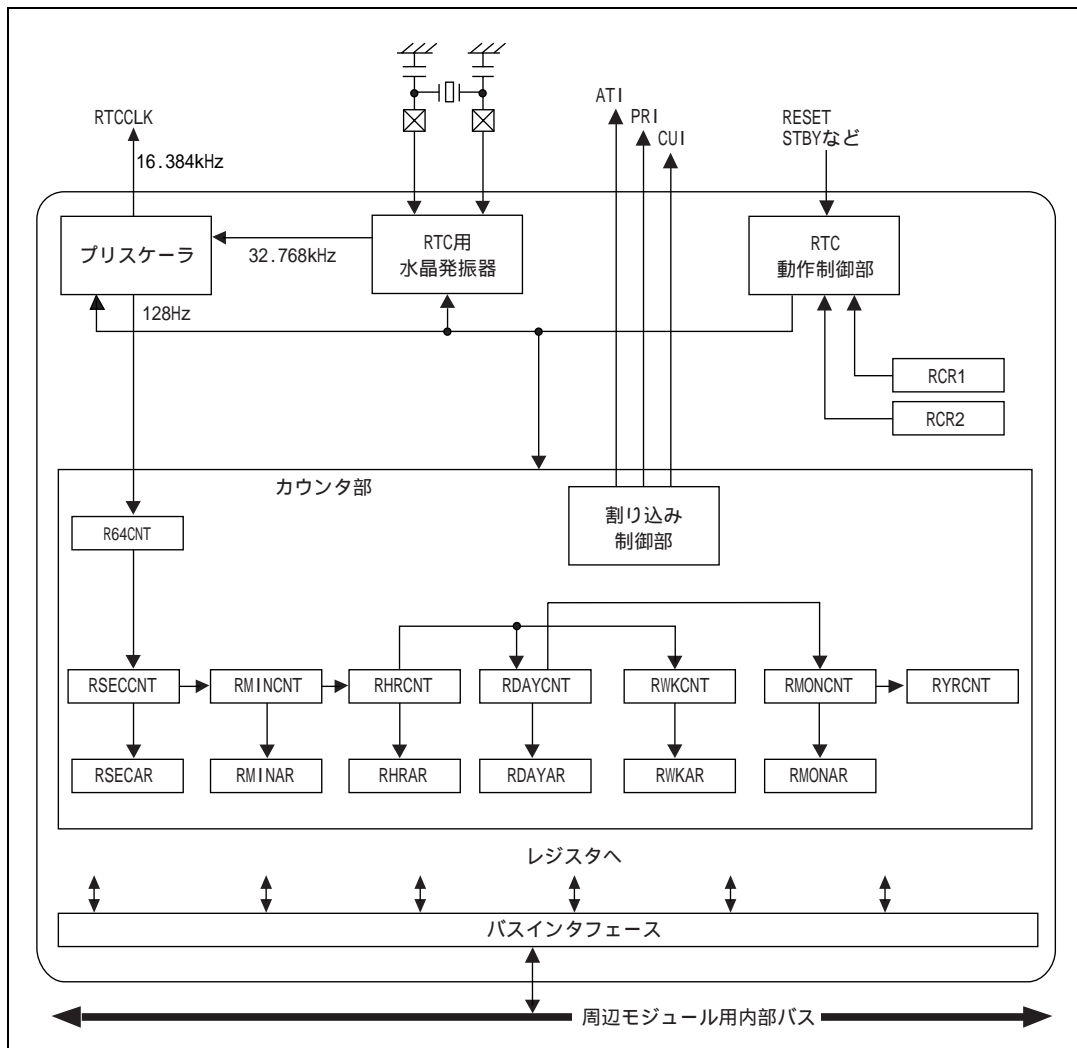


図 11.1 RTC のブロック図

### 11.1.3 端子構成

表 11.1 に RTC の端子構成を示します。

表 11.1 端子構成

| 名称                 | 略称          | 入出力 | 機能   |
|--------------------|-------------|-----|--|
| RTC 用発振器水晶端子       | EXTAL2      | 入力  | RTC 用発振器に水晶を接続する                                       |
| RTC 用発振器水晶端子       | XTAL2       | 出力  | RTC 用発振器に水晶を接続する                                       |
| クロック入力 /<br>クロック出力 | TCLK        | 入出力 | 外部クロック入力端子あるいはインプットキャプチャ制御入力端子あるいは RTC 用出力端子 (TMU と兼用) |
| RTC 専用電源端子         | Vcc ( RTC ) |     | RTC 発振器用電源端子*  |
| RTC 専用 GND 端子      | Vss ( RTC ) |     | RTC 発振器用 GND 端子*                                       |

【注】 \*     RTC 用の電源端子は RTC を使用しないときも必ず電源を供給してください。RTC のみ使用する場合にも、本電源端子を含めすべての電源端子に電源を供給してください。また、スタンバイモード時でも、本電源端子を含めすべての電源端子に電源を供給してください。

## 11. リアルタイムクロック (RTC)

### 11.1.4 レジスタ構成

表 11.2 に RTC のレジスタ構成を示します。

表 11.2 レジスタ構成

| 名称                   | 略称      | R/W | パワーオン<br>リセット時 | マニュアル<br>リセット時 | スタンバイ<br>モード<br>時 | 初期値    | P4 アドレス    | エリア 7<br>アドレス | アクセス<br>サイズ |
|----------------------|---------|-----|----------------|----------------|-------------------|--------|------------|---------------|-------------|
| 64Hz カウンタ            | R64CNT  | R   | カウント           | カウント           | カウント              | 不定     | H'FFC80000 | H'1FC80000    | 8           |
| 秒カウンタ                | RSECCNT | R/W | カウント           | カウント           | カウント              | 不定     | H'FFC80004 | H'1FC80004    | 8           |
| 分カウンタ                | RMINCNT | R/W | カウント           | カウント           | カウント              | 不定     | H'FFC80008 | H'1FC80008    | 8           |
| 時カウンタ                | RHRCNT  | R/W | カウント           | カウント           | カウント              | 不定     | H'FFC8000C | H'1FC8000C    | 8           |
| 曜日カウンタ               | RWKCNT  | R/W | カウント           | カウント           | カウント              | 不定     | H'FFC80010 | H'1FC80010    | 8           |
| 日カウンタ                | RDAYCNT | R/W | カウント           | カウント           | カウント              | 不定     | H'FFC80014 | H'1FC80014    | 8           |
| 月カウンタ                | RMONCNT | R/W | カウント           | カウント           | カウント              | 不定     | H'FFC80018 | H'1FC80018    | 8           |
| 年カウンタ                | RYRCNT  | R/W | カウント           | カウント           | カウント              | 不定     | H'FFC8001C | H'1FC8001C    | 16          |
| 秒アラームレジスタ            | RSECAR  | R/W | 初期化*1          | 保持             | 保持                | 不定*1   | H'FFC80020 | H'1FC80020    | 8           |
| 分アラームレジスタ            | RMINAR  | R/W | 初期化*1          | 保持             | 保持                | 不定*1   | H'FFC80024 | H'1FC80024    | 8           |
| 時アラームレジスタ            | RHRAR   | R/W | 初期化*1          | 保持             | 保持                | 不定*1   | H'FFC80028 | H'1FC80028    | 8           |
| 曜日アラームレジスタ           | RWKAR   | R/W | 初期化*1          | 保持             | 保持                | 不定*1   | H'FFC8002C | H'1FC8002C    | 8           |
| 日アラームレジスタ            | RDAYAR  | R/W | 初期化*1          | 保持             | 保持                | 不定*1   | H'FFC80030 | H'1FC80030    | 8           |
| 月アラームレジスタ            | RMONAR  | R/W | 初期化*1          | 保持             | 保持                | 不定*1   | H'FFC80034 | H'1FC80034    | 8           |
| RTC コントロール<br>レジスタ 1 | RCR1    | R/W | 初期化            | 初期化            | 保持                | H'00*3 | H'FFC80038 | H'1FC80038    | 8           |
| RTC コントロール<br>レジスタ 2 | RCR2    | R/W | 初期化            | 初期化*2          | 保持                | H'09*4 | H'FFC8003C | H'1FC8003C    | 8           |

【注】 \*1 各レジスタの ENB ビットが初期化されます。

\*2 RTCEN ビットおよび START ビット以外が初期化されます。

\*3 CF ビットおよび AF ビットは不定です。

\*4 PEF ビットは不定です。

## 11.2 レジスタの説明

### 11.2.1 64Hz カウンタ (R64CNT)

64Hz カウンタ (R64CNT) は、読み出しのみ可能な 8 ビットのレジスタです。RTC の分周回路のうち、64Hz ~ 1Hz の状態を示します。

128Hz 分周段からの桁上げが発生したときに、このレジスタを読み出すと、RTC コントロールレジスタ 1 (RCR1) のビット 7 (CF) が 1 にセットされ、桁上げと 64Hz カウンタ読み出しが重なったことを示します。この場合、読み出した値は有効ではないため、RCR1 の CF ビットに 0 を書き込んでクリアした後、R64CNT を再度読み出す必要があります。

RTC コントロールレジスタ 2 (RCR2) の RESET ビットを 1 にセットするか、RCR2 の ADJ ビットを 1 にセットすると、RTC の分周回路が初期化され、R64CNT は H'00 に初期化されます。

R64CNT は、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも、初期化されません。

ビット 7 は、読み出すと常に 0 が読み出されます。書き込みは無効です。

|      |   |     |     |     |     |      |      |      |
|------|---|-----|-----|-----|-----|------|------|------|
| ビット: | 7 | 6   | 5   | 4   | 3   | 2    | 1    | 0    |
|      |   | 1Hz | 2Hz | 4Hz | 8Hz | 16Hz | 32Hz | 64Hz |
| 初期値: | 0 | 不定  | 不定  | 不定  | 不定  | 不定   | 不定   | 不定   |
| R/W: | R | R   | R   | R   | R   | R    | R    | R    |

### 11.2.2 秒カウンタ (RSECCNT)

秒カウンタ (RSECCNT) は、読み出し / 書き込み可能な 8 ビットのレジスタです。RTC の BCD コード化された秒部分の設定・カウント用のカウンタであり、64Hz カウンタの 1 秒毎のキャリによってカウント動作を行います。

設定可能範囲は、10 進で 00 ~ 59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RSECCNT は、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット 7 は、読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

|      |   |     |     |     |     |     |     |     |
|------|---|-----|-----|-----|-----|-----|-----|-----|
| ビット: | 7 | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|      |   | 10秒 |     |     | 1秒  |     |     |     |
| 初期値: | 0 | 不定  | 不定  | 不定  | 不定  | 不定  | 不定  | 不定  |
| R/W: | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

### 11.2.3 分カウンタ (RMINCNT)

分カウンタ (RMINCNT) は、読み出し / 書き込み可能な 8 ビットのレジスタです。RTC の BCD コード化された分部分の設定・カウント用のカウンタであり、秒カウンタの 1 分毎のキャリによってカウント動作を行います。

設定可能範囲は、10 進で 00 ~ 59 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RMINCNT は、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット 7 は、読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

|       |   |     |     |     |     |     |     |     |
|-------|---|-----|-----|-----|-----|-----|-----|-----|
| ビット : | 7 | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|       |   |     | 10分 |     |     | 1分  |     |     |
| 初期値 : | 0 | 不定  | 不定  | 不定  | 不定  | 不定  | 不定  | 不定  |
| R/W : | R | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

### 11.2.4 時カウンタ (RHRCNT)

時カウンタ (RHRCNT) は、読み出し / 書き込み可能な 8 ビットのレジスタです。RTC の BCD コード化された時部分の設定・カウント用のカウンタであり、分カウンタの 1 時間毎のキャリによってカウント動作を行います。

設定可能範囲は、10 進で 00 ~ 23 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RHRCNT は、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット 7 ~ 6 は、読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

|       |   |   |      |     |     |     |     |     |
|-------|---|---|------|-----|-----|-----|-----|-----|
| ビット : | 7 | 6 | 5    | 4   | 3   | 2   | 1   | 0   |
|       |   |   | 10時間 |     |     | 1時間 |     |     |
| 初期値 : | 0 | 0 | 不定   | 不定  | 不定  | 不定  | 不定  | 不定  |
| R/W : | R | R | R/W  | R/W | R/W | R/W | R/W | R/W |

### 11.2.5 曜日カウンタ (RWKCNT)

曜日カウンタ (RWKCNT) は、読み出し / 書き込み可能な 8 ビットのレジスタです。RTC の BCD コード化された曜日部分の設定・カウント用のカウンタであり、時カウンタの 1 日毎のキャリによってカウント動作を行います。

設定可能範囲は、10 進で 0～6 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RWKCNT は、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット 7～3 は、読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

|       |   |   |   |   |   |     |     |     |
|-------|---|---|---|---|---|-----|-----|-----|
| ビット : | 7 | 6 | 5 | 4 | 3 | 2   | 1   | 0   |
|       |   |   |   |   |   | 曜日  |     |     |
| 初期値 : | 0 | 0 | 0 | 0 | 0 | 不定  | 不定  | 不定  |
| R/W : | R | R | R | R | R | R/W | R/W | R/W |

| 曜日のコード | 0 | 1 | 2 | 3 | 4 | 5 | 6 |
|--------|---|---|---|---|---|---|---|
| 曜日     | 日 | 月 | 火 | 水 | 木 | 金 | 土 |

### 11.2.6 日カウンタ (RDAYCNT)

日カウンタ (RDAYCNT) は、読み出し / 書き込み可能な 8 ビットのレジスタです。RTC の BCD コード化された日部分の設定・カウント用のカウンタであり、時カウンタの 1 日毎のキャリによってカウント動作を行います。

設定可能範囲は、10 進で 01～31 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RDAYCNT は、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

RDAYCNT の設定可能範囲は、月毎およびうるう年によって変化しますので、確認の上、設定してください。

ビット 7～6 は、読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

|       |   |   |     |     |     |     |     |     |
|-------|---|---|-----|-----|-----|-----|-----|-----|
| ビット : | 7 | 6 | 5   | 4   | 3   | 2   | 1   | 0   |
|       |   |   | 10日 |     | 1日  |     |     |     |
| 初期値 : | 0 | 0 | 不定  | 不定  | 不定  | 不定  | 不定  | 不定  |
| R/W : | R | R | R/W | R/W | R/W | R/W | R/W | R/W |

## 11. リアルタイムクロック (RTC)

### 11.2.7 月カウンタ (RMONCNT)

月カウンタ (RMONCNT) は、読み出し / 書き込み可能な 8 ビットのレジスタです。RTC の BCD コード化された月部分の設定・カウント用のカウンタであり、日カウンタの月毎のキャリによってカウント動作を行います。

設定可能範囲は、10 進で 01 ~ 12 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RMONCNT は、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット 7 ~ 5 は、読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

|       |   |   |   |     |     |     |     |     |
|-------|---|---|---|-----|-----|-----|-----|-----|
| ビット : | 7 | 6 | 5 | 4   | 3   | 2   | 1   | 0   |
|       |   |   |   | 10月 | 1月  |     |     |     |
| 初期値 : | 0 | 0 | 0 | 不定  | 不定  | 不定  | 不定  | 不定  |
| R/W : | R | R | R | R/W | R/W | R/W | R/W | R/W |

### 11.2.8 年カウンタ (RYRCNT)

年カウンタ (RYRCNT) は、読み出し / 書き込み可能な 16 ビットのレジスタです。RTC の BCD コード化された年部分の設定・カウント用のカウンタであり、月カウンタの 1 年毎のキャリによって、カウント動作を行います。

設定可能範囲は、10 進で 0000 ~ 9999 です。それ以外の値が設定されると、正常に動作しません。また、書き込みの処理は、RCR2 の START ビットでカウント動作を停止させてから行うか、桁上げフラグを用いて書き込みを行ってください。

RYRCNT は、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

|       |       |     |     |     |      |     |     |     |
|-------|-------|-----|-----|-----|------|-----|-----|-----|
| ビット : | 15    | 14  | 13  | 12  | 11   | 10  | 9   | 8   |
|       | 1000年 |     |     |     | 100年 |     |     |     |
| 初期値 : | 不定    | 不定  | 不定  | 不定  | 不定   | 不定  | 不定  | 不定  |
| R/W : | R/W   | R/W | R/W | R/W | R/W  | R/W | R/W | R/W |
| ビット : | 7     | 6   | 5   | 4   | 3    | 2   | 1   | 0   |
|       | 10年   |     |     |     | 1年   |     |     |     |
| 初期値 : | 不定    | 不定  | 不定  | 不定  | 不定   | 不定  | 不定  | 不定  |
| R/W : | R/W   | R/W | R/W | R/W | R/W  | R/W | R/W | R/W |

### 11.2.9 秒アラームレジスタ (RSECAR)

秒アラームレジスタ (RSECAR) は、読み出し / 書き込み可能な 8 ビットのレジスタであり、RTC の BCD コード化された秒部分のカウント RSECCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RSECCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 00 ~ 59 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RSECAR の ENB ビットは、パワーオンリセットで 0 に初期化されます。RSECAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

|       |     |     |     |     |     |     |     |     |
|-------|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット : | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|       | ENB | 10秒 |     |     | 1秒  |     |     |     |
| 初期値 : | 0   | 不定  | 不定  | 不定  | 不定  | 不定  | 不定  | 不定  |
| R/W : | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

### 11.2.10 分アラームレジスタ (RMINAR)

分アラームレジスタ (RMINAR) は、読み出し / 書き込み可能な 8 ビットのレジスタであり、RTC の BCD コード化された分部分のカウント RMINCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMINCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 00 ~ 59 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RMINAR の ENB ビットは、パワーオンリセットで初期化されます。RMINAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

|       |     |     |     |     |     |     |     |     |
|-------|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット : | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|       | ENB | 10分 |     |     | 1分  |     |     |     |
| 初期値 : | 0   | 不定  | 不定  | 不定  | 不定  | 不定  | 不定  | 不定  |
| R/W : | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |



## 11.2.11時アラームレジスタ (RHRAR)

時アラームレジスタ (RHRAR) は、読み出し / 書き込み可能な 8 ビットのレジスタであり、RTC の BCD コード化された時部分のカウンタ RHRCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RHRCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 00 ~ 23 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RHRAR の ENB ビットは、パワーオンリセットで初期化されます。RHRAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット 6 は、読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

|       |     |   |       |     |      |     |     |     |
|-------|-----|---|-------|-----|------|-----|-----|-----|
| ビット : | 7   | 6 | 5     | 4   | 3    | 2   | 1   | 0   |
|       | ENB |   | 10 時間 |     | 1 時間 |     |     |     |
| 初期値 : | 0   | 0 | 不定    | 不定  | 不定   | 不定  | 不定  | 不定  |
| R/W : | R/W | R | R/W   | R/W | R/W  | R/W | R/W | R/W |

## 11.2.12曜日アラームレジスタ (RWKAR)

曜日アラームレジスタ (RWKAR) は、読み出し / 書き込み可能な 8 ビットのレジスタであり、RTC の BCD コード化された曜日部分のカウンタ RWKCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RWKCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 0 ~ 6 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RWKAR の ENB ビットは、パワーオンリセットで初期化されます。RWKAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット 6 ~ 3 は、読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

|       |     |   |   |   |   |     |     |     |
|-------|-----|---|---|---|---|-----|-----|-----|
| ビット : | 7   | 6 | 5 | 4 | 3 | 2   | 1   | 0   |
|       | ENB |   |   |   |   | 曜日  |     |     |
| 初期値 : | 0   | 0 | 0 | 0 | 0 | 不定  | 不定  | 不定  |
| R/W : | R/W | R | R | R | R | R/W | R/W | R/W |

|        |   |   |   |   |   |   |   |
|--------|---|---|---|---|---|---|---|
| 曜日のコード | 0 | 1 | 2 | 3 | 4 | 5 | 6 |
| 曜日     | 日 | 月 | 火 | 水 | 木 | 金 | 土 |

### 11.2.13日アラームレジスタ (RDAYAR)

日アラームレジスタ(RDAYAR)は、読み出し / 書き込み可能な 8 ビットのレジスタであり、RTC の BCD コード化された日部分のカウンタ RDAYCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RDAYCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 01 ~ 31 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RDAYAR の ENB ビットは、パワーオンリセットで初期化されます。RDAYAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット 6 は、読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

|       |     |   |     |     |     |     |     |     |
|-------|-----|---|-----|-----|-----|-----|-----|-----|
| ビット : | 7   | 6 | 5   | 4   | 3   | 2   | 1   | 0   |
|       | ENB |   | 10日 |     |     |     | 1日  |     |
| 初期値 : | 0   | 0 | 不定  | 不定  | 不定  | 不定  | 不定  | 不定  |
| R/W : | R/W | R | R/W | R/W | R/W | R/W | R/W | R/W |

### 11.2.14月アラームレジスタ (RMONAR)

月アラームレジスタ(RMONAR)は、読み出し / 書き込み可能な 8 ビットのレジスタであり、RTC の BCD コード化された月部分のカウンタ RMONCNT に対応するアラームレジスタです。ENB ビットが 1 にセットされていると、RMONCNT の値と比較を行います。アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR) のうち、ENB ビットが 1 にセットされているもののみ、カウンタとアラームレジスタの比較を行い、各々がすべて一致するとき、RCR1 のアラームフラグが 1 にセットされます。

設定可能範囲は、10 進で 01 ~ 12 + ENB ビットであり、それ以外の値が設定されると、正常に動作しません。

RMONAR の ENB ビットは、パワーオンリセットで初期化されます。RMONAR の残りのフィールドは、パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されません。

ビット 6、5 は、読み出すと常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

|       |     |   |   |     |     |     |     |     |
|-------|-----|---|---|-----|-----|-----|-----|-----|
| ビット : | 7   | 6 | 5 | 4   | 3   | 2   | 1   | 0   |
|       | ENB |   |   | 10月 |     |     | 1月  |     |
| 初期値 : | 0   | 0 | 0 | 不定  | 不定  | 不定  | 不定  | 不定  |
| R/W : | R/W | R | R | R/W | R/W | R/W | R/W | R/W |

## 11. リアルタイムクロック (RTC)

### 11.2.15 RTC コントロールレジスタ 1 (RCR1)

RTC コントロールレジスタ 1 (RCR1) は、読み出し / 書き込み可能な 8 ビットのレジスタであり、桁上げおよびアラームフラグに関するレジスタです。また、各々のフラグについて、割り込みを発生するかどうか選択できます。

CIE ビットおよび AIE ビットはパワーオンリセットおよびマニュアルリセットで 0 に初期化されます。CIE ビットと AIE ビット以外のビットは不定です。スタンバイモード時には初期化されず、それまでの値が保持されます。

|      |     |    |    |     |     |    |    |     |
|------|-----|----|----|-----|-----|----|----|-----|
| ビット: | 7   | 6  | 5  | 4   | 3   | 2  | 1  | 0   |
|      | CF  |    |    | CIE | AIE |    |    | AF  |
| 初期値: | 不定  | 不定 | 不定 | 0   | 0   | 不定 | 不定 | 不定  |
| R/W: | R/W | R  | R  | R/W | R/W | R  | R  | R/W |

#### ビット7: 桁上げフラグ (CF)

このフラグが 1 にセットされた場合、秒カウンタの桁上げまたは、64Hz カウンタ読み出し時の 64Hz カウンタ桁上げが発生したことを示し、この時点で読み出したカウントレジスタの値は、保証されません。再度の読み出しが必要です。

| ビット 7 | 機能   |
|-------|--|
| CF    |  |
| 0     | 秒カウンタ桁上げおよび 64Hz カウンタ読み出し時の 64Hz カウンタ桁上げなし<br>[ クリア条件 ] CF に 0 を書き込んだとき  |
| 1     | 秒カウンタ桁上げまたは 64Hz カウンタ読み出し時の 64Hz カウンタ桁上げあり<br>[ セット条件 ] 秒カウンタ桁上げまたは 64Hz カウンタ読み出し時の 64Hz カウンタ桁上げあり、または CF に 1 を書き込んだとき |

#### ビット4: 桁上げ割り込みイネーブルフラグ (CIE)

桁上げフラグ (CF) が 1 にセットされているとき、割り込み発生を許可するビットです。

| ビット 4 | 機能  |
|-------|---|
| CIE   |   |
| 0     | CF フラグが 1 にセットされたとき、桁上げ割り込みを発生させない<br>(初期値) |
| 1     | CF フラグが 1 にセットされたとき、桁上げ割り込みを発生させる           |

#### ビット3: アラーム割り込みイネーブルフラグ (AIE)

アラームフラグ (AF) が 1 にセットされているとき、割り込み発生を許可するビットです。

| ビット 3 | 機能   |
|-------|--|
| AIE   |  |
| 0     | AF フラグが 1 にセットされたとき、アラーム割り込みを発生させない<br>(初期値) |
| 1     | AF フラグが 1 にセットされたとき、アラーム割り込みを発生させる           |

## ビット0: アラームフラグ (AF)

アラームレジスタ (RSECAR、RMINAR、RHRAR、RWKAR、RDAYAR、RMONAR) で設定したアラーム時刻 (ENB ビットを 1 に設定したレジスタのみ) とカウンタが一致したときに 1 にセットされるフラグです。

| ビット 0 |   |
|-------|---|
| AF    | 機能  |
| 0     | アラームレジスタとカウンタは不一致<br>[ クリア条件 ] AF に 0 を書き込んだとき                                |
| 1     | アラームレジスタとカウンタが一致*<br>[ セット条件 ] アラームレジスタ (ENB ビットを 1 に設定したレジスタのみ) とカウンタが一致したとき |

【注】 \* 1 を書き込むと、元の値が保持されます。

## ビット6、5、2、1: 予約ビット

初期値は不定です。書き込みは無効ですが、書き込む値は常に 0 にしてください。

## 11.2.16RTC コントロールレジスタ 2 (RCR2)

RTC コントロールレジスタ 2 (RCR2) は、読み出し / 書き込み可能な 8 ビットのレジスタであり、周期割り込み制御、30 秒調整、分周回路 RESET、RTC カウント制御に関するレジスタです。

パワーオンリセットで H'09 に初期化されますが、PEF ビットは不定です。マニュアルリセット時には、RTCEN ビットおよび START ビット以外が初期化され、PEF ビットは不定です。スタンバイモード時には初期化されず、それまでの値が保持されます。

|      |     |      |      |      |       |     |       |       |
|------|-----|------|------|------|-------|-----|-------|-------|
| ビット: | 7   | 6    | 5    | 4    | 3     | 2   | 1     | 0     |
|      | PEF | PES2 | PES1 | PES0 | RTCEN | ADJ | RESET | START |
| 初期値: | 不定  | 0    | 0    | 0    | 1     | 0   | 0     | 1     |
| R/W: | R/W | R/W  | R/W  | R/W  | R/W   | R/W | R/W   | R/W   |

## ビット7: 周期割り込みフラグ (PEF)

PES2 ~ PES0 ビットで設定された周期で割り込み発生を示すフラグです。このフラグが 1 にセットされた場合、周期割り込みを発生します。

| ビット 7 |  |
|-------|--|
| PEF   | 機能   |
| 0     | PES2 ~ PES0 ビットで設定された周期で割り込み発生なし<br>[ クリア条件 ] PEF に 0 を書き込んだとき   |
| 1     | PES2 ~ PES0 ビットで設定された周期で割り込み発生あり<br>[ セット条件 ] PES2 ~ PES0 ビットで設定された周期で割り込みが発生したとき、または PEF に 1 を書き込んだとき |

## 11. リアルタイムクロック (RTC)

### ビット6～4：周期割り込みイネーブルフラグ (PES2～PES0)

周期割り込みの周期を設定します。

| ビット6 | ビット5 | ビット4 | 機能                      |
|------|------|------|-------------------------|
| PES2 | PES1 | PES0 |                         |
| 0    | 0    | 0    | 周期割り込み発生なし (初期値)        |
| 0    | 0    | 1    | 周期割り込み発生周期を 1/256 秒毎にする |
| 0    | 1    | 0    | 周期割り込み発生周期を 1/64 秒毎にする  |
| 0    | 1    | 1    | 周期割り込み発生周期を 1/16 秒毎にする  |
| 1    | 0    | 0    | 周期割り込み発生周期を 1/4 秒毎にする   |
| 1    | 0    | 1    | 周期割り込み発生周期を 1/2 秒毎にする   |
| 1    | 1    | 0    | 周期割り込み発生周期を 1 秒毎にする     |
| 1    | 1    | 1    | 周期割り込み発生周期を 2 秒毎にする     |

### ビット3：発振器有効 (RTCEN)

RTC 用水晶発振器の動作を制御します。

| ビット3  | 機能                     |
|-------|------------------------|
| RTCEN |                        |
| 0     | RTC 用水晶発振器を停止させる       |
| 1     | RTC 用水晶発振器を動作させる (初期値) |

### ビット2：30秒調整 (ADJ)

30 秒調整用であり、1 が書き込まれることによって、29 秒以前は 00 秒に切り捨て、30 秒以降は 1 分に桁上げします。このとき、分周回路 (RTC プリスケアラおよび R64CNT) も同時にリセットされます。なお、このビットからの読み出しは常に 0 が読み出されます。

| ビット2 | 機能            |
|------|---------------|
| ADJ  |               |
| 0    | 通常の時計動作 (初期値) |
| 1    | 30 秒の調整を行う    |

### ビット1：リセット (RESET)

1 を書き込むことによって、分周回路が初期化されます。なお、1 が書き込まれた場合、分周回路 (RTC プリスケアラおよび R64CNT) はリセットされ、自動的にこの RESET ビットは 0 になりますので、とくに 0 を書き込む必要はありません。

| ビット1  | 機能            |
|-------|---------------|
| RESET |               |
| 0     | 通常の時計動作 (初期値) |
| 1     | 分周回路をリセット     |

### ビット0：STARTビット (START)

カウンタ (時計) 動作を停止させたり、再起動をかけるビットです。

| ビット0  | 機能                             |
|-------|--------------------------------|
| START |                                |
| 0     | 秒、分、時、日、曜日、月、年カウンタは停止*         |
| 1     | 秒、分、時、日、曜日、月、年カウンタは通常動作* (初期値) |

【注】 \* 64Hz カウンタは RTCEN ビットで停止させない限り動作します。

## 11.3 動作説明

RTC の使用例を示します。

### 11.3.1 時刻設定手順

図 11.2 に時刻設定手順例を示します。

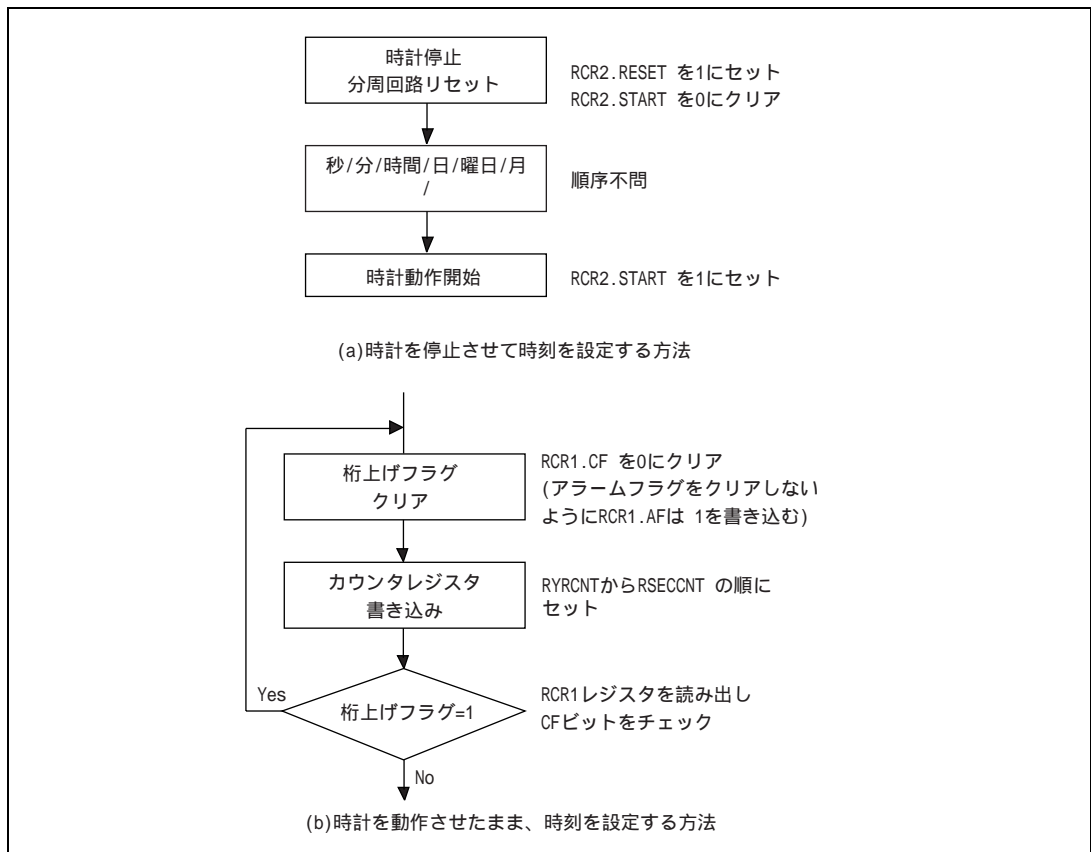


図 11.2 時刻設定手順例

時計を停止させて時刻を設定する方法例を図 11.2 (a) に示します。プログラムが容易であり、秒～年カウンタの全体を設定する場合に有効です。

時計を動作させたまま、時刻を設定する方法例を図 11.2 (b) に示します。秒～年カウンタの一部（たとえば、秒データや時間データのみ）を書き換える場合に有効です。書き込み中に桁上げがあると、書き込みデータが自動的に更新され、設定データに誤差が発生するので、桁上げフラグを使って書き込み状態をチェックします。桁上げフラグ (RCR1.CF) が 1 にセットされている場合は、再度書き込みを行います。

桁上げフラグの判断に割り込み機能を使用することもできます。

### 11.3.2 時刻読み出し手順

図 11.3 に時刻読み出し手順例を示します。

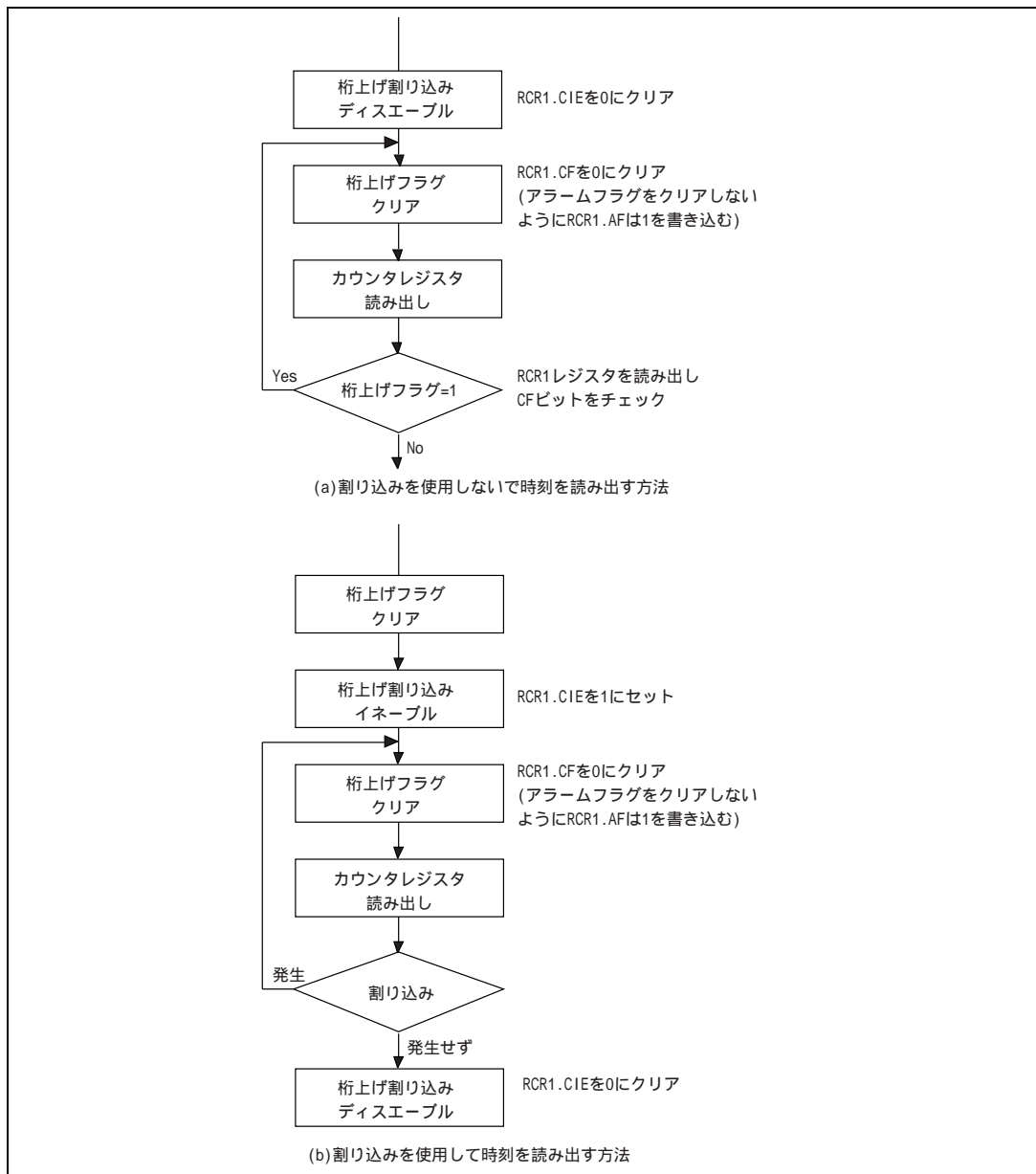


図 11.3 時刻読み出し手順例

時刻読み出し中に桁上げが起こると、正しい時刻が得られないため、再度読み出す必要があります。割り込みを使用しない方法例を図 11.3(a) に、桁上げ割り込みを使用する方法例を図 11.3(b) に示します。通常、プログラムを容易にするために、割り込みを使用しない方法を利用します。

### 11.3.3 アラーム機能

図 11.4 にアラーム機能の使用例を示します。

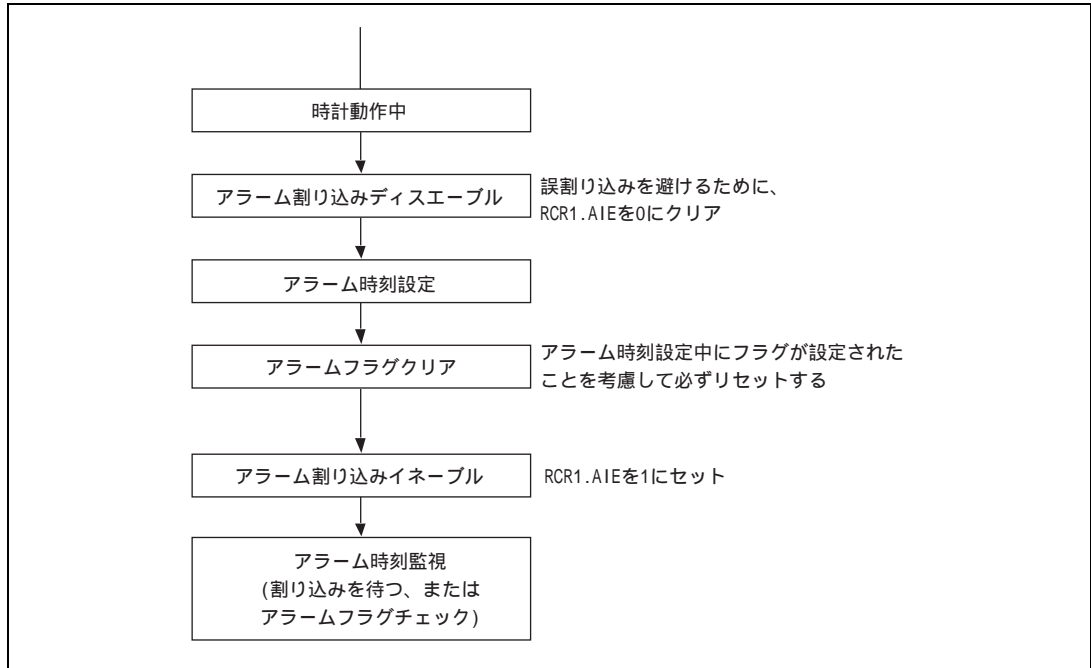


図 11.4 アラーム機能の使用例

アラームは、秒、分、時、曜日、日、月のいずれか、あるいは組み合わせで発生させることができます。アラームの対象とするアラームレジスタの ENB ビットに 1 を書き込み、下位ビットにアラーム時刻を設定します。アラームの対象外のレジスタは ENB ビットに 0 を書き込みます。

カウンタとアラーム時刻が一致した場合、RCR1.AF に 1 がセットされます。アラームの検出は、このビットを読み出すことにより確認できますが、通常は割り込みで行います。RCR1.AIE に 1 が書き込まれている場合、アラーム時にアラーム割り込みが発生し、アラームを検出することができます。

アラームフラグは、カウンタとアラーム時刻が一致している期間、常にセットされます。すなわちこの期間中にアラームフラグに 0 を書き込んでクリアしても、その直後再セットされますので、プログラム作成時には注意してください。

## 11.4 割り込み

RTC の割り込み要因は、アラーム割り込み、周期割り込みおよび桁上げ割り込みです。

RCR1 のアラームフラグビット (AF) が 1 にセットされ、アラーム割り込みイネーブルビット (AIE) が 1 にセットされているとき、アラーム割り込み要求 (ATI) を発生します。

RCR2 の周期割り込みイネーブルビット (PES2 ~ PES0) が 000 以外にセットされ、かつ周期割り込みフラグ (PEF) がセットされた場合、周期割り込み要求 (PRI) を発生します。

RCR1 の桁上げフラグビット (CF) が 1 にセットされ、桁上げ割り込みイネーブルビット (CIE) が 1 にセットされているとき、桁上げ割り込み要求 (CUI) を発生します。



## 11.5 使用上の注意

### 11.5.1 レジスタの初期設定について

電源投入後、RCR1 レジスタ設定後、分周回路をリセット (RCR2.RESET に 1 をセット) し、全レジスタを初期設定してください。

### 11.5.2 水晶発振回路

水晶発振回路の各定数 (推奨値) を表 11.3 に、RTC 用水晶発振回路を図 11.5 に示します。

表 11.3 水晶発振回路の定数 (推奨値)

| $f_{osc}$ | $C_{in}$  | $C_{out}$ |
|-----------|-----------|-----------|
| 32.768kHz | 10 ~ 22pF | 10 ~ 22pF |

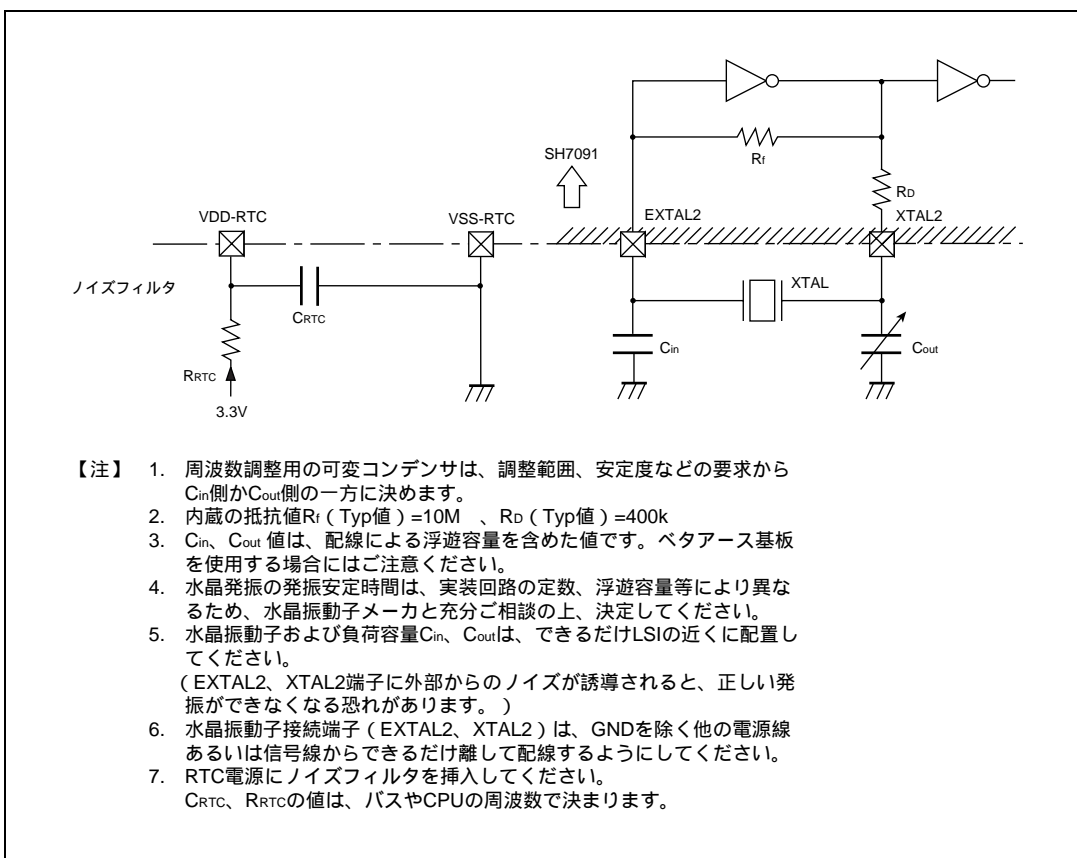


図 11.5 水晶発振回路接続例

---

## 12. タイマユニット (TMU)

---

### 12.1 概要

#### 12.1.1 特長

本 LSI は、3 チャンネル (チャンネル 0~2) の 32 ビットタイマにより構成される 32 ビットタイマユニット (TMU: TiMer Unit) を内蔵しています。

TMU の特長を以下に示します。

- 各チャンネルとも、オートリロード方式の 32 ビットダウンカウンタを搭載
- チャンネル 2 のみ、インプットキャプチャ機能を搭載
- 外部クロック選択時もしくはインプットキャプチャ機能使用時には、外部クロックの入力エッジとして立ち上がりエッジ / 立ち下がりエッジ選択可能
- 各チャンネルとも、任意の時点で書き込み / 読み出し可能なオートリロード用の 32 ビットタイマコンスタントレジスタおよび 32 ビットダウンカウンタを搭載
- 各チャンネルとも、7 種類のカウンタ入力クロックを選択可能  
外部クロック (TCLK)、内蔵 RTC の出力クロック、5 種類の内部クロック ( $P/4$ 、 $P/16$ 、 $P/64$ 、 $P/256$ 、 $P/1024$ ) (ただし、 $P$  は周辺モジュールクロック)
- 各チャンネルとも、カウンタ入力クロックに内蔵 RTC の出力クロックを選択した場合、モジュールスタンバイモードでも動作可能。つまり、TMU に対し、クロックが停止されていても、タイマ動作を行います。  
また、外部クロックおよび内部クロックでタイマカウント動作するのは、タイマユニットにクロックが供給されている場合に限定されます。
- 同期読み出し動作  
タイマカウンタ (TCNT) は逐次変化している 32 ビットレジスタであり、周辺モジュール用内部バスは 16 ビット幅であるため、TCNT の上位側 16 ビットと下位側 16 ビットを読み出すときに時間的な差が発生します。この時間差によるカウンタ読み出し値のずれを回避するために、同期化回路を内蔵しており、同一時刻の TCNT の 32 ビットデータ読み出しを可能にしています。
- 2 種類の割り込み要因  
アンドフロー × 1 要因 (チャンネル 0~2)、インプットキャプチャ × 1 要因 (チャンネル 2) があります。
- DMAC に対してデータ転送要求可能  
チャンネル 2 では、インプットキャプチャ割り込み時に DMAC に対してデータ転送を要求します。

## 12. タイマユニット (TMU)

### 12.1.2 ブロック図

図 12.1 に TMU のブロック図を示します。

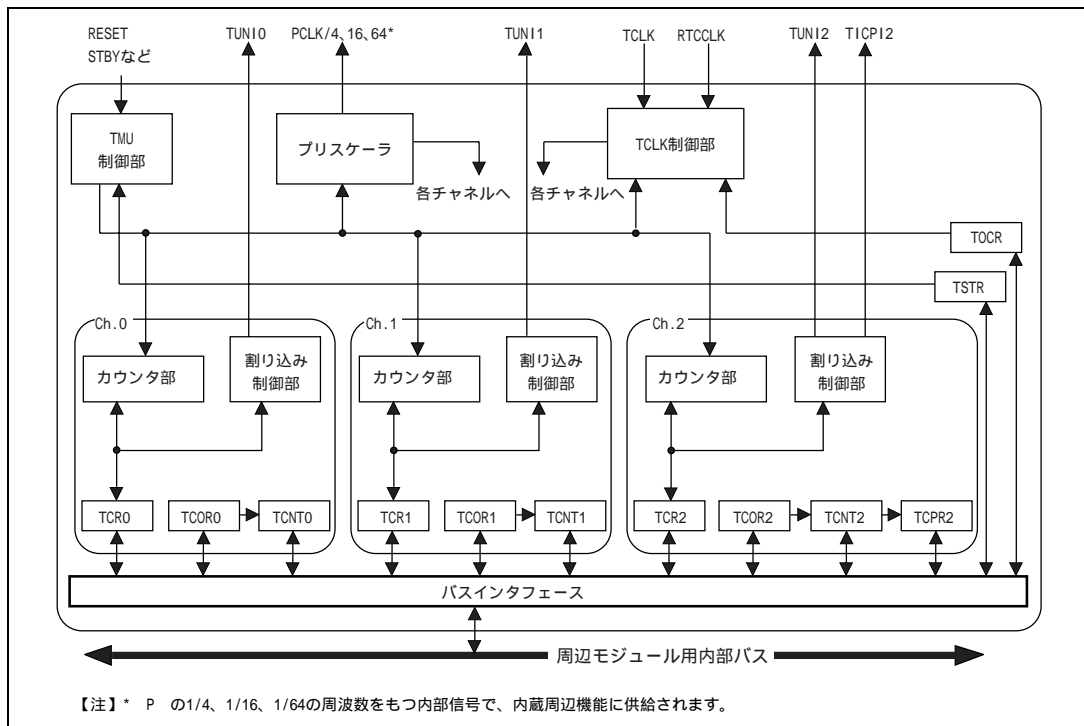


図 12.1 TMU のブロック図

### 12.1.3 端子構成

表 12.1 に TMU の端子構成を示します。

表 12.1 端子構成

| 名称            | 略称   | 入出力 | 機能  |
|---------------|------|-----|---|
| クロック入力/クロック出力 | TCLK | 入出力 | 外部クロック入力端子 /<br>インプットキャプチャ制御入力端子 /<br>RTC 用出力端子 ( RTC と兼用 ) |

## 12.1.4 レジスタ構成

表 12.2 に TMU のレジスタ構成を示します。

表 12.2 レジスタ構成

| チャネル | 名称                  | 略称    | R/W | パワーオンリセット時 | マニュアルリセット時 | スタンバイモード時 | 初期値           | P4 アドレス    | エリア7 アドレス  | アクセスサイズ |
|------|---------------------|-------|-----|------------|------------|-----------|---------------|------------|------------|---------|
| 共通   | タイマアウトプットコントロールレジスタ | TOCR  | R/W | 初期化        | 初期化        | 保持        | H'00          | H'FFD80000 | H'1FD80000 | 8       |
|      | タイマスタートレジスタ         | TSTR  | R/W | 初期化        | 初期化        | 初期化*1     | H'00          | H'FFD80004 | H'1FD80004 | 8       |
| 0    | タイマコンスタントレジスタ0      | TCOR0 | R/W | 初期化        | 初期化        | 保持        | H'FFF<br>FFFF | H'FFD80008 | H'1FD80008 | 32      |
|      | タイマカウンタ0            | TCNT0 | R/W | 初期化        | 初期化        | 保持*2      | H'FFF<br>FFFF | H'FFD8000C | H'1FD8000C | 32      |
|      | タイマコントロールレジスタ0      | TCR0  | R/W | 初期化        | 初期化        | 保持        | H'0000        | H'FFD80010 | H'1FD80010 | 16      |
| 1    | タイマコンスタントレジスタ1      | TCOR1 | R/W | 初期化        | 初期化        | 保持        | H'FFF<br>FFFF | H'FFD80014 | H'1FD80014 | 32      |
|      | タイマカウンタ1            | TCNT1 | R/W | 初期化        | 初期化        | 保持*2      | H'FFF<br>FFFF | H'FFD80018 | H'1FD80018 | 32      |
|      | タイマコントロールレジスタ1      | TCR1  | R/W | 初期化        | 初期化        | 保持        | H'0000        | H'FFD8001C | H'1FD8001C | 16      |
| 2    | タイマコンスタントレジスタ2      | TCOR2 | R/W | 初期化        | 初期化        | 保持        | H'FFF<br>FFFF | H'FFD80020 | H'1FD80020 | 32      |
|      | タイマカウンタ2            | TCNT2 | R/W | 初期化        | 初期化        | 保持*2      | H'FFF<br>FFFF | H'FFD80024 | H'1FD80024 | 32      |
|      | タイマコントロールレジスタ2      | TCR2  | R/W | 初期化        | 初期化        | 保持        | H'0000        | H'FFD80028 | H'1FD80028 | 16      |
|      | インプットキャプチャレジスタ      | TCPR2 | R   | 保持         | 保持         | 保持        | 不定            | H'FFD8002C | H'1FD8002C | 32      |

【注】 \*1 モジュールスタンバイモードで入力クロックが内蔵 RTC の出力クロックの場合は初期化されません。

\*2 モジュールスタンバイモードで入力クロックが内蔵 RTC の出力クロックの場合はカウント動作します。

## 12.2 レジスタの説明

### 12.2.1 タイマアウトプットコントロールレジスタ (TOCR)

タイマアウトプットコントロールレジスタ (TOCR) は、読み出し / 書き込み可能な 8 ビットのレジスタです。

外部端子の TCLK を外部クロックまたはインプットキャプチャ制御用の入力端子とするか、内蔵 RTC の出力クロック用の出力端子とするかを選択します。

パワーオンリセットおよびマニュアルリセットで H'00 に初期化されますが、スタンバイモード時には、初期化されません。

|      |   |   |   |   |   |   |   |      |
|------|---|---|---|---|---|---|---|------|
| ビット: | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0    |
|      |   |   |   |   |   |   |   | TCOE |
| 初期値: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0    |
| R/W: | R | R | R | R | R | R | R | R/W  |

#### ビット7～1: 予約ビット

読み出すと、常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

#### ビット0: タイマクロック端子制御 (TCOE)

タイマクロック端子 (TCLK) を外部クロックまたはインプットキャプチャ制御用の入力端子とするか、内蔵 RTC の出力クロック用の出力端子とするかを選択します。

| ビット 0 | 機能  |
|-------|---|
| TCOE  |   |
| 0     | タイマクロック端子 (TCLK) を外部クロック入力またはインプットキャプチャ制御用の入力端子とする<br>(初期値) |
| 1     | タイマクロック端子 (TCLK) を内蔵 RTC の出力クロック用の出力端子とする                   |

### 12.2.2 タイマスタートレジスタ (TSTR)

タイマスタートレジスタ (TSTR) は、読み出し / 書き込み可能な 8 ビットのレジスタです。

チャンネル 0~2 のタイマカウンタ (TCNT) を動作させるか、停止させるかを選択します。

パワーオンリセットおよびマニュアルリセットで H'00 に初期化されます。また、モジュールスタンバイモード時には、各チャンネルで選択している入力クロックが内蔵 RTC の出力クロック (RTCCLK) の場合、初期化されず、入力クロックが外部クロック (TCLK) もしくは内部クロック (P ) の場合のみ、初期化されます。

|      |   |   |   |   |   |      |      |      |
|------|---|---|---|---|---|------|------|------|
| ビット: | 7 | 6 | 5 | 4 | 3 | 2    | 1    | 0    |
|      |   |   |   |   |   | STR2 | STR1 | STR0 |
| 初期値: | 0 | 0 | 0 | 0 | 0 | 0    | 0    | 0    |
| R/W: | R | R | R | R | R | R/W  | R/W  | R/W  |

#### ビット7~3: 予約ビット

読み出すと、常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

#### ビット2: カウンタスタート2 (STR2)

タイマカウンタ 2 (TCNT2) を動作させるか、停止させるかを選択します。

| ビット 2 | 機能                     |
|-------|------------------------|
| STR2  |                        |
| 0     | TCNT2 のカウント動作は停止 (初期値) |
| 1     | TCNT2 はカウント動作する        |

#### ビット1: カウンタスタート1 (STR1)

タイマカウンタ 1 (TCNT1) を動作させるか、停止させるかを選択します。

| ビット 1 | 機能                     |
|-------|------------------------|
| STR1  |                        |
| 0     | TCNT1 のカウント動作は停止 (初期値) |
| 1     | TCNT1 はカウント動作する        |

#### ビット0: カウンタスタート0 (STR0)

タイマカウンタ 0 (TCNT0) を動作させるか、停止させるかを選択します。

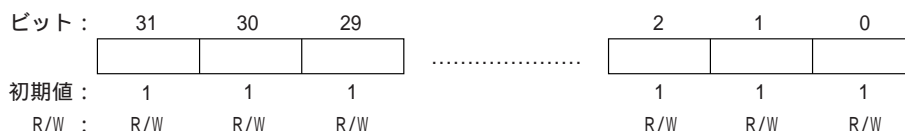
| ビット 0 | 機能                     |
|-------|------------------------|
| STR0  |                        |
| 0     | TCNT0 のカウント動作は停止 (初期値) |
| 1     | TCNT0 はカウント動作する        |

### 12.2.3 タイマコンスタントレジスタ (TCOR)

タイマコンスタントレジスタ (TCOR) は、読み出し / 書き込み可能な 32 ビットレジスタです。各チャンネルに 1 本ずつ、計 3 本の TCOR があります。

TCNT のカウントダウンの結果、アンダフローが発生すると、この TCOR の値が TCNT にセットされ、TCNT はセットされた値からカウントダウンを続けます。

TCOR は、パワーオンリセットおよびマニュアルリセット時は H'FFFFFFF に初期化されますが、スタンバイモード時は、初期化されずに内容が保持されます。



### 12.2.4 タイマカウンタ (TCNT)

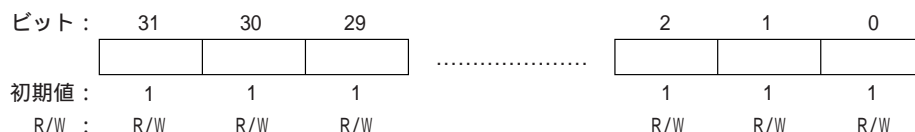
タイマカウンタ (TCNT) は、読み出し / 書き込み可能な 32 ビットレジスタです。各チャンネルに 1 本ずつ、計 3 本の TCNT があります。

TCNT は、タイマコントロールレジスタ (TCR) の TPSC2 ~ TPSC0 により選択した入力クロックにより、カウントダウン動作を行います。

TCNT のカウントダウン動作の結果、アンダフローが発生すると、対応するチャンネルのタイマコントロールレジスタ (TCR) のアンダフローフラグ (UNF) がセットされます。また、同時に TCNT には、タイマコンスタントレジスタ (TCOR) の値がセットされ、セットされた値からカウントダウン動作を続けます。

TCNT は逐次変化している 32 ビットレジスタであり、内蔵周辺モジュール用バスは 16 ビット幅であるため、TCNT を読み出すとき、上位側 16 ビットと下位側 16 ビットの読み出しに時間的な差が発生します。この時間差による TCNT 読み出し値のずれを回避するために、同期化回路を内蔵しています。つまり、上位側 16 ビット読み出しと同時に下位側 16 ビットをバッファレジスタに格納します。上位側 16 ビット読み出しに続いて、バッファレジスタから下位側 16 ビットを読み出します。

TCNT は、パワーオンリセットおよびマニュアルリセット時は H'FFFFFFF に初期化されますが、スタンバイモード時は、初期化されずに内容が保持されます。



入力クロックが内蔵 RTC の出力クロック (RTCCLK) の場合、モジュールスタンバイモードでも (すなわち TMU に対するクロックが停止していても) カウント動作します。入力クロックが外部クロック (TCLK) および内部クロック (P ) の場合はスタンバイモード時、内容を保持します。

### 12.2.5 タイマコントロールレジスタ (TCR)

タイマコントロールレジスタ (TCR) は、読み出し / 書き込み可能な 16 ビットレジスタです。各チャンネルに 1 本ずつ、計 3 本の TCR があります。

カウントクロックの選択、外部クロック選択時のエッジの選択、タイマカウンタ (TCNT) のアンダフロー発生を示すフラグが 1 にセットされたときの割り込み発生の制御を行います。また、TCR2 では、チャンネル 2 のインプットキャプチャ機能の制御およびインプットキャプチャ時の割り込み発生の制御を行います。

パワーオンリセットおよびマニュアルリセットで H'0000 に初期化されますが、スタンバイモード時には初期化されません。

#### (1) チャンネル 0、1 の TCR ビット構成

|      |    |    |      |       |       |       |       |       |
|------|----|----|------|-------|-------|-------|-------|-------|
| ビット: | 15 | 14 | 13   | 12    | 11    | 10    | 9     | 8     |
|      |    |    |      |       |       |       |       | UNF   |
| 初期値: | 0  | 0  | 0    | 0     | 0     | 0     | 0     | 0     |
| R/W: | R  | R  | R    | R     | R     | R     | R     | R/W   |
| ビット: | 7  | 6  | 5    | 4     | 3     | 2     | 1     | 0     |
|      |    |    | UNIE | CKEG1 | CKEG0 | TPSC2 | TPSC1 | TPSC0 |
| 初期値: | 0  | 0  | 0    | 0     | 0     | 0     | 0     | 0     |
| R/W: | R  | R  | R/W  | R/W   | R/W   | R/W   | R/W   | R/W   |

#### (2) チャンネル 2 の TCR ビット構成

|      |       |       |      |       |       |       |       |       |
|------|-------|-------|------|-------|-------|-------|-------|-------|
| ビット: | 15    | 14    | 13   | 12    | 11    | 10    | 9     | 8     |
|      |       |       |      |       |       |       | ICPF  | UNF   |
| 初期値: | 0     | 0     | 0    | 0     | 0     | 0     | 0     | 0     |
| R/W: | R     | R     | R    | R     | R     | R     | R/W   | R/W   |
| ビット: | 7     | 6     | 5    | 4     | 3     | 2     | 1     | 0     |
|      | ICPE1 | ICPE0 | UNIE | CKEG1 | CKEG0 | TPSC2 | TPSC1 | TPSC0 |
| 初期値: | 0     | 0     | 0    | 0     | 0     | 0     | 0     | 0     |
| R/W: | R/W   | R/W   | R/W  | R/W   | R/W   | R/W   | R/W   | R/W   |

ビット 15～9、7、6 (チャンネル 0、1)、ビット 15～10 (チャンネル 2) : 予約ビット

読み出すと、常に 0 が読み出されます。書き込みは無効ですが、書き込む値も常に 0 にしてください。

ビット 9 : インプットキャプチャ割り込みフラグ (ICPF) : チャンネル 2 のみ

チャンネル 2 のみの機能で、インプットキャプチャレジスタ発生を示すステータスフラグです。

| ビット 9 |  |
|-------|--|
| ICPF  | 機能   |
| 0     | インプットキャプチャが発生していないことを示します (初期値)<br>[クリア条件] ICPF に 0 を書き込んだとき |
| 1     | インプットキャプチャが発生したことを示します<br>[セット条件] インプットキャプチャが発生したとき*         |

【注】 \* 1 を書き込むと、元の値が保持されます。



## 12. タイマユニット (TMU)

### ビット8: アンダフローフラグ (UNF)

TCNT のアンダフローの発生を示すステータスフラグです。

| ビット 8 | 機能  |
|-------|---|
| UNF   |   |
| 0     | TCNT がアンダフローを起こしていないことを示します (初期値)<br>[クリア条件] UNF に 0 を書き込んだとき |
| 1     | TCNT がアンダフローを起こしたことを示します<br>[セット条件] TCNT がアンダフローを起こしたとき*      |

【注】 \* 1 を書き込むと、元の値が保持されます。

### ビット7、6: インプットキャプチャ制御 (ICPE1、ICPE0): チャンネル2のみ

チャンネル 2 のみの機能で、インプットキャプチャ機能を使用するかどうかおよび使用時の割り込み発生を許可するかどうかを制御します。

インプットキャプチャ機能を使用する場合、インプットキャプチャ時に DMAC に対し、データ転送を要求します。

このインプットキャプチャ機能を使う場合は、TOCR レジスタの TCOE ビットにより、TCLK 端子を入力端子に設定する必要があります。また、TCLK 端子の立ち上がりエッジ / 立ち下がりエッジのいずれを使ってインプットキャプチャレジスタ (TCPR2) に TCNT2 の値をセットするかは、CKEG ビットで設定します。

TCR2.ICPF ビットが 0 のときのみ、TCNT2 の値が TCPR2 にセットされます。TCR2.ICPF ビットが 1 のときは、インプットキャプチャが発生しても TCPR2 はセットされません。また、インプットキャプチャ発生時には、TCR2.ICPF ビットの値にかかわらず DMAC 転送要求が発生します。ただし、DMAC 転送要求は前の要求の処理が終了するまでは次の要求が発生しません。

| ビット 7 | ビット 6 | 機能   |
|-------|-------|--|
| ICPE1 | ICPE0 |  |
| 0     | 0     | インプットキャプチャ機能を使用しないことを示します (初期値)  |
| 0     | 1     | 予約 (設定しないこと)   |
| 1     | 0     | インプットキャプチャ機能を使用するが、インプットキャプチャによる割り込み (TICPI2) を許可しないことを示します<br>インプットキャプチャ時に DMAC に対してデータ転送を要求します |
| 1     | 1     | インプットキャプチャ機能を使用し、またインプットキャプチャによる割り込み (TICPI2) を許可することを示します<br>インプットキャプチャ時に DMAC に対してデータ転送を要求します  |

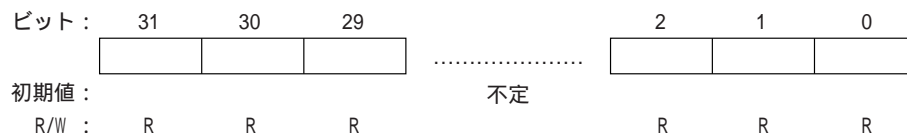
### ビット5: アンダフロー割り込み制御 (UNIE)

TCNT のアンダフローの発生を示すステータスフラグ UNF が 1 にセットされたときに割り込み発生を許可するかどうかを制御します。

| ビット 5 | 機能                                 |
|-------|------------------------------------|
| UNIE  |                                    |
| 0     | アンダフローによる割り込み (TUNI) を許可しません (初期値) |
| 1     | アンダフローによる割り込み (TUNI) を許可します        |

| ビット 4 | ビット 3 | 機能   |
|-------|-------|--|
| CKEG1 | CKEG0 |  |
| 0     | 0     | 立ち上がりエッジでカウント / インพุットキャプチャレジスタセット<br>(初期値)  |
| 0     | 1     | 立ち下がりエッジでカウント / インพุットキャプチャレジスタセット           |
| 1     | X     | 立ち上がり / 立ち下がりの両エッジでカウント / インพุットキャプチャレジスタセット |

| ビット2  | ビット1  | ビット0  | 機能                  |
|-------|-------|-------|---------------------|
| TPSC2 | TPSC1 | TPSC0 |                     |
| 0     | 0     | 0     | P /4 でカウント (初期値)    |
| 0     | 0     | 1     | P /16 でカウント         |
| 0     | 1     | 0     | P /64 でカウント         |
| 0     | 1     | 1     | P /256 でカウント        |
| 1     | 0     | 0     | P /1024 でカウント       |
| 1     | 0     | 1     | 予約 (設定しないこと)        |
| 1     | 1     | 0     | 内蔵 RTC の出力クロックでカウント |
| 1     | 1     | 1     | 外部クロックでカウント         |



### 12.3 動作説明

各チャンネルには、32 ビットのタイマカウンタ (TCNT) と 32 ビットのタイマコンスタントレジスタ (TCOR) があります。TCNT カウンタは、ダウンカウント動作を行います。オートリロード機能をもち周期カウント動作が可能であり、また外部イベントのカウントを行うこともできます。また、チャンネル 2 には、インプットキャプチャ機能があります。

#### 12.3.1 カウンタの動作

タイマスタートレジスタ (TSTR) の STR0 ~ STR2 ビットを 1 にセットすると、対応するチャンネルのタイマカウンタ (TCNT) はカウント動作を開始します。TCNT がアンダフローすると対応するタイマコントロールレジスタ (TCR) の UNF フラグがセットされます。このとき、TCR の UNIE ビットが 1 ならば、CPU に割り込みを要求します。また、このとき TCNT には TCOR から値がコピーされ、カウントダウン動作を継続します (オートリロード機能)。

##### (1) カウント動作の設定手順例

図 12.2 にカウント動作の設定手順例を示します。

- (1) タイマコントロールレジスタ (TCR) の TPSC2 ~ TPSC0 ビットでカウンタクロックを選択してください。外部クロックを選択する場合、TOCR の TCOE ビットで TCLK 端子を入力モードに設定し、TCR の CKEG1、CKEG0 ビットで外部クロックのエッジを選択してください。
- (2) TCR の UNIE ビットで TCNT のアンダフロー時に割り込みを発生させるかどうかを設定してください。
- (3) インプットキャプチャ機能を使用する場合、割り込み機能を使うかどうかも含めて、TCR の ICPE ビットをセットしてください。
- (4) タイマコンスタントレジスタ (TCOR) に値をセットしてください。
- (5) タイマカウンタ (TCNT) に初期値を設定してください。
- (6) タイマスタートレジスタ (TSTR) の STR ビットを 1 にセットしてカウント動作を開始してください。

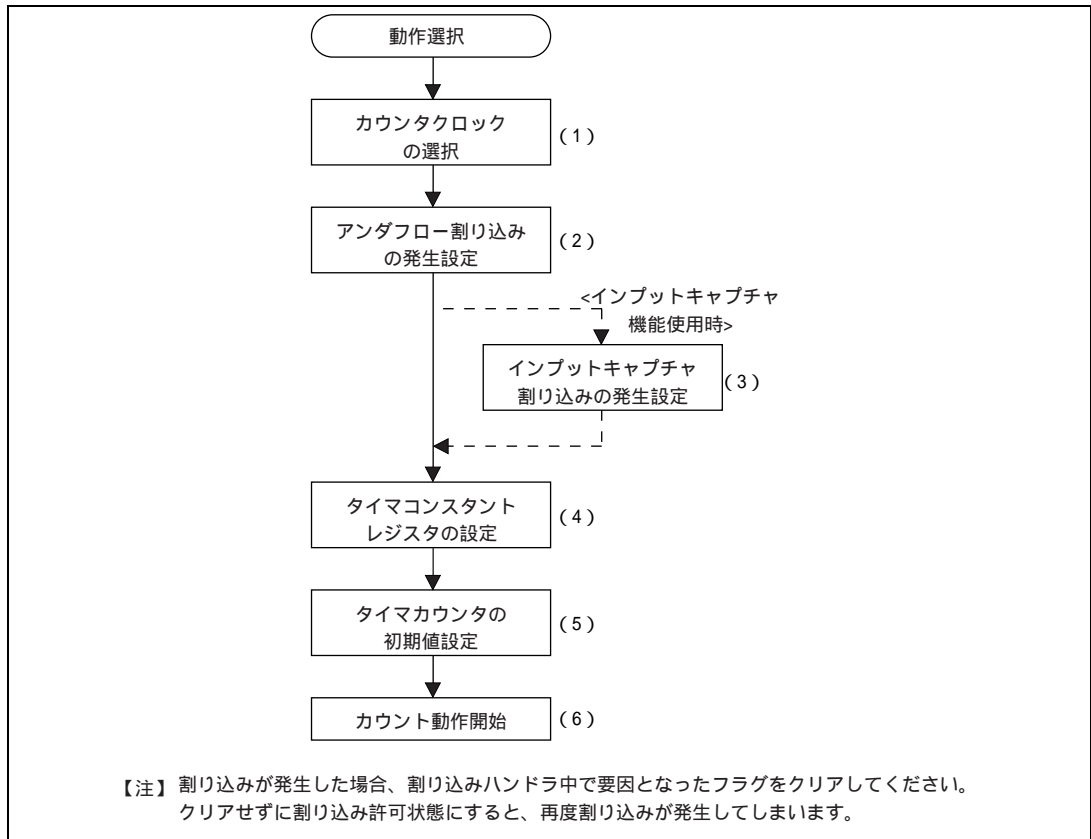


図 12.2 カウント動作設定手順例

## (2) オートリロードカウント動作

図 12.3 に TCNT のオートリロード動作を示します。

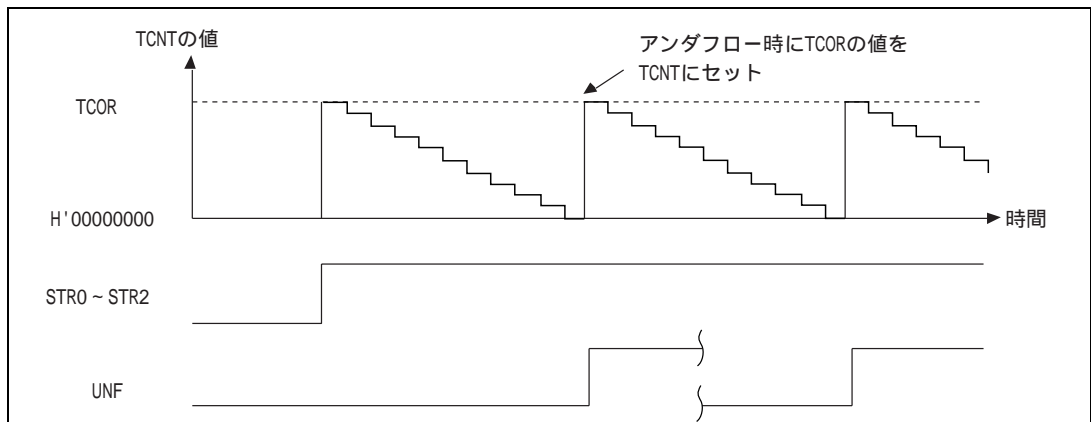


図 12.3 TCNT のオートリロード動作

## 12. タイマユニット (TMU)

### (3) TCNT のカウントタイミング

#### (a) 内部クロック動作の場合

TCR の TPSC2 ~ TPSC0 ビットにより、カウントクロックとして周辺モジュールクロックを分周した 5 種類のクロック ( $P/4$ 、 $P/16$ 、 $P/64$ 、 $P/256$ 、 $P/1024$ ) を選択できます。

このときのタイミングを図 12.4 に示します。

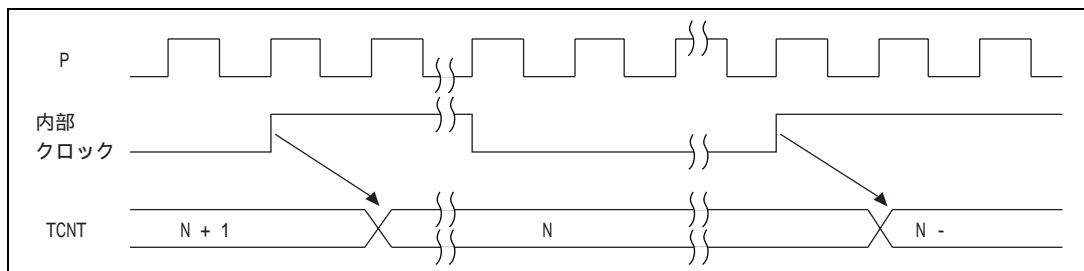


図 12.4 内部クロック動作時のカウントタイミング

#### (b) 外部クロック動作の場合

TCR の TPSC2 ~ TPSC0 ビットにより、タイマ用クロックとして外部クロック端子 (TCLK) を選択できます。また、TCR の CKEG1、CKEG0 ビットにより検出エッジを選択できます。外部クロックの検出は、立ち上がり / 立ち下がり / 両エッジの選択が可能です。

図 12.5 に両エッジ検出時のタイミングを示します。

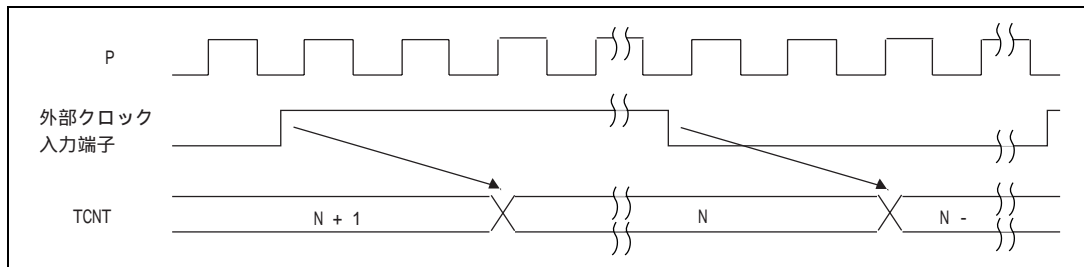


図 12.5 外部クロック動作時のカウントタイミング

#### (c) 内蔵 RTC の出力クロック動作の場合

TCR の TPSC2 ~ TPSC0 ビットにより、タイマ用クロックとして内蔵 RTC の出力クロックを選択できます。このときのタイミングを図 12.6 に示します。

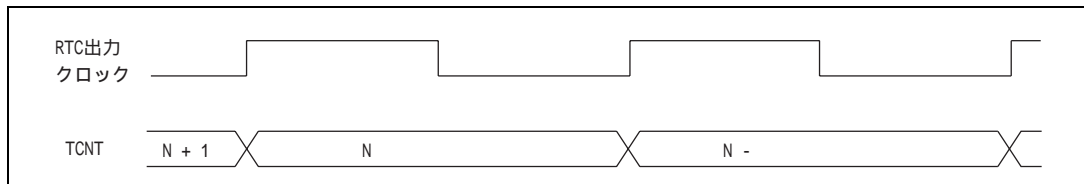


図 12.6 内蔵 RTC の出力クロック動作時のカウントタイミング

### 12.3.2 インพุットキャプチャ機能

チャンネル 2 には、インพุットキャプチャ機能があります。

インพุットキャプチャ機能を使用する場合、

- (1) タイマアウトプットコントロールレジスタ (TOCR) の TCOE ビットにより TCLK 端子を入力モードに設定し、
- (2) タイマコントロールレジスタ (TCR) の TPSC2 ~ TPSC0 ビットでのタイマの動作クロックを内部クロックか内蔵 RTC の出力クロックに設定します。また、
- (3) TCR の ICPE1、ICPE0 ビットでインพุットキャプチャ機能の使用および使用の際に割り込みを発生させるかを指定し、
- (4) TCR の CKEG1、CKEG0 ビットで TCLK 端子の立ち上がり / 立ち下がりのどのエッジを使用してインพุットキャプチャレジスタ (TCPR2) にタイマカウンタ (TCNT) の値をセットするかを指定します。

なお、この機能はスタンバイモード時には使用できません。

インพุットキャプチャ発生時、TCR2 の ICPF ビットが 0 のときのみ、TCNT2 の値を TCPR2 にセットします。また、DMAC 転送要求は、前の要求の処理が終了するまでは次の要求を発生しません。

図 12.7 にインพุットキャプチャ機能使用時の動作タイミングを示します (TCLK の立ち上がりエッジ使用)。

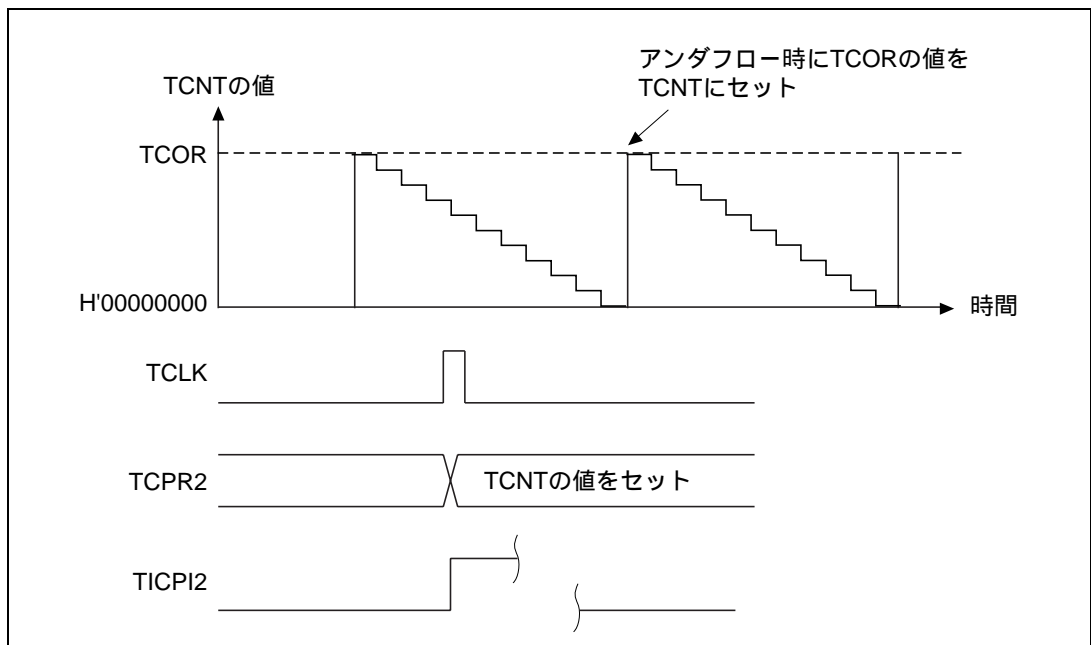


図 12.7 インพุットキャプチャ機能使用時の動作タイミング

## 12.4 割り込み

TMU の割り込み要因は、アンダフロー割り込みおよびインプットキャプチャ機能使用時のインプットキャプチャ割り込みです。アンダフロー割り込みはチャンネル 0~2 各々で、インプットキャプチャ割り込みはチャンネル 2 のみで発生します。

UNF と TCR の割り込み許可ビット (UNIE) の AND でアンダフロー割り込み要求が発生します (チャンネルごと)。

インプットキャプチャ機能使用時、インプットキャプチャ要求が発生すると TCR2 のインプットキャプチャ入力フラグ (ICPF) が 1 で TCR2 のインプットキャプチャ制御ビット (ICPE1、ICPE0) が 11 の場合に割り込み要求が発生します。

表 12.3 に TMU の割り込み要因を示します。

表 12.3 TMU の割り込み要因

| チャンネル | 割り込み要因 | 内容               | 優先順位 |
|-------|--------|------------------|------|
| 0     | TUNI0  | アンダフロー割り込み 0     | 高い   |
| 1     | TUNI1  | アンダフロー割り込み 1     |      |
| 2     | TUNI2  | アンダフロー割り込み 2     |      |
|       | TICPI2 | インプットキャプチャ割り込み 2 | 低い   |

## 12.5 使用上の注意

### 12.5.1 レジスタの書き込みについて

レジスタの書き込みの際には、必ずタイマスタートレジスタ (TSTR) の該当チャンネルのスタートビット (STR0~STR2) をクリアして、タイマのカウント動作を停止させてください。

### 12.5.2 TCNT レジスタの読み出しについて

TCNT レジスタの読み出し時に、タイマのカウント動作との同期処理を行っています。タイマカウント動作とレジスタの読み出し処理が同時に行われた場合は、同期処理により TCNT カウンタのカウントダウン動作前の値が読み出されます。

### 12.5.3 RTC 分周器のリセットについて

内蔵 RTC の出力クロックがカウントクロックに選択されているとき、RTC 分周器はリセットしてください。

### 12.5.4 外部クロック周波数について

各チャンネルへの外部クロックは  $P/4$  を超えないようにしてください。

---

## 13. バスステートコントローラ (BSC)

---

### 13.1 概要

バスステートコントローラ (BSC) は、物理アドレス空間の分割、各種のメモリおよびバスインタフェース仕様に応じた制御信号の出力などを行います。BSC の機能によって、外付け回路なしに DRAM、シンクロナス DRAM、SRAM、ROM などを本 LSI に直結することができ、PCMCIA インタフェースのプロトコルもサポートしていますので、システム設計が容易になると同時に、コンパクトなシステムで高速なデータ転送を行うことができます。

#### 13.1.1 特長

BSC には、次のような特長があります。

- 物理アドレス空間を 7 つに分割して管理
  - エリア 0～6 までの各エリアは、最大 64M バイト
  - 各エリアのバス幅をレジスタにより設定可能 (エリア 0 のみ、外部ピンにより設定)
  - $\overline{\text{RDY}}$  端子によりウェイトステート挿入可能
  - ウェイトステート挿入をプログラムで制御可能
  - エリア毎に接続できるメモリの種類を指定
  - 各エリアに接続するメモリに直結できる制御信号を出力
  - 異なったエリアに対する連続したメモリアクセスや同一エリアに対するリードアクセス直後のライトアクセスの場合といったデータバスの衝突回避のためのウェイトサイクル自動挿入機能
  - 低速メモリとの接続用に書き込みサイクル時のライトストロープのセットアップタイムとホールドタイム期間を挿入可能
- 通常メモリ (SRAM) インタフェース
  - ウェイトステート挿入をプログラムで制御可能
  - $\overline{\text{RDY}}$  端子によるウェイトステート挿入
    - 接続可能エリア: 0～6
    - 設定可能バス幅: 64、32、16、8
- DRAM インタフェース
  - DRAM 容量に応じたロウアドレス / カラムアドレスマルチプレクス
  - バースト動作 (高速ページモード、EDO)
  - CAS ビフォ RAS リフレッシュとセルフリフレッシュ
  - 低消費電力に対応した CAS8 本方式のバイトコントロール
  - DRAM 直結制御信号のタイミングをレジスタの設定により制御可能
  - 同一ロウアドレス連続アクセス
    - 接続可能エリア: 2、3
    - 設定可能バス幅: 64、32、16
- シンクロナス DRAM インタフェース
  - シンクロナス DRAM 容量に応じたロウアドレス / カラムアドレスマルチプレクス
  - バースト動作
  - オートリフレッシュとセルフリフレッシュ
  - シンクロナス DRAM 直結制御信号のタイミングをレジスタの設定により制御可能



### 13. バスステートコントローラ (BSC)

---

- 同一ロウアドレス連続アクセス  
  接続可能エリア：2、3  
  設定可能バス幅：64、32
- バースト ROM インタフェース
  - ウェイトステート挿入をプログラムで制御可能
  - レジスタで設定した回数のバースト転送動作  
    接続可能エリア：0、5、6  
    設定可能バス幅：32、16、8
- MPX バスインタフェース
  - アドレス・データマルチプレクス  
    接続可能エリア：0～6  
    設定可能バス幅：64、32
- バイト制御 SRAM インタフェース
  - バイト制御可能な SRAM インタフェースです。  
    接続可能エリア：1、4  
    設定可能バス幅：64、32、16
- PCMCIA インタフェース
  - ウェイトステート挿入をプログラムで制御可能
  - I/O バス幅のバスサイジング機能
- きめ細かなリフレッシュ制御可能
  - リフレッシュカウンタのオーバフロー割り込み機能により、ローパワー DRAM におけるセルフリフレッシュ動作直後のリフレッシュ動作をサポート
- リフレッシュ用カウンタをインターバルタイマとして使用可能
  - コンペアマッチで割り込み要求発生
  - リフレッシュカウンタのオーバフローで割り込み要求発生

## 13.1.2 ブロック図

BSC のブロック図を図 13.1 に示します。

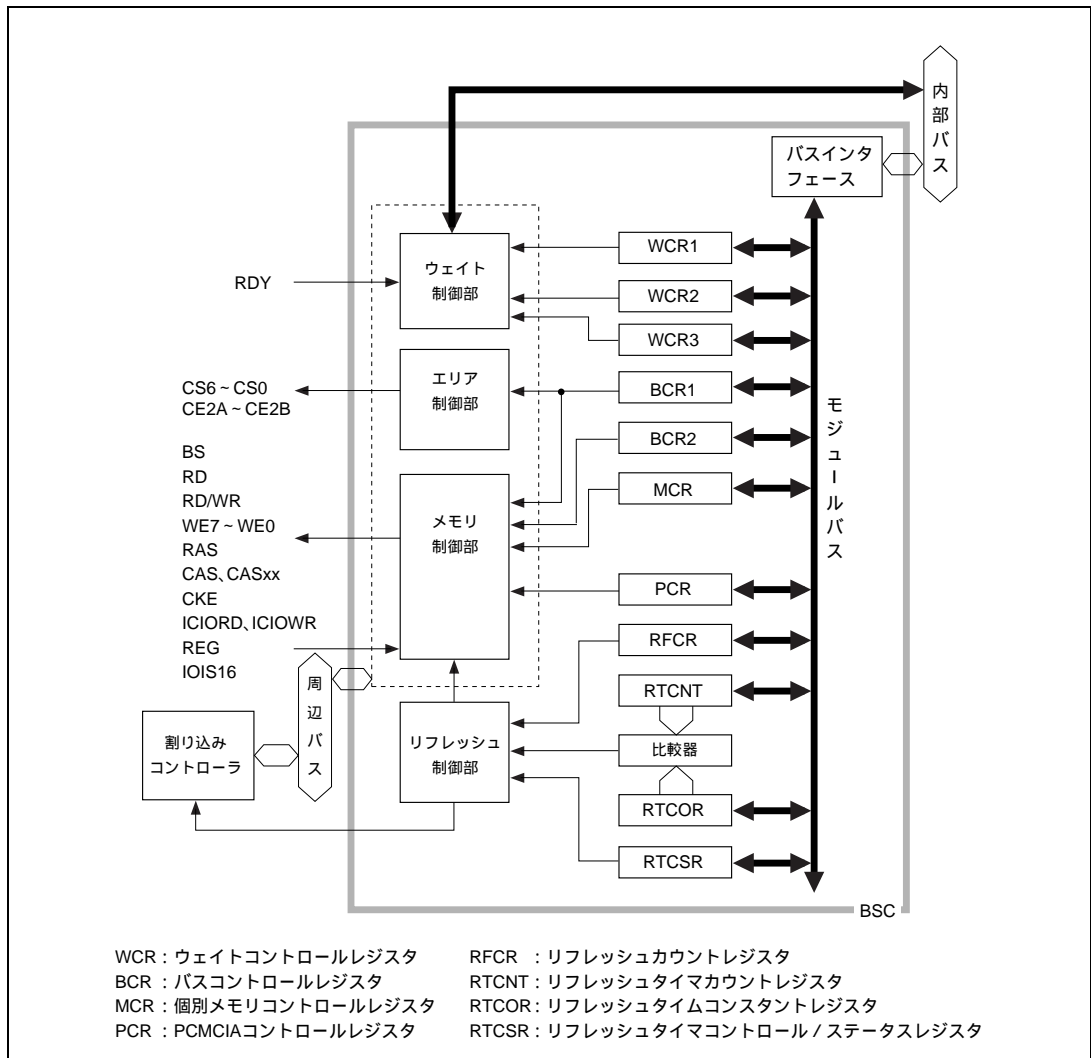


図 13.1 BSC のブロック図

## 13. バスステートコントローラ (BSC)

### 13.1.3 端子構成

BSC の端子構成を表 13.1 に示します。

表 13.1 端子構成 (1)

| 名称                                    | 信号名  | 入出力 | 機能   |
|---------------------------------------|--|-----|--|
| アドレスバス                                | A25 ~ A0   | 出力  | アドレス出力   |
| データバス                                 | D63 ~ D52,<br>D31 ~ D0   | 入出力 | データ入出力<br>ポート機能使用時は D51 ~ D32 は使用できません。OPEN にしてください。   |
| データバス /<br>ポート                        | D51 ~ D32/<br>PORT19 ~<br>PORT0  | 入出力 | ポート機能不使用時、データ入出力<br>ポート機能使用時、入出力ポート (入出力は、ビットごとにレジスタで設定)   |
| バスサイクル開始                              | $\overline{BS}$  | 出力  | バスサイクルの開始を示す信号<br>シンクロナス DRAM 使用時、1 回のバースト転送につき 1 回アサート<br>その他のバースト転送時、毎データサイクルごとにアサート   |
| チップセレクト<br>6 ~ 0                      | CS6 ~ CS0  | 出力  | アクセス中のエリアを示すチップセレクト信号<br>CS5、CS6 は、PCMCIA の CE1A、CE1B としても使用   |
| リード / ライト                             | RD/ $\overline{WR}$  | 出力  | データバスの入出力方向指示信号<br>DRAM / シンクロナス DRAM / PCMCIA の書き込み指示信号としても使用   |
| ロウアドレスストロ<br>ープ                       | $\overline{RAS}$   | 出力  | DRAM / シンクロナス DRAM 使用時、 $\overline{RAS}$ 信号  |
| リード / カラムアド<br>レスストロープ / サ<br>イクルフレーム | RD/ $\overline{CAS}$ /<br>FRAME  | 出力  | リードサイクルを示すストロープ信号<br>シンクロナス DRAM 使用時、 $\overline{CAS}$ 信号<br>MPX バス使用時、FRAME 信号  |
| データイネーブル 0                            | $\overline{WE0}$ /<br>$\overline{CAS0}$ /<br>DQM0                        | 出力  | シンクロナス DRAM 使用時、D7 ~ D0 対応の選択信号<br>DRAM 使用時、D7 ~ D0 対応の $\overline{CAS}$ 信号<br>MPX 使用時、ハイレベル出力<br>その他の場合、D7 ~ D0 対応のライトストロープ信号   |
| データイネーブル 1                            | $\overline{WE1}$ /<br>$\overline{CAS1}$ /<br>DQM1                        | 出力  | シンクロナス DRAM、D15 ~ D8 対応の選択信号<br>DRAM 使用時、D15 ~ D8 対応の $\overline{CAS}$ 信号<br>PCMCIA 使用時、ライトストロープ信号<br>MPX 使用時、ハイレベル出力<br>その他の場合、D15 ~ D8 対応ライトストロープ信号                    |
| データイネーブル 2                            | $\overline{WE2}$ /<br>$\overline{CAS2}$ /<br>DQM2/<br>$\overline{ICIOR}$ | 出力  | シンクロナス DRAM 使用時、D23 ~ D16 対応の選択信号<br>DRAM 使用時、D23 ~ D16 対応の $\overline{CAS}$ 信号<br>PCMCIA 使用時、 $\overline{ICIOR}$ 信号<br>MPX 使用時、ハイレベル出力<br>その他の場合、D23 ~ D16 対応ライトストロープ信号 |
| データイネーブル 3                            | $\overline{WE3}$ /<br>$\overline{CAS3}$ /<br>DQM3/<br>$\overline{ICIOR}$ | 出力  | シンクロナス DRAM 使用時、D31 ~ D24 対応の選択信号<br>DRAM 使用時、D31 ~ D24 対応の $\overline{CAS}$ 信号<br>PCMCIA 使用時、 $\overline{ICIOR}$ 信号<br>MPX 使用時、ハイレベル出力<br>その他の場合、D31 ~ D24 対応ライトストロープ信号 |

表 13.1 端子構成 (2)

| 名称                                      | 信号名                           | 入出力       | 機能   |
|---|-------------------------------|-----------|--|
| データイネーブル 4                              | WE4/<br>CAS4/<br>DQM4         | 出力        | シンクロナス DRAM、D39 ~ D32 対応の選択信号<br>DRAM 使用時、D39 ~ D32 対応の CAS 信号<br>MPX 使用時、ハイレベル出力<br>その他の場合、D39 ~ D32 対応のライトストロープ信号                      |
| データイネーブル 5                              | WE5/<br>CAS5/<br>DQM5         | 出力        | シンクロナス DRAM、D47 ~ D40 対応の選択信号<br>DRAM 使用時、D47 ~ D40 対応の CAS 信号<br>MPX 使用時、ハイレベル出力<br>その他の場合、D47 ~ D40 対応のライトストロープ信号                      |
| データイネーブル 6                              | WE6/<br>CAS6/<br>DQM6         | 出力        | シンクロナス DRAM、D55 ~ D48 対応の選択信号<br>DRAM 使用時、D55 ~ D48 対応の CAS 信号<br>MPX 使用時、ハイレベル出力<br>その他の場合、D55 ~ D48 対応のライトストロープ信号                      |
| データイネーブル 7                              | WE7/<br>CAS7/<br>DQM7/<br>REG | 出力        | シンクロナス DRAM、D63 ~ D56 対応の選択信号<br>DRAM 使用時、D63 ~ D56 対応の CAS 信号<br>PCMCIA 使用時、REG 信号<br>MPX 使用時、ハイレベル出力<br>その他の場合、D63 ~ D56 対応のライトストロープ信号 |
| レディ                                     | RDY                           | 入力        | ウェイトステート要求信号   |
| エリア 0 の<br>MPX バス指定<br>/ 16 ビット I/O     | MD6/IOIS16                    | 入力        | パワーオンリセット時、エリア 0 のバスを MPX バスとする (1 :<br>SRAM、0 : MPX)<br>PCMCIA 使用時、16 ビット I/O 指示信号。リトルエンディアンモ<br>ード時のみ有効                                |
| クロックイネーブル                               | CKE                           | 出力        | シンクロナス DRAM のクロックイネーブル制御信号   |
| バス解放要求                                  | BREQ/<br>BSACK                | 入力        | バス解放の要求信号 / バス権認識  |
| バス使用許可                                  | BACK/<br>BSREQ                | 出力        | バス使用の許可信号 / バス権要求  |
| エリア 0 バス幅 /<br>PCMCIA カードセレ<br>クト       | MD3/CE2A*1<br>MD4/CE2B*2      | 入力/<br>出力 | パワーオンリセット時、外部空間のエリア 0 のバス幅設定信号<br>PCMCIA 使用時、CE2A、CE2B   |
| エンディアン切り換<br>え / ロウアドレスス<br>トロープ        | MD5/RAS2*3                    | 入力/<br>出力 | パワーオンリセット時、エンディアン設定<br>エリア 2 に DRAM を接続する場合の RAS2  |
| マスタ / スレーブの<br>切り換え                     | MD7/TXD                       | 入力/<br>出力 | パワーオンリセット時、マスタ / スレーブを示す。<br>シリアルインタフェースの TXD  |
| DMAC0 アクノリッ<br>ジ信号                      | DACK0                         | 出力        | DMAC チャンネル 0 のデータアクノリッジ  |
| DMAC1 アクノリッ<br>ジ信号                      | DACK1                         | 出力        | DMAC チャンネル 1 のデータアクノリッジ  |
| リード / カラムアド<br>レスストロープ / サ<br>イクルフレーム 2 | RD2                           | 出力        | RD/CASS/FRAME と同一の信号<br>RD/CASS/FRAME 信号のロードが重いとき使用される信号   |
| リード / ライト 2                             | RD/WR2                        | 出力        | RD/WR と同一の信号<br>RD/WR 信号のロードが重いとき使用される信号   |

【注】 \*1 MD3/CE2A の入出力の切り換えは、BCR1.A56PCM で行います。BCR1.A56PCM = 1 で出力となります。

\*2 MD4/CE2B の入出力の切り換えは、BCR1.A56PCM で行います。BCR1.A56PCM = 1 で出力となります。

### 13. バスステートコントローラ (BSC)

\*3 MD5/RAS2 の入出力の切り換えは、BCR1.DRAMTP で行います。BCR1.DRAMTP (2~0) = 101 で出力となります。

#### 13.1.4 レジスタ構成

BSC には表 13.2 に示すように、11 本のレジスタがあります。また、シンクロナス DRAM に内蔵されたシンクロナス DRAM モードレジスタが本 LSI のレジスタとしてアクセスできます。これらのレジスタにより、各種メモリとの直結インタフェース、ウェイトステート、リフレッシュなどの制御を行います。

表 13.2 レジスタ構成

| 名称                             |         | 略称    | R/W | 初期値         | P4 アドレス      | エリア7アドレス    | アクセス<br>サイズ |
|--------------------------------|---------|-------|-----|-------------|--------------|-------------|-------------|
| バスコントロールレジスタ 1                 |         | BCR1  | R/W | H'0000 0000 | H'FF80 0000  | H'1F80 0000 | 32          |
| バスコントロールレジスタ 2                 |         | BCR2  | R/W | H'3FFC      | H'FF80 0004  | H'1F80 0004 | 16          |
| ウェイトコントロールレジスタ 1               |         | WCR1  | R/W | H'7777 7777 | H'FF80 0008  | H'1F80 0008 | 32          |
| ウェイトコントロールレジスタ 2               |         | WCR2  | R/W | H'FFFE EFFF | H'FF80 000C  | H'1F80 000C | 32          |
| ウェイトコントロールレジスタ 3               |         | WCR3  | R/W | H'0777 7777 | H'FF80 0010  | H'1F80 0010 | 32          |
| 個別メモリコントロールレジスタ                |         | MCR   | R/W | H'0000 0000 | H'FF80 0014  | H'1F80 0014 | 32          |
| PCMCIA コントロールレジスタ              |         | PCR   | R/W | H'0000      | H'FF80 0018  | H'1F80 0018 | 16          |
| リフレッシュタイムコントロール<br>/ ステータスレジスタ |         | RTCSR | R/W | H'0000      | H'FF80 001C  | H'1F80 001C | 16          |
| リフレッシュタイムカウンタ                  |         | RTCNT | R/W | H'0000      | H'FF80 0020  | H'1F80 0020 | 16          |
| リフレッシュタイムコンスタント<br>レジスタ        |         | RTCOR | R/W | H'0000      | H'FF80 0024  | H'1F80 0024 | 16          |
| リフレッシュカウントレジスタ                 |         | RFCR  | R/W | H'0000      | H'FF80 0028  | H'1F80 0028 | 16          |
| シンクロナス<br>DRAM モード<br>レジスタ     | エリア 2 用 | SDMR2 | W   | -           | H'FF90 xxxx* | H'1F90 xxxx | 8           |
|                                | エリア 3 用 | SDMR3 |     |             | H'FF94 xxxx* | H'1F94 xxxx |             |

【注】 \* 詳細は「13.2.8 シンクロナス DRAM モードレジスタ」を参照してください。

### 13.1.5 エリアの概要

#### (1) 空間分割

本 LSI は、アーキテクチャとして 32 ビットの仮想アドレス空間を有しています。仮想空間は、上位側アドレスの値によって 5 空間に分割されています。また、外部空間は 29 ビットのアドレス空間を有しており 8 空間に分割されています。

仮想空間は、アドレス変換機構 (MMU) により任意の外部空間に割り付けることができます。詳細は「第 3 章 メモリマネジメントユニット」を参照してください。この章では、外部空間のエリア分割について記述します。

本 LSI は、表 13.3 に示すように外部空間の 7 つのエリアに各々各種メモリ / PC カードに接続でき、各々に対応してチップセレクト信号 ( $\overline{CS0} \sim \overline{CS6}$ 、 $\overline{CE2A}$ 、 $\overline{CE2B}$ ) を出力します。エリア 0 のアクセス時に  $\overline{CS0}$  が、エリア 6 のアクセス時に  $\overline{CS6}$  がアサートされます。エリア 2 や 3 に DRAM、シンクロナス DRAM を接続する場合、 $\overline{RAS}$ 、 $\overline{CAS}$ 、 $\overline{RD/WR}$ 、 $\overline{DQM}$  などの信号もアサートされます。また、エリア 5 と 6 において、PCMCIA インタフェースを選択した場合、アクセスするバイトに対応して、 $\overline{CS5/CS6}$  に加えて、 $\overline{CE2A/CE2B}$  をアサートします。

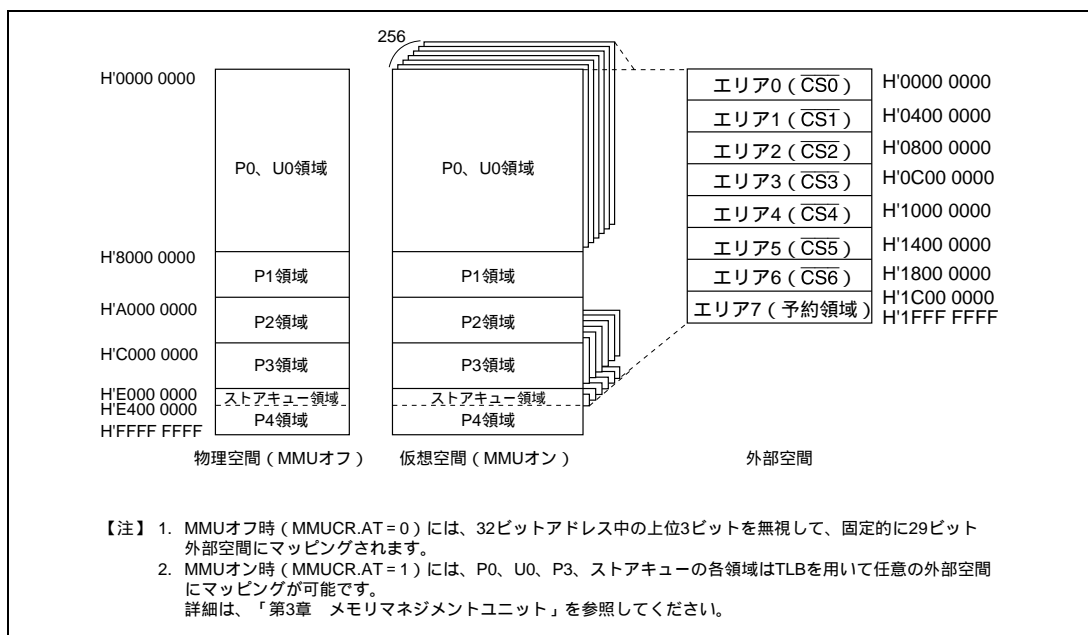


図 13.2 仮想アドレス空間と外部アドレス空間の対応

### 13. バスステートコントローラ (BSC)

表 13.3 外部アドレス空間マップ

| エリア             | 外部アドレス                     | 容量   | 接続可能メモリ                             | 設定可能<br>バス幅  | アクセス<br>サイズ    |
|-----------------|----------------------------|------|-------------------------------------|--|----------------|
| 0               | H'00000000<br>~ H'03FFFFFF | 64MB | 通常メモリ<br>バースト ROM<br>MPX            | 8,16,32,64 <sup>*1</sup><br>8,16,32 <sup>*1</sup><br>32,64 <sup>*1</sup>   | 8、16、32、<br>64 |
| 1               | H'04000000<br>~ H'07FFFFFF | 64MB | 通常メモリ<br>MPX<br>バイト制御 SRAM          | 8,16,32,64 <sup>*2</sup><br>32,64 <sup>*2</sup><br>16,32,64 <sup>*2</sup>  | 8、16、32、<br>64 |
| 2               | H'08000000<br>~ H'0BFFFFFF | 64MB | 通常メモリ<br>シンクロナス DRAM<br>DRAM<br>MPX | 8,16,32,64 <sup>*2</sup><br>32,64 <sup>*2</sup> 、 <sup>*3</sup><br>16,32 <sup>*2</sup> 、 <sup>*3</sup><br>32,64 <sup>*2</sup>    | 8、16、32、<br>64 |
| 3               | H'0C000000<br>~ H'0FFFFFFF | 64MB | 通常メモリ<br>シンクロナス DRAM<br>DRAM<br>MPX | 8,16,32,64 <sup>*2</sup><br>32,64 <sup>*2</sup> 、 <sup>*3</sup><br>16,32,64 <sup>*2</sup> 、 <sup>*3</sup><br>32,64 <sup>*2</sup> | 8、16、<br>32、64 |
| 4               | H'10000000<br>~ H'13FFFFFF | 64MB | 通常メモリ<br>MPX<br>バイト制御 SRAM          | 8,16,32,64 <sup>*2</sup><br>32,64 <sup>*2</sup><br>16,32,64 <sup>*2</sup>  | 8、16、32、<br>64 |
| 5               | H'14000000<br>~ H'17FFFFFF | 64MB | 通常メモリ<br>MPX<br>バースト ROM<br>PCMCIA  | 8,16,32,64 <sup>*2</sup><br>32,64 <sup>*2</sup><br>8,16,32 <sup>*2</sup><br>8,16 <sup>*2</sup> 、 <sup>*4</sup>                   | 8、16、32、<br>64 |
| 6               | H'18000000<br>~ H'1BFFFFFF | 64MB | 通常メモリ<br>MPX<br>バースト ROM<br>PCMCIA  | 8,16,32,64 <sup>*2</sup><br>32,64 <sup>*2</sup><br>8,16,32 <sup>*2</sup><br>8,16 <sup>*2</sup> 、 <sup>*4</sup>                   | 8、16、32、64     |
| 7 <sup>*5</sup> | H'1C000000<br>~ H'1FFFFFFF | 64MB | —                                   | —  | (n:0~7)        |

【注】 \*1 外部ピンでメモリバス幅を指定

\*2 レジスタでメモリバス幅を指定

\*3 シンクロナス DRAM インタフェース時は、バス幅は 32、64 ビットのみ。

また、DRAM インタフェース時は、バス幅はエリア 2 では 16、32 ビットのみ、エリア 3 では 16、32、64 ビットのみ。

\*4 PCMCIA インタフェース時は、バス幅は 8、16 ビットのいずれかのみ

\*5 予約エリアはアクセスしないでください。アクセスした場合は動作の保証はできません。

|                   |                                    |                                   |
|-------------------|------------------------------------|-----------------------------------|
| エリア0 : H'00000000 | 通常メモリ / バーストROM / MPX              | } PCMCIAインタフェースは、<br>メモリ/I/Oカード兼用 |
| エリア1 : H'04000000 | 通常メモリ / MPX / バイト制御SRAM            |                                   |
| エリア2 : H'08000000 | 通常メモリ / シンクロナスDRAM /<br>DRAM / MPX |                                   |
| エリア3 : H'0C000000 | 通常メモリ / シンクロナスDRAM /<br>DRAM / MPX |                                   |
| エリア4 : H'10000000 | 通常メモリ / MPX / バイト制御SRAM            |                                   |
| エリア5 : H'14000000 | 通常メモリ / バーストROM /<br>PCMCIA / MPX  |                                   |
| エリア6 : H'18000000 | 通常メモリ / バーストROM /<br>PCMCIA / MPX  |                                   |

図 13.3 外部空間割り付け

## (2) メモリバス幅

本 LSI のメモリバス幅は、空間ごとに設定できます。エリア 0 では、パワーオンリセット時に外部ピンを用いてバスサイズを 8 ビット、16 ビット、32 ビット、64 ビットから選べます。パワーオンリセット時に外部ピン (MD4、MD3) とバス幅の関係は次のようになります。

| MD4 | MD3 | バス幅    |
|-----|-----|--------|
| 0   | 0   | 64 ビット |
| 0   | 1   | 8 ビット  |
| 1   | 0   | 16 ビット |
| 1   | 1   | 32 ビット |

エリア 1～6 で通常メモリ、ROM のいずれかを使用する場合は、バスコントロールレジスタ 2 (BCR2) によってバス幅を 8 ビット、16 ビット、32 ビット、64 ビットから選べます。バースト ROM を使用する場合は、バス幅を 8 ビット、16 ビット、32 ビットから選べます。バイト制御 SRAM を使用する場合は、バス幅を 16 ビット、32 ビット、64 ビットから選べます。MPX バスを使用する場合は、バス幅を 32 ビット、64 ビットから選べます。また、DRAM インタフェースを使用するときは、個別メモリコントロールレジスタ (MCR) によってバス幅を 16 ビット、32 ビット、64 ビットから選べます。エリア 2、3 に DRAM インタフェースを使用する場合は、バス幅は、16 ビットまたは 32 ビットに設定してください。また、シンクロナス DRAM インタフェースは、MCR レジスタによってバス幅を 32 ビット、64 ビットに設定してください。

PCMCIA インタフェースを使用する場合は、バス幅は 8 ビットまたは 16 ビットに設定してください。

ポート機能を使用する場合は、全エリアのバス幅を各々 8 ビットまたは 16 ビットまたは 32 ビットに設定してください。

詳しくは、「13.2.2 バスコントロールレジスタ 2 (BCR2)」および「13.2.6 個別メモリコントロールレジスタ (MCR)」を参照してください。

エリア 7 のアドレスの範囲、H'1C000000～H'1FFFFFFF は予約空間ですので、使用しないでください。



## 13. バスステートコントローラ (BSC)

---

### 13.1.6 PCMCIA サポート

本 LSI では、物理空間のエリア 5 と 6 で PCMCIA 準拠のインタフェース仕様をサポートします。

サポートするインタフェースは、基本的に JEIDA 仕様 Ver4.2 (PCMCIA2.1) で定められた“ IC メモリカードインタフェース”と“ I/O カードインタフェース”です。

物理空間のエリア 5 と 6 では、“ IC メモリカードインタフェース”と“ I/O カードインタフェース”の両方をサポートします。

PCMCIA インタフェースはリトルエンディアンモードでのみサポートされます。

表 13.4 PCMCIA インタフェースの特長

| 項 目        | 特 長  |
|------------|--|
| アクセス       | ランダムアクセス   |
| データバス      | 8 / 16 ビット   |
| メモリタイプ     | マスク ROM、OTPROM、EPROM、EEPROM、フラッシュメモリ、SRAM              |
| コモンメモリ容量   | 最大 64M バイト   |
| アトリビュート部容量 | 最大 64M バイト   |
| その他        | I/O バス幅のダイナミックバスサイジング、アドレス変換領域からの PCMCIA インタフェースへのアクセス |

表 13.5 PCMCIA サポートインタフェース (1)

| ピン | IC メモリカードインタフェース            |     |            | I/O カードインタフェース             |     |                   | SH7091 対応ピン  |
|----|-----------------------------|-----|------------|----------------------------|-----|-------------------|--|
|    | 信号名                         | I/O | 機能         | 信号名                        | I/O | 機能                |  |
| 1  | GND                         |     | グラウンド      | GND                        |     | グラウンド             | -  |
| 2  | D3                          | I/O | データ        | D3                         | I/O | データ               | D3   |
| 3  | D4                          | I/O | データ        | D4                         | I/O | データ               | D4   |
| 4  | D5                          | I/O | データ        | D5                         | I/O | データ               | D5   |
| 5  | D6                          | I/O | データ        | D6                         | I/O | データ               | D6   |
| 6  | D7                          | I/O | データ        | D7                         | I/O | データ               | D7   |
| 7  | $\overline{\text{CE1}}$     | I   | カード enable | $\overline{\text{CE1}}$    | I   | カード enable        | $\overline{\text{CS5}}$ or $\overline{\text{CS6}}$ |
| 8  | A10                         | I   | アドレス       | A10                        | I   | アドレス              | A10  |
| 9  | $\overline{\text{OE}}$      | I   | 出力 enable  | $\overline{\text{OE}}$     | I   | 出力 enable         | $\overline{\text{RD}}$                             |
| 10 | A11                         | I   | アドレス       | A11                        | I   | アドレス              | A11  |
| 11 | A9                          | I   | アドレス       | A9                         | I   | アドレス              | A9   |
| 12 | A8                          | I   | アドレス       | A8                         | I   | アドレス              | A8   |
| 13 | A13                         | I   | アドレス       | A13                        | I   | アドレス              | A13  |
| 14 | A14                         | I   | アドレス       | A14                        | I   | アドレス              | A14  |
| 15 | $\overline{\text{WE/PGM}}$  | I   | ライト enable | $\overline{\text{WE/PGM}}$ | I   | ライト enable        | $\overline{\text{WE1}}$                            |
| 16 | $\overline{\text{RDY/BSY}}$ | O   | レディ / ビジー  | $\overline{\text{IREQ}}$   | O   | 割り込み要求            | ポートでセンス  |
| 17 | VCC                         |     | 動作電源       | VCC                        |     | 動作電源              | -  |
| 18 | VPP1                        |     | プログラム電源    | VPP1                       |     | プログラム / ペリフェラル用電源 | -  |
| 19 | A16                         | I   | アドレス       | A16                        | I   | アドレス              | A16  |
| 20 | A15                         | I   | アドレス       | A15                        | I   | アドレス              | A15  |
| 21 | A12                         | I   | アドレス       | A12                        | I   | アドレス              | A12  |
| 22 | A7                          | I   | アドレス       | A7                         | I   | アドレス              | A7   |
| 23 | A6                          | I   | アドレス       | A6                         | I   | アドレス              | A6   |
| 24 | A5                          | I   | アドレス       | A5                         | I   | アドレス              | A5   |
| 25 | A4                          | I   | アドレス       | A4                         | I   | アドレス              | A4   |
| 26 | A3                          | I   | アドレス       | A3                         | I   | アドレス              | A3   |
| 27 | A2                          | I   | アドレス       | A2                         | I   | アドレス              | A2   |
| 28 | A1                          | I   | アドレス       | A1                         | I   | アドレス              | A1   |
| 29 | A0                          | I   | アドレス       | A0                         | I   | アドレス              | A0   |
| 30 | D0                          | I/O | データ        | D0                         | I/O | データ               | D0   |
| 31 | D1                          | I/O | データ        | D1                         | I/O | データ               | D1   |
| 32 | D2                          | I/O | データ        | D2                         | I/O | データ               | D2   |
| 33 | WP                          | O   | ライトプロテクト   | $\overline{\text{IOIS16}}$ | O   | 16 ビット I/O ポート    | $\overline{\text{IOIS16}}$                         |
| 34 | GND                         |     | グラウンド      | GND                        |     | グラウンド             | -  |

( 続く )

### 13. バスステートコントローラ (BSC)

表 13.5 PCMCIA サポートインタフェース (2)

| ピン | IC メモリカードインタフェース         |     |                      | I/O カードインタフェース             |     |                       | SH7091 対応<br>ピン                                      |
|----|--------------------------|-----|----------------------|----------------------------|-----|-----------------------|--|
|    | 信号名                      | I/O | 機能                   | 信号名                        | I/O | 機能                    |  |
| 35 | GND                      |     | グラウンド                | GND                        |     | グラウンド                 | -  |
| 36 | $\overline{\text{CD1}}$  | O   | カード検出                | $\overline{\text{CD1}}$    | O   | カード検出                 | ポートでセンス  |
| 37 | D11                      | I/O | データ                  | D11                        | I/O | データ                   | D11  |
| 38 | D12                      | I/O | データ                  | D12                        | I/O | データ                   | D12  |
| 39 | D13                      | I/O | データ                  | D13                        | I/O | データ                   | D13  |
| 40 | D14                      | I/O | データ                  | D14                        | I/O | データ                   | D14  |
| 41 | D15                      | I/O | データ                  | D15                        | I/O | データ                   | D15  |
| 42 | $\overline{\text{CE2}}$  | I   | カード enable           | $\overline{\text{CE2}}$    | I   | カード enable            | $\overline{\text{CE2A}}$ or $\overline{\text{CE2B}}$ |
| 43 | RFSH                     | I   | リフレッシュ<br>要求         | RFSH                       | I   | リフレッシュ<br>要求          | ポートから出力  |
| 44 | RFU                      |     | 予約                   | $\overline{\text{IORD}}$   | I   | I/O リード               | $\overline{\text{ICIORD}}$                           |
| 45 | RFU                      |     | 予約                   | $\overline{\text{IOWR}}$   | I   | I/O ライト               | $\overline{\text{ICIOWR}}$                           |
| 46 | A17                      | I   | アドレス                 | A17                        | I   | アドレス                  | A17  |
| 47 | A18                      | I   | アドレス                 | A18                        | I   | アドレス                  | A18  |
| 48 | A19                      | I   | アドレス                 | A19                        | I   | アドレス                  | A19  |
| 49 | A20                      | I   | アドレス                 | A20                        | I   | アドレス                  | A20  |
| 50 | A21                      | I   | アドレス                 | A21                        | I   | アドレス                  | A21  |
| 51 | VCC                      |     | 電源                   | VCC                        |     | 電源                    | -  |
| 52 | VPP2                     |     | プログラム電源              | VPP2                       |     | プログラム / ペリ<br>フェラル用電源 | -  |
| 53 | A22                      | I   | アドレス                 | A22                        | I   | アドレス                  | A22  |
| 54 | A23                      | I   | アドレス                 | A23                        | I   | アドレス                  | A23  |
| 55 | A24                      | I   | アドレス                 | A24                        | I   | アドレス                  | A24  |
| 56 | A25                      | I   | アドレス                 | A25                        | I   | アドレス                  | A25  |
| 57 | RFU                      |     | 予約                   | RFU                        |     | 予約                    | -  |
| 58 | RESET                    | I   | リセット                 | RESET                      | I   | リセット                  | ポートから出力  |
| 59 | $\overline{\text{WAIT}}$ | O   | wait 要求              | $\overline{\text{WAIT}}$   | O   | wait 要求               | $\overline{\text{RDY}}$                              |
| 60 | RFU                      |     | 予約                   | $\overline{\text{INPACK}}$ | O   | 入力応答                  | -  |
| 61 | $\overline{\text{REG}}$  | I   | アトリビュートメ<br>モリ空間セレクト | $\overline{\text{REG}}$    | I   | アトリビュートメ<br>モリ空間セレクト  | $\overline{\text{WE7}}$                              |
| 62 | BVD2                     | O   | 電池電圧検出               | $\overline{\text{SPKR}}$   | O   | デジタル音声信<br>号          | ポートでセンス  |
| 63 | BVD1                     | O   | 電池電圧検出               | $\overline{\text{STSCHG}}$ | O   | カード状態変化               | ポートでセンス  |
| 64 | D8                       | I/O | データ                  | D8                         | I/O | データ                   | D8   |
| 65 | D9                       | I/O | データ                  | D9                         | I/O | データ                   | D9   |
| 66 | D10                      | I/O | データ                  | D10                        | I/O | データ                   | D10  |
| 67 | $\overline{\text{CD2}}$  | O   | カード検出                | $\overline{\text{CD2}}$    | O   | カード検出                 | ポートでセンス  |
| 68 | GND                      |     | グラウンド                | GND                        |     | グラウンド                 | -  |

## 13.2 レジスタの説明

### 13.2.1 バスコントロールレジスタ 1 (BCR1)

バスコントロールレジスタ 1 (BCR1) は、各エリアの機能、バスサイクルの状態等を指定します。読み出し / 書き込み可能な 32 ビットのレジスタです。

BCR1 レジスタは、パワーオンリセットで H'00000000 に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。レジスタの初期設定が終了するまでは、エリア 0 以外の外部メモリをアクセスしないでください。

|      |            |            |           |    |    |    |      |      |    |    |           |           |            |      |            |    |
|------|------------|------------|-----------|----|----|----|------|------|----|----|-----------|-----------|------------|------|------------|----|
| ビット: | 31         | 30         | 29        | 28 | 27 | 26 | 25   | 24   | 23 | 22 | 21        | 20        | 19         | 18   | 17         | 16 |
|      | ENDI<br>AN | MAS<br>TER | A0<br>MPX | —  | —  | —  | IPUP | OPUP | —  | —  | A1<br>MBC | A4<br>MBC | BREQ<br>EN | PSHR | MEM<br>MPX | —  |
| 初期値: | 0/1*       | 0/1*       | 0/1*      | 0  | 0  | 0  | 0    | 0    | 0  | 0  | 0         | 0         | 0          | 0    | 0          | 0  |
| R/W: | R          | R          | R         | R  | R  | R  | R/W  | R/W  | R  | R  | R/W       | R/W       | R/W        | R/W  | R/W        | R  |

|      |            |            |            |            |            |            |            |            |            |            |            |             |             |             |   |            |
|------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|-------------|-------------|-------------|---|------------|
| ビット: | 15         | 14         | 13         | 12         | 11         | 10         | 9          | 8          | 7          | 6          | 5          | 4           | 3           | 2           | 1 | 0          |
|      | HIZ<br>MEM | HIZ<br>CNT | A0<br>BST2 | A0<br>BST1 | A0<br>BST0 | A5<br>BST2 | A5<br>BST1 | A5<br>BST0 | A6<br>BST2 | A6<br>BST1 | A6<br>BST0 | DRAM<br>TP2 | DRAM<br>TP1 | DRAM<br>TP0 | — | A56<br>PCM |
| 初期値: | 0          | 0          | 0          | 0          | 0          | 0          | 0          | 0          | 0          | 0          | 0          | 0           | 0           | 0           | 0 | 0          |
| R/W: | R/W        | R/W        | R/W        | R/W        | R/W        | R/W        | R/W        | R/W        | R/W        | R/W        | R/W        | R/W         | R/W         | R/W         | R | R/W        |

【注】\* パワーオンリセット時、外部ピンの値をサンプリングします。

#### ビット31: エンディアンフラグ (ENDIAN)

パワーオンリセット時に、エンディアン指定の外部ピン (MD5) の値をサンプリングします。全空間のエンディアンはこのビットで決定されます。読み出しのみ可です。

| ビット 31 | 説 明   |
|--------|---|
| ENDIAN |   |
| 0      | パワーオンリセット時に、エンディアン設定外部ピン (MD5) がローレベルであり、本 LSI がビッグエンディアンとして設定されたことを示します。 |
| 1      | パワーオンリセット時に、エンディアン設定外部ピン (MD5) がハイレベルであり、本 LSI がリトルエンディアンとして設定されたことを示します。 |

#### ビット30: マスタ / スレープフラグ (MASTER)

パワーオンリセット時に、マスタ / スレープ指定の外部ピン (MD7) の値をサンプリングします。全空間のマスタ / スレープはこのビットで決定されます。読み出しのみ可です。

| ビット 30 | 説 明  |
|--------|--|
| MASTER |  |
| 0      | パワーオンリセット時に、マスタ / スレープ設定外部ピン (MD7) がハイレベルであり、本 LSI がマスタとして設定されたことを示します。  |
| 1      | パワーオンリセット時に、マスタ / スレープ設定外部ピン (MD7) がローレベルであり、本 LSI がスレープとして設定されたことを示します。 |

### 13. バスステートコントローラ (BSC)

#### ビット29：エリア0のメモリタイプ (A0MPX)

パワーオンリセット時に、エリア0のメモリタイプ指定する外部ピン (MD6) の値をサンプリングします。エリア0のメモリタイプはこのビットで決定されます。読み出しのみ可です。

| ビット 29 | 説 明   |
|--------|---|
| A0MPX  |   |
| 0      | パワーオンリセット時に、エリア0のメモリタイプ指定する外部ピン (MD6) がハイレベルであり、エリア0のメモリタイプが通常メモリとして設定されたことを示します。 |
| 1      | パワーオンリセット時に、エリア0のメモリタイプ指定する外部ピン (MD6) がローレベルであり、エリア0のメモリタイプがMPXとして設定されたことを示します。   |

#### ビット28～26、23、22、16、1：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

#### ビット25：コントロール入力端子プルアップ抵抗制御 (IPUP)

コントロール入力端子 ( $\overline{\text{NMI}}$ 、 $\overline{\text{IRL0}} \sim \overline{\text{IRL3}}$ 、 $\overline{\text{BREQ}}$ 、MD6/IOIS16、 $\overline{\text{RDY}}$ ) のプルアップ抵抗の状態を指定します。このビットは、パワーオンリセット時に初期化されます。

| ビット 25 | 説 明  |
|--------|--|
| IPUP   |  |
| 0      | コントロール入力端子 ( $\overline{\text{NMI}}$ 、 $\overline{\text{IRL0}} \sim \overline{\text{IRL3}}$ 、 $\overline{\text{BREQ}}$ 、MD6/IOIS16、 $\overline{\text{RDY}}$ ) のプルアップ抵抗は、オン。<br>(初期値) |
| 1      | コントロール入力端子 ( $\overline{\text{NMI}}$ 、 $\overline{\text{IRL0}} \sim \overline{\text{IRL3}}$ 、 $\overline{\text{BREQ}}$ 、MD6/IOIS16、 $\overline{\text{RDY}}$ ) のプルアップ抵抗は、オフ。          |

#### ビット24：コントロール出力端子プルアップ抵抗制御 (OPUP)

コントロール出力端子 ( $\text{A} [25:0]$ 、 $\overline{\text{BS}}$ 、 $\overline{\text{CSn}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WEn}}$ 、 $\text{RD}/\overline{\text{WR}}$ 、 $\overline{\text{RAS}}$ 、 $\overline{\text{RAS2}}$ 、 $\overline{\text{CE2A}}$ 、 $\overline{\text{CE2B}}$ 、 $\overline{\text{RD2}}$ 、 $\text{RD}/\overline{\text{WR2}}$ ) のハイインピーダンス時のプルアップ抵抗の状態を指定します。このビットは、パワーオンリセット時に初期化されます。

| ビット 24 | 説 明  |
|--------|--|
| OPUP   |  |
| 0      | コントロール出力端子 ( $\text{A} [25:0]$ 、 $\overline{\text{BS}}$ 、 $\overline{\text{CSn}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WEn}}$ 、 $\text{RD}/\overline{\text{WR}}$ 、 $\overline{\text{RAS}}$ 、 $\overline{\text{RAS2}}$ 、 $\overline{\text{CE2A}}$ 、 $\overline{\text{CE2B}}$ 、 $\overline{\text{RD2}}$ 、 $\text{RD}/\overline{\text{WR2}}$ ) のプルアップ抵抗はオン。<br>(初期値) |
| 1      | コントロール出力端子 ( $\text{A} [25:0]$ 、 $\overline{\text{BS}}$ 、 $\overline{\text{CSn}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WEn}}$ 、 $\text{RD}/\overline{\text{WR}}$ 、 $\overline{\text{RAS}}$ 、 $\overline{\text{RAS2}}$ 、 $\overline{\text{CE2A}}$ 、 $\overline{\text{CE2B}}$ 、 $\overline{\text{RD2}}$ 、 $\text{RD}/\overline{\text{WR2}}$ ) のプルアップ抵抗はオフ。          |

#### ビット21：エリア1SRAMバイト制御モード (A1MBC)

MPX バス指定が行われているときには、MPX が優先します。このビットは、パワーオンリセット時に初期化されます。

| ビット 21 | 説 明                        |
|--------|----------------------------|
| A1MBC  |                            |
| 0      | エリア1のSRAMは、通常モード。<br>(初期値) |
| 1      | エリア1のSRAMは、バイト制御モード。       |

## ビット20：エリア4SRAMバイト制御モード (A4MBC)

MPX バス指定が行われているときには、MPX が優先します。このビットは、パワーオンリセット時に初期化されます。

| ビット 20 | 説 明                        |
|--------|----------------------------|
| A4MBC  |                            |
| 0      | エリア 4 の SRAM は、通常モード。(初期値) |
| 1      | エリア 4 の SRAM は、バイト制御モード。   |

## ビット19：BREQイネーブル (BREQEN)

外部リクエストを受け付け可能とするかを設定します。パワーオンリセット時には、外部リクエストを受け付けない状態に初期化されます。このビットは、スレーブモード立ち上げ時には無視されます。

| ビット 19 | 説 明                   |
|--------|-----------------------|
| BREQEN |                       |
| 0      | 外部リクエストを受け付けません。(初期値) |
| 1      | 外部リクエストを受け付けます。       |

## ビット18：部分共有モード (PSHR)

部分共有マスタモードの設定を行います。このビットはマスタモードで立ち上げたときのみ有効です。

| ビット 18 | 説 明          |
|--------|--------------|
| PSHR   |              |
| 0      | マスタモード (初期値) |
| 1      | 部分共有マスタモード   |

## ビット17：エリア1～6のMPXバス指定 (MEMMPX)

エリア 1 から 6 が通常メモリ (またはバースト ROM) 設定のとき、MPX バスを設定します。このビットは、パワーオンリセット時に初期化されます。

| ビット 17 | 説 明  |
|--------|--|
| MEMMPX |  |
| 0      | エリア 1～6 が通常メモリ (またはバースト ROM) 設定のとき、基本インタフェース (またはバースト ROM インタフェース) が選択されます。(初期値) |
| 1      | エリア 1～6 が通常メモリ (またはバースト ROM) 設定のとき、MPX バスインタフェースが選択されます。                         |

### 13. バスステートコントローラ (BSC)

#### ビット15：ハイゼット (High-Z) コントロール (HIZMEM)

アドレスなど (A[25:0]、 $\overline{BS}$ 、 $\overline{CSn}$ 、 $\overline{RD/WR}$ 、 $\overline{CE2A}$ 、 $\overline{CE2B}$ 、 $\overline{RD/WR2}$ ) のスタンバイ時およびバス権解放時の状態を指定します。

| ビット 15 | 機 能  |
|--------|--|
| HIZMEM |  |
| 0      | A[25:0]、 $\overline{BS}$ 、 $\overline{CSn}$ 、 $\overline{RD/WR}$ 、 $\overline{CE2A}$ 、 $\overline{CE2B}$ 、 $\overline{RD/WR2}$ 信号はスタンバイ時およびバス権解放時、ハイインピーダンスになります。<br>(初期値) |
| 1      | A[25:0]、 $\overline{BS}$ 、 $\overline{CSn}$ 、 $\overline{RD/WR}$ 、 $\overline{CE2A}$ 、 $\overline{CE2B}$ 、 $\overline{RD/WR2}$ 信号をスタンバイ時ドライブします。バス権解放時はハイインピーダンスになります。     |

#### ビット14：ハイゼット (High-Z) コントロール (HIZCNT)

$\overline{RAS}$  信号、 $\overline{CAS}$  信号のスタンバイ時およびバス権解放時の状態を指定します。

| ビット 14 | 機 能   |
|--------|---|
| HIZCNT |   |
| 0      | $\overline{RAS}$ 、 $\overline{RAS2}$ 、 $\overline{WEn/CASn/DQMn}$ 、 $\overline{RD/CASS/FRAME}$ 、 $\overline{RD2}$ 信号はスタンバイ時およびバス権解放時、ハイインピーダンス (High-Z) になります。<br>(初期値) |
| 1      | $\overline{RAS}$ 、 $\overline{RAS2}$ 、 $\overline{WEn/CASn/DQMn}$ 、 $\overline{RD/CASS/FRAME}$ 、 $\overline{RD2}$ 信号をスタンバイ時およびバス権解放時ドライブします。                            |

#### ビット13～11：エリア0バーストROM制御 (A0BST2～A0BST0)

外部空間のエリア0で、バーストROMを使うかどうかを指定します。また、バーストROMを使用する場合は、バースト回数を指定します。エリア0がMPXインタフェースのときは、これらのビットは無視されます。

| ビット 13 | ビット 12 | ビット 11 | 機 能  |
|--------|--------|--------|--|
| A0BST2 | A0BST1 | A0BST0 |  |
| 0      | 0      | 0      | エリア0を通常メモリとしてアクセス<br>(初期値)   |
| 0      | 0      | 1      | エリア0をバーストROM (4回連続アクセス) としてアクセス。<br>バス幅 8、16、32 ビット時、いずれでも使用可                  |
| 0      | 1      | 0      | エリア0をバーストROM (8回連続アクセス) としてアクセス。<br>バス幅 8、16、32 ビット時、いずれでも使用可                  |
| 0      | 1      | 1      | エリア0をバーストROM (16回連続アクセス) としてアクセス。<br>バス幅 8、16 ビット時のみ使用可。バス幅 32 ビット時は指定しないでください |
| 1      | 0      | 0      | エリア0をバーストROM (32連続アクセス) としてアクセス。<br>バス幅 8 ビット時のみ使用可                            |
| 1      | 0      | 1      | 予約   |
| 1      | 1      | 0      | 予約   |
| 1      | 1      | 1      | 予約   |

## ビット10～8：エリア5バーストイネーブル (A5BST2～A5BST0)

外部空間のエリア5で、バーストROMを使うかどうかを指定します。また、バーストROMを使用する場合は、バースト回数を指定します。エリア5がMPXインタフェースのときは、これらのビットは無視されます。

| ビット10<br>A5BST2 | ビット9<br>A5BST1 | ビット8<br>A5BST0 | 機 能  |
|-----------------|----------------|----------------|--|
| 0               | 0              | 0              | エリア5を通常メモリとしてアクセス (初期値)  |
| 0               | 0              | 1              | エリア5をバーストROM (4回連続アクセス) としてアクセス。<br>バス幅 8、16、32 ビット時、いずれでも使用可                  |
| 0               | 1              | 0              | エリア5をバーストROM (8回連続アクセス) としてアクセス。<br>バス幅 8、16、32 ビット時、いずれでも使用可                  |
| 0               | 1              | 1              | エリア5をバーストROM (16回連続アクセス) としてアクセス。<br>バス幅 8、16 ビット時のみ使用可。バス幅 32 ビット時は指定しないでください |
| 1               | 0              | 0              | エリア5をバーストROM (32回連続アクセス) としてアクセス。<br>バス幅 8 ビット時のみ使用可                           |
| 1               | 0              | 1              | 予約   |
| 1               | 1              | 0              | 予約   |
| 1               | 1              | 1              | 予約   |

【注】 PCMCIA 使用時は 0 にクリアしてください。

## ビット7～5：エリア6バーストイネーブル (A6BST2～A6BST0)

外部空間のエリア6で、バーストROMを使うかどうかを指定します。また、バーストROMを使用する場合は、バースト回数を指定します。エリア6がMPXインタフェースのときは、これらのビットは無視されます。

| ビット7<br>A6BST2 | ビット6<br>A6BST1 | ビット5<br>A6BST0 | 機 能  |
|----------------|----------------|----------------|--|
| 0              | 0              | 0              | エリア6を通常メモリとしてアクセス (初期状態)   |
| 0              | 0              | 1              | エリア6をバーストROM (4回連続アクセス) としてアクセス。<br>バス幅 8、16、32 ビット時、いずれでも使用可                  |
| 0              | 1              | 0              | エリア6をバーストROM (8回連続アクセス) としてアクセス。<br>バス幅 8、16、32 ビット時、いずれでも使用可                  |
| 0              | 1              | 1              | エリア6をバーストROM (16回連続アクセス) としてアクセス。<br>バス幅 8、16 ビット時のみ使用可。バス幅 32 ビット時は指定しないでください |
| 1              | 0              | 0              | エリア6をバーストROM (32回連続アクセス) としてアクセス。<br>バス幅 8 ビット時のみ使用可                           |
| 1              | 0              | 1              | 予約   |
| 1              | 1              | 0              | 予約   |
| 1              | 1              | 1              | 予約   |

【注】 PCMCIA 使用時は 0 にクリアしてください。



### 13. バスステートコントローラ (BSC)

#### ビット4～2：エリア2、3のメモリタイプ (DRAMTP2～DRAMTP0)

外部空間のエリア2と3に接続するメモリタイプを指定します。通常メモリとしてROM、SRAM、フラッシュROM等が直接接続できます。また、DRAM、シンクロナスDRAMが直接接続できます。

| ビット4    | ビット3    | ビット2    | 機 能   |
|---------|---------|---------|---|
| DRAMTP2 | DRAMTP1 | DRAMTP0 |   |
| 0       | 0       | 0       | エリア2、3を通常メモリまたはMPX* <sup>1</sup> (初期値)          |
| 0       | 0       | 1       | 予約 (設定不可)                                       |
| 0       | 1       | 0       | エリア2を通常メモリまたはMPX* <sup>1</sup> 、エリア3をシンクロナスDRAM |
| 0       | 1       | 1       | エリア2、3をシンクロナスDRAM                               |
| 1       | 0       | 0       | エリア2を通常メモリまたはMPX* <sup>1</sup> 、エリア3をDRAM       |
| 1       | 0       | 1       | エリア2、3をDRAM* <sup>2</sup>                       |
| 1       | 1       | 0       | 予約 (設定不可)                                       |
| 1       | 1       | 1       | 予約 (設定不可)                                       |

【注】\*<sup>1</sup> 通常メモリ、MPXのどちらになるかはMEMMPXビットの設定で決まります。

\*<sup>2</sup> このモードを選ぶ場合は、エリア2と3のバス幅は16,32ビットとしてください。  
また、このモードを選ぶとMD5端子がRAS2端子として出力に設定されます。

#### ビット0：エリア5およびエリア6バスタイプ (A56PCM)

外部空間のエリア5と6をPCMCIA空間としてアクセスするかどうかを指定します。このビットの設定は、MEMMPXビットの設定に優先します。

| ビット0   | 機 能                               |
|--------|-----------------------------------|
| A56PCM |                                   |
| 0      | 外部空間のエリア5と6を通常メモリとしてアクセスします (初期値) |
| 1      | 外部空間のエリア5と6をPCMCIA空間としてアクセスします*   |

【注】\* MD3端子がCE2A端子として出力に設定されます。

MD4端子がCE2B端子として出力に設定されます。

### 13.2.2 バスコントロールレジスタ2 (BCR2)

バスコントロールレジスタ2 (BCR2) は、各エリアのバスサイズ幅および16ビットポートを使用するかどうかを指定します。読み出し/書き込み可能な16ビットのレジスタです。

BCR2レジスタは、パワーオンリセットでH'3FFCに初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。レジスタの初期設定が終了するまでは、エリア0以外の外部メモリをアクセスしないでください。

|      |           |           |           |           |           |           |           |           |           |           |           |           |           |           |   |            |
|------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|---|------------|
| ビット: | 15        | 14        | 13        | 12        | 11        | 10        | 9         | 8         | 7         | 6         | 5         | 4         | 3         | 2         | 1 | 0          |
|      | A0<br>SZ1 | A0<br>SZ0 | A6<br>SZ1 | A6<br>SZ0 | A5<br>SZ1 | A5<br>SZ0 | A4<br>SZ1 | A4<br>SZ0 | A3<br>SZ1 | A3<br>SZ0 | A2<br>SZ1 | A2<br>SZ0 | A1<br>SZ1 | A1<br>SZ0 | — | PORT<br>EN |
| 初期値: | 0/1*      | 0/1*      | 1         | 1         | 1         | 1         | 1         | 1         | 1         | 1         | 1         | 1         | 1         | 1         | 0 | 0          |
| R/W: | R         | R         | R/W       | R/W       | R/W       | R/W       | R/W       | R/W       | R/W       | R/W       | R/W       | R/W       | R/W       | R/W       | — | R/W        |

【注】\* エリア0のバスサイズを指定する外部ピンの値をサンプリングします。

ビット15、14 : エリア 0 のバス幅 (A0SZ1、A0SZ0)

パワーオンリセット時に、バスサイズを指定する外部ピン (MD3、MD4) をサンプリングします。読み出しのみ可です。

ビット2n+1、2n : エリアn (1~6) のバス幅指定 (AnSZ1、AnSZ0)

物理空間のエリア n (n=1~6) のバス幅を指定します。

| (ビット0) | ビット<br>2n+1 | ビット 2n | 機 能                   |
|--------|-------------|--------|-----------------------|
| PORTEN | AnSZ1       | AnSZ0  |                       |
| 0      | 0           | 0      | バス幅を 64 ビットにします (初期値) |
|        | 0           | 1      | バス幅を 8 ビットにします        |
|        | 1           | 0      | バス幅を 16 ビットにします       |
|        | 1           | 1      | バス幅を 32 ビットにします       |
| 1      | 0           | 0      | 予約 (設定禁止)             |
|        | 0           | 1      | バス幅を 8 ビットにします        |
|        | 1           | 0      | バス幅を 16 ビットにします       |
|        | 1           | 1      | バス幅を 32 ビットにします       |

ビット1 : 予約ビット

読み出すと 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット0 : ポート機能イネーブル (PORTEN)

D51 ~ D32 の端子を 20 ビットポートとして使用するかどうか指定します。ただし、この機能を使う場合は、全エリアでバス幅を 8 ビットか 16 ビットか 32 ビットにしてください。

| ビット 0  | 機 能                           |
|--------|-------------------------------|
| PORTEN |                               |
| 0      | D51 ~ D32 をポートとして使用しません (初期値) |
| 1      | D51 ~ D32 をポートとして使用します        |

### 13.2.3 ウェイトコントロールレジスタ 1 (WCR1)

ウェイトコントロールレジスタ 1 (WCR1) は、各エリアのアイドルステート挿入サイクル数を指定します。読み出し / 書き込み可能な 32 ビットのレジスタです。メモリによっては、外部からの読み出し信号がオフになってもデータバスのドライブがすぐにはオフにならないものもあります。このため、連続したメモリアクセスが異なるエリアのメモリに対して行われる場合や、メモリ読み出し直後に書き込みが行われる場合、データバスが衝突する可能性があります。本 LSI では、このようなデータバスが衝突する可能性がある場合に、WCR1 レジスタで設定したサイクル数だけ自動的にアイドルサイクルを挿入します。

WCR1 レジスタは、パワーオンリセットで H'77777777 に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。

### 13. バスステートコントローラ (BSC)

|      |    |            |            |            |    |           |           |           |    |           |           |           |    |           |           |           |
|------|----|------------|------------|------------|----|-----------|-----------|-----------|----|-----------|-----------|-----------|----|-----------|-----------|-----------|
| ビット: | 31 | 30         | 29         | 28         | 27 | 26        | 25        | 24        | 23 | 22        | 21        | 20        | 19 | 18        | 17        | 16        |
|      | —  | DMA<br>IW2 | DMA<br>IW1 | DMA<br>IW0 | —  | A6<br>IW2 | A6<br>IW1 | A6<br>IW0 | —  | A5<br>IW2 | A5<br>IW1 | A5<br>IW0 | —  | A4<br>IW2 | A4<br>IW1 | A4<br>IW0 |
| 初期値: | 0  | 1          | 1          | 1          | 0  | 1         | 1         | 1         | 0  | 1         | 1         | 1         | 0  | 1         | 1         | 1         |
| R/W: | R  | R/W        | R/W        | R/W        | R  | R/W       | R/W       | R/W       | R  | R/W       | R/W       | R/W       | R  | R/W       | R/W       | R/W       |

|      |    |           |           |           |    |           |           |           |   |           |           |           |   |           |           |           |
|------|----|-----------|-----------|-----------|----|-----------|-----------|-----------|---|-----------|-----------|-----------|---|-----------|-----------|-----------|
| ビット: | 15 | 14        | 13        | 12        | 11 | 10        | 9         | 8         | 7 | 6         | 5         | 4         | 3 | 2         | 1         | 0         |
|      | —  | A3<br>IW2 | A3<br>IW1 | A3<br>IW0 | —  | A2<br>IW2 | A2<br>IW1 | A2<br>IW0 | — | A1<br>IW2 | A1<br>IW1 | A1<br>IW0 | — | A0<br>IW2 | A0<br>IW1 | A0<br>IW0 |
| 初期値: | 0  | 1         | 1         | 1         | 0  | 1         | 1         | 1         | 0 | 1         | 1         | 1         | 0 | 1         | 1         | 1         |
| R/W: | R  | R/W       | R/W       | R/W       | R  | R/W       | R/W       | R/W       | R | R/W       | R/W       | R/W       | R | R/W       | R/W       | R/W       |

ビット31、27、23、19、15、11、7、3：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット30～28：DMAIW - DACKデバイスのサイクル間アイドル指定 (DMAIW2～DMAIW0)

DACK デバイスから他の空間への切り換え時、あるいは、同一デバイス上でのリードアクセスとライトアクセスの切り換え時に、バスサイクル間に挿入されるアイドルサイクル数を指定します。DMAIW ビットは、DMA シングルアドレス転送時のみ有効です。DMA デュアルアドレス転送時には、エリア間アイドルサイクルが挿入されます。

ビット4n+2～4n：エリアn (6～0) のサイクル間アイドル指定 (AnIW2～AnIW0)

外部空間のエリア n (6～0) から他の空間、もしくは同一空間でリードアクセスからライトアクセスに切り換わった場合に挿入するバスサイクル間アイドル数を指定します。

| DMAIW2/AnIW2 | DMAIW1/AnIW1 | DMAIW0/AnIW0 | 挿入アイドルサイクル |
|--------------|--------------|--------------|------------|
| 0            | 0            | 0            | 0          |
| 0            | 0            | 1            | 1          |
| 0            | 1            | 0            | 2          |
| 0            | 1            | 1            | 3          |
| 1            | 0            | 0            | 6          |
| 1            | 0            | 1            | 9          |
| 1            | 1            | 0            | 12         |
| 1            | 1            | 1            | 15 (初期値)   |

アクセス間のアイドル挿入

| 後サイクル<br>前サイクル       | 同一エリア |     |     |     | 別エリア |     |     |     | 同一エリア         | 別エリア          |
|----------------------|-------|-----|-----|-----|------|-----|-----|-----|---------------|---------------|
|                      | リード   |     | ライト |     | リード  |     | ライト |     | MPXアドレス<br>出力 | MPXアドレス<br>出力 |
|                      | CPU   | DMA | CPU | DMA | CPU  | DMA | CPU | DMA |               |               |
| リード                  |       |     | M   | M   | M    | M   | M   | M   | M (1)         | M (1)         |
| ライト                  |       |     |     |     | M    | M   | M   | M   |               | M (1)         |
| DMAリード<br>(メモリ→デバイス) |       |     | M   | M   | M    | M   | M   | M   |               | M (1)         |
| DMAライト<br>(デバイス→メモリ) | D     | D   | D   | D * | D    | D   | D   | D   |               | D (1)         |

- M、D : WCR1ウェイト挿入  
 (MPXアクセスでは、WCR1が0にクリアされても、1サイクル挿入されます)  
 M : メモリ設定 (エリア0からエリア6)  
 D : DMA設定  
 \* : 同一デバイスの連続時には挿入されません

【注】 SDRAMをRASダウンモードで使用する場合、DMAIW2～0ビット=000、  
 A3IW2～0ビット=000に設定してください。

### 13.2.4 ウェイトコントロールレジスタ 2 (WCR2)

ウェイトコントロールレジスタ 2 (WCR2) は、読み出し / 書き込み可能な 32 ビットのレジスタで、各エリアのウェイトステート挿入サイクル数を指定します。また、バーストメモリアccessを行う場合のデータアクセスのピッチ数も指定します。これにより、外付け回路なしに低速なメモリも直接接続できます。

WCR2 は、パワーオンリセットで H'FFFFEFFF に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。

|      |          |          |          |          |          |          |          |          |          |          |          |          |          |          |          |    |
|------|----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|----|
| ビット: | 31       | 30       | 29       | 28       | 27       | 26       | 25       | 24       | 23       | 22       | 21       | 20       | 19       | 18       | 17       | 16 |
|      | A6<br>W2 | A6<br>W1 | A6<br>W0 | A6<br>B2 | A6<br>B1 | A6<br>B0 | A5<br>W2 | A5<br>W1 | A5<br>W0 | A5<br>B2 | A5<br>B1 | A5<br>B0 | A4<br>W2 | A4<br>W1 | A4<br>W0 | —  |
| 初期値: | 1        | 1        | 1        | 1        | 1        | 1        | 1        | 1        | 1        | 1        | 1        | 1        | 1        | 1        | 1        | 0  |
| R/W: | R/W      | R/W      | R/W      | R/W      | R/W      | R/W      | R/W      | R/W      | R/W      | R/W      | R/W      | R/W      | R/W      | R/W      | R/W      | R  |

|      |          |          |          |    |          |          |          |          |          |          |          |          |          |          |          |          |
|------|----------|----------|----------|----|----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|----------|
| ビット: | 15       | 14       | 13       | 12 | 11       | 10       | 9        | 8        | 7        | 6        | 5        | 4        | 3        | 2        | 1        | 0        |
|      | A3<br>W2 | A3<br>W1 | A3<br>W0 | —  | A2<br>W2 | A2<br>W1 | A2<br>W0 | A1<br>W2 | A1<br>W1 | A1<br>W0 | A0<br>W2 | A0<br>W1 | A0<br>W0 | A0<br>B2 | A0<br>B1 | A0<br>B0 |
| 初期値: | 1        | 1        | 1        | 0  | 1        | 1        | 1        | 1        | 1        | 1        | 1        | 1        | 1        | 1        | 1        | 1        |
| R/W: | R/W      | R/W      | R/W      | R  | R/W      | R/W      | R/W      | R/W      | R/W      | R/W      | R/W      | R/W      | R/W      | R/W      | R/W      | R/W      |

ビット31～29 : エリア6のウェイトコントロール (A6W2～A6W0)

外部空間のエリア 6 に対する挿入ウェイトステート数を指定します。

### 13. バスステートコントローラ (BSC)

| ビット 31 | ビット 30 | ビット 29 | 機 能        |        |
|--------|--------|--------|------------|--------|
|        |        |        | 先頭サイクル     |        |
| A6W2   | A6W1   | A6W0   | 挿入ウェイトステート | RDY 端子 |
| 0      | 0      | 0      | 0          | 無視     |
| 0      | 0      | 1      | 1          | イネーブル  |
| 0      | 1      | 0      | 2          | イネーブル  |
| 0      | 1      | 1      | 3          | イネーブル  |
| 1      | 0      | 0      | 6          | イネーブル  |
| 1      | 0      | 1      | 9          | イネーブル  |
| 1      | 1      | 0      | 12         | イネーブル  |
| 1      | 1      | 1      | 15 (初期値)   | イネーブル  |

ビット28～26：エリア6のバーストピッチ (A6B2～A6B0)

バースト転送におけるバーストピッチ数を指定します。

| ビット 28 | ビット 27 | ビット 26 | 機能                   |        |
|--------|--------|--------|----------------------|--------|
|        |        |        | バーストサイクル (先頭サイクルを除く) |        |
| A6B2   | A6B1   | A6B0   | 1 データ転送あたりのバーストピッチ   | RDY 端子 |
| 0      | 0      | 0      | 0                    | 無視     |
| 0      | 0      | 1      | 1                    | イネーブル  |
| 0      | 1      | 0      | 2                    | イネーブル  |
| 0      | 1      | 1      | 3                    | イネーブル  |
| 1      | 0      | 0      | 4                    | イネーブル  |
| 1      | 0      | 1      | 5                    | イネーブル  |
| 1      | 1      | 0      | 6                    | イネーブル  |
| 1      | 1      | 1      | 7 (初期値)              | イネーブル  |

ビット25～23：エリア5のウェイトコントロール (A5W2～A5W0)

外部空間のエリア 5 に対する挿入ウェイトステート数を指定します。

| ビット 25 | ビット 24 | ビット 23 | 機 能        |        |
|--------|--------|--------|------------|--------|
|        |        |        | 先頭サイクル     |        |
| A5W2   | A5W1   | A5W0   | 挿入ウェイトステート | RDY 端子 |
| 0      | 0      | 0      | 0          | 無視     |
| 0      | 0      | 1      | 1          | イネーブル  |
| 0      | 1      | 0      | 2          | イネーブル  |
| 0      | 1      | 1      | 3          | イネーブル  |
| 1      | 0      | 0      | 6          | イネーブル  |
| 1      | 0      | 1      | 9          | イネーブル  |
| 1      | 1      | 0      | 12         | イネーブル  |
| 1      | 1      | 1      | 15 (初期値)   | イネーブル  |

ビット22～20：エリア5のバーストピッチ (A5B2～A5B0)

バースト転送におけるバーストピッチ数を指定します。

| ビット 22 | ビット 21 | ビット 20 | 機能                   |        |
|--------|--------|--------|----------------------|--------|
|        |        |        | バーストサイクル (先頭サイクルを除く) |        |
| A5B2   | A5B1   | A5B0   | 1 データ転送あたりのバーストピッチ   | RDY 端子 |
| 0      | 0      | 0      | 0                    | 無視     |
| 0      | 0      | 1      | 1                    | イネーブル  |
| 0      | 1      | 0      | 2                    | イネーブル  |
| 0      | 1      | 1      | 3                    | イネーブル  |
| 1      | 0      | 0      | 4                    | イネーブル  |
| 1      | 0      | 1      | 5                    | イネーブル  |
| 1      | 1      | 0      | 6                    | イネーブル  |
| 1      | 1      | 1      | 7 (初期値)              | イネーブル  |

ビット19～17：エリア4のウェイトコントロール (A4W2～A4W0)

外部空間のエリア 4 に対する挿入ウェイトステート数を指定します。

| ビット 19 | ビット 18 | ビット 17 | 機 能        |        |
|--------|--------|--------|------------|--------|
| A4W2   | A4W1   | A4W0   | 挿入ウェイトステート | RDY 端子 |
| 0      | 0      | 0      | 0          | 無視     |
| 0      | 0      | 1      | 1          | イネーブル  |
| 0      | 1      | 0      | 2          | イネーブル  |
| 0      | 1      | 1      | 3          | イネーブル  |
| 1      | 0      | 0      | 6          | イネーブル  |
| 1      | 0      | 1      | 9          | イネーブル  |
| 1      | 1      | 0      | 12         | イネーブル  |
| 1      | 1      | 1      | 15 (初期値)   | イネーブル  |

ビット16、12：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット15～13：エリア3のウェイトコントロール (A3W2～A3W0)

外部空間のエリア 3 に対する挿入ウェイトステート数を指定します。外部ウェイト入力通常メモリ使用時のみ有効で、DRAM やシンクロナス DRAM 使用時は無視されます。

### 13. バスステートコントローラ (BSC)

#### [ 通常メモリ使用時 ]

| ビット 15 | ビット 14 | ビット 13 | 機 能        |        |
|--------|--------|--------|------------|--------|
| A3W2   | A3W1   | A3W0   | 挿入ウェイトステート | RDY 端子 |
| 0      | 0      | 0      | 0          | 無視     |
| 0      | 0      | 1      | 1          | イネーブル  |
| 0      | 1      | 0      | 2          | イネーブル  |
| 0      | 1      | 1      | 3          | イネーブル  |
| 1      | 0      | 0      | 6          | イネーブル  |
| 1      | 0      | 1      | 9          | イネーブル  |
| 1      | 1      | 0      | 12         | イネーブル  |
| 1      | 1      | 1      | 15 ( 初期値 ) | イネーブル  |

#### [ DRAM、シンクロナス DRAM 使用時<sup>\*1</sup> ]

| ビット 15 | ビット 14 | ビット 13 | 機 能              |                              |
|--------|--------|--------|------------------|------------------------------|
| A3W2   | A3W1   | A3W0   | DRAM の CAS アサート幅 | シンクロナス DRAM の CAS レイテンシサイクル数 |
| 0      | 0      | 0      | 1                | 禁止                           |
| 0      | 0      | 1      | 2                | 1 <sup>*2</sup>              |
| 0      | 1      | 0      | 3                | 2                            |
| 0      | 1      | 1      | 4                | 3                            |
| 1      | 0      | 0      | 7                | 4 <sup>*2</sup>              |
| 1      | 0      | 1      | 10               | 5 <sup>*2</sup>              |
| 1      | 1      | 0      | 13               | 禁止                           |
| 1      | 1      | 1      | 16               | 禁止                           |

【注】 \*1 外部ウェイト入力は常時無視されます。

\*2 RAS ダウンモードでは禁止。

#### ビット11～9：エリア2のウェイトコントロール ( A2W2～A2W0 )

外部空間のエリア 2 に対する挿入ウェイトステート数を指定します。外部ウェイト入力は通常メモリ使用時のみ有効で、DRAM やシンクロナス DRAM 使用時は無視されます。

#### [ 通常メモリ使用時 ]

| ビット 11 | ビット 10 | ビット 9 | 機 能        |        |
|--------|--------|-------|------------|--------|
| A2W2   | A2W1   | A2W0  | 挿入ウェイトステート | RDY 端子 |
| 0      | 0      | 0     | 0          | 無視     |
| 0      | 0      | 1     | 1          | イネーブル  |
| 0      | 1      | 0     | 2          | イネーブル  |
| 0      | 1      | 1     | 3          | イネーブル  |
| 1      | 0      | 0     | 6          | イネーブル  |
| 1      | 0      | 1     | 9          | イネーブル  |
| 1      | 1      | 0     | 12         | イネーブル  |
| 1      | 1      | 1     | 15 ( 初期値 ) | イネーブル  |

## [ DRAM、シンクロナス DRAM 使用時\* ]

| ビット 11 | ビット 10 | ビット 9 | 機 能              |                         |
|--------|--------|-------|------------------|-------------------------|
| A2W2   | A2W1   | A2W0  | DRAM の CAS アサート幅 | シンクロナス DRAM の CAS レイテンシ |
| 0      | 0      | 0     | 1                | 禁止                      |
| 0      | 0      | 1     | 2                | 1                       |
| 0      | 1      | 0     | 3                | 2                       |
| 0      | 1      | 1     | 4                | 3                       |
| 1      | 0      | 0     | 7                | 4                       |
| 1      | 0      | 1     | 10               | 5                       |
| 1      | 1      | 0     | 13               | 禁止                      |
| 1      | 1      | 1     | 16               | 禁止                      |

【注】 \* 外部ウェイト入力は常時無視されます。

ビット8～6 : エリア1のウェイトコントロール (A1W2～A1W0)  
外部空間のエリア 1 に対する挿入ウェイトステート数を指定します。

| ビット 8 | ビット 7 | ビット 6 | 機 能        |        |
|-------|-------|-------|------------|--------|
| A1W2  | A1W1  | A1W0  | 挿入ウェイトステート | RDY 端子 |
| 0     | 0     | 0     | 0          | 無視     |
| 0     | 0     | 1     | 1          | イネーブル  |
| 0     | 1     | 0     | 2          | イネーブル  |
| 0     | 1     | 1     | 3          | イネーブル  |
| 1     | 0     | 0     | 6          | イネーブル  |
| 1     | 0     | 1     | 9          | イネーブル  |
| 1     | 1     | 0     | 12         | イネーブル  |
| 1     | 1     | 1     | 15 (初期値)   | イネーブル  |

ビット5～3 : エリア0のウェイトコントロール (A0W2～A0W0)  
外部空間のエリア 0 に対する挿入ウェイトステート数を指定します。

| ビット 5 | ビット 4 | ビット 3 | 機 能        |        |
|-------|-------|-------|------------|--------|
|       |       |       | 先頭サイクル     |        |
| A0W2  | A0W1  | A0W0  | 挿入ウェイトステート | RDY 端子 |
| 0     | 0     | 0     | 0          | 無視     |
| 0     | 0     | 1     | 1          | イネーブル  |
| 0     | 1     | 0     | 2          | イネーブル  |
| 0     | 1     | 1     | 3          | イネーブル  |
| 1     | 0     | 0     | 6          | イネーブル  |
| 1     | 0     | 1     | 9          | イネーブル  |
| 1     | 1     | 0     | 12         | イネーブル  |
| 1     | 1     | 1     | 15 (初期値)   | イネーブル  |



### 13. バスステートコントローラ (BSC)

ビット2～0：エリア0のバーストピッチ (A0B2～A0B0)

バースト転送におけるバーストピッチ数を指定します。

| ビット2 | ビット1 | ビット0 | 機能                      |        |
|------|------|------|-------------------------|--------|
|      |      |      | バーストサイクル<br>(先頭サイクルを除く) |        |
| A0B2 | A0B1 | A0B0 | 1 データ転送あたりの<br>バーストピッチ数 | RDY 端子 |
| 0    | 0    | 0    | 0                       | 無視     |
| 0    | 0    | 1    | 1                       | イネーブル  |
| 0    | 1    | 0    | 2                       | イネーブル  |
| 0    | 1    | 1    | 3                       | イネーブル  |
| 1    | 0    | 0    | 4                       | イネーブル  |
| 1    | 0    | 1    | 5                       | イネーブル  |
| 1    | 1    | 0    | 6                       | イネーブル  |
| 1    | 1    | 1    | 7 (初期値)                 | イネーブル  |

MPX 使用時 (エリア 0～6)

| ビット<br>4n + 2 | ビット<br>4n + 1 | ビット<br>4n | 機 能        |   |         | RDY 端子 |
|---------------|---------------|-----------|------------|---|---------|--------|
|               |               |           | 挿入ウェイトステート |   |         |        |
|               |               |           | 第1データ      |   | 第2データ以降 |        |
| リード           | ライト           |           |            |   |         |        |
| 0             | 0             | 0         | 1          | 0 | 0       | イネーブル  |
| 0             | 0             | 1         | 1          | 1 | 0       | イネーブル  |
| 0             | 1             | 0         | 2          | 2 | 0       | イネーブル  |
| 0             | 1             | 1         | 3          | 3 | 0       | イネーブル  |
| 1             | 0             | 0         | 1          | 0 | 1       | イネーブル  |
| 1             | 0             | 1         | 1          | 1 | 1       | イネーブル  |
| 1             | 1             | 0         | 2          | 2 | 1       | イネーブル  |
| 1             | 1             | 1         | 3          | 3 | 1       | イネーブル  |

(n は 6～0)

#### 13.2.5 ウェイトコントロールレジスタ 3 (WCR3)

ウェイトコントロールレジスタ 3 (WCR3) は、読み出し / 書き込み可能な 32 ビットのレジスタで、各エリアのアドレスから読み出し / 書き込みストロープのアサートまでのセットアップ時間、書き込みストロープのネゲートからのデータホールド時間の挿入サイクルを指定します。これにより、外付け回路なしに低速メモリも直接接続できます。

WCR3 は、パワーオンリセットで H'07777777 に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。

### 13. バスステートコントローラ (BSC)

|      |    |    |    |    |    |          |          |          |    |          |          |          |    |          |          |          |
|------|----|----|----|----|----|----------|----------|----------|----|----------|----------|----------|----|----------|----------|----------|
| ビット: | 31 | 30 | 29 | 28 | 27 | 26       | 25       | 24       | 23 | 22       | 21       | 20       | 19 | 18       | 17       | 16       |
|      | —  | —  | —  | —  | —  | A6<br>S0 | A6<br>H1 | A6<br>H0 | —  | A5<br>S0 | A5<br>H1 | A5<br>H0 | —  | A4<br>S0 | A4<br>H1 | A4<br>H0 |
| 初期値: | 0  | 0  | 0  | 0  | 0  | 1        | 1        | 1        | 0  | 1        | 1        | 1        | 0  | 1        | 1        | 1        |
| R/W: | R  | R  | R  | R  | R  | R/W      | R/W      | R/W      | R  | R/W      | R/W      | R/W      | R  | R/W      | R/W      | R/W      |

|      |    |          |          |          |    |          |          |          |   |          |          |          |   |          |          |          |
|------|----|----------|----------|----------|----|----------|----------|----------|---|----------|----------|----------|---|----------|----------|----------|
| ビット: | 15 | 14       | 13       | 12       | 11 | 10       | 9        | 8        | 7 | 6        | 5        | 4        | 3 | 2        | 1        | 0        |
|      | —  | A3<br>S0 | A3<br>H1 | A3<br>H0 | —  | A2<br>S0 | A2<br>H1 | A2<br>H0 | — | A1<br>S0 | A1<br>H1 | A1<br>H0 | — | A0<br>S0 | A0<br>H1 | A0<br>H0 |
| 初期値: | 0  | 1        | 1        | 1        | 0  | 1        | 1        | 1        | 0 | 1        | 1        | 1        | 0 | 1        | 1        | 1        |
| R/W: | R  | R/W      | R/W      | R/W      | R  | R/W      | R/W      | R/W      | R | R/W      | R/W      | R/W      | R | R/W      | R/W      | R/W      |

ビット31～27、23、19、15、11、7、3：予約ビット  
読み出すと0が読み出されます。書き込む値も常に0にしてください。

[通常メモリおよびバーストROM使用時のみ有効]

ビット $4n+2$ ：エリア $n$  (6～0) ライトストローブセットアップ時間 (AnS0)

アドレスからリード/ライトストローブのアサートまでのセットアップ時間に挿入されるサイクル数を指定します。

| ビット $4n+2$ | セットアップ時挿入ウェイト数 |
|------------|----------------|
| AnS0       |                |
| 0          | 0              |
| 1          | 1 (初期値)        |

( $n$  は 6～0)

[通常メモリおよびバーストROM使用時のみ有効]

ビット $4n+1$ 、 $4n$ ：エリア $n$  (6～0) データホールド時間 (AnH1、AnH0)

ライト時のライトストローブのネゲートからのホールド時間に挿入されるサイクル数を指定します。リード時はデータのサンプリングタイミングからのホールド時間に挿入されるサイクル数を指定します。

| ビット $4n+1$ | ビット $4n$ | ホールド時挿入ウェイト数 |
|------------|----------|--------------|
| AnH1       | AnH0     |              |
| 0          | 0        | 0            |
| 0          | 1        | 1            |
| 1          | 0        | 2            |
| 1          | 1        | 3 (初期値)      |

( $n$  は 6～0)

### 13. バスステートコントローラ (BSC)

#### 13.2.6 個別メモリコントロールレジスタ (MCR)

個別メモリコントロールレジスタ (MCR) は、読み出し / 書き込み可能な 32 ビットのレジスタで、DRAM、シンクロナス DRAM (エリア 2, 3) に対する RAS、CAS のタイミングやバースト制御、アドレスマルチプレクスの指定、リフレッシュ制御を指定します。これにより、DRAM、シンクロナス DRAM を外付け回路なしに直結できます。

MCR レジスタは、パワーオンリセットで H'00000000 に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。RASD、MRSET、TRC2 ~ 0、TPC2 ~ 0、RCD1 ~ 0、TRWL2 ~ 0、TRAS2 ~ 0、BE、SZ1 ~ 0、AMXEXT、AMX2 ~ 0、EDOMODE の各ビットはパワーオンリセット後の初期設定時に書き込みを行い、以降は値を変更しないでください。RFSH、RMODE ビットに対して書き込みを行う際は、他のビットは変化させずに同じ値を書き込んでください。DRAM、シンクロナス DRAM 使用時は、レジスタの初期設定が終了するまで、エリア 2, 3 をアクセスしないでください。

|       |      |        |       |       |       |    |    |    |      |    |      |      |      |    |      |      |
|-------|------|--------|-------|-------|-------|----|----|----|------|----|------|------|------|----|------|------|
| ビット : | 31   | 30     | 29    | 28    | 27    | 26 | 25 | 24 | 23   | 22 | 21   | 20   | 19   | 18 | 17   | 16   |
|       | RASD | MR SET | TRC 2 | TRC 1 | TRC 0 | —  | —  | —  | TCAS | —  | TPC2 | TPC1 | TPC0 | —  | RCD1 | RCD0 |
| 初期値 : | 0    | 0      | 0     | 0     | 0     | 0  | 0  | 0  | 0    | 0  | 0    | 0    | 0    | 0  | 0    | 0    |
| R/W : | R/W  | R/W    | R/W   | R/W   | R/W   | R  | R  | R  | R/W  | R  | R/W  | R/W  | R/W  | R  | R/W  | R/W  |

|       |        |        |        |        |        |        |     |     |     |         |      |      |      |      |       |          |
|-------|--------|--------|--------|--------|--------|--------|-----|-----|-----|---------|------|------|------|------|-------|----------|
| ビット : | 15     | 14     | 13     | 12     | 11     | 10     | 9   | 8   | 7   | 6       | 5    | 4    | 3    | 2    | 1     | 0        |
|       | TRWL 2 | TRWL 1 | TRWL 0 | TRAS 2 | TRAS 1 | TRAS 0 | BE  | SZ1 | SZ0 | AMX EXT | AMX2 | AMX1 | AMX0 | RFSH | RMODE | EDO MODE |
| 初期値 : | 0      | 0      | 0      | 0      | 0      | 0      | 0   | 0   | 0   | 0       | 0    | 0    | 0    | 0    | 0     | 0        |
| R/W : | R/W    | R/W    | R/W    | R/W    | R/W    | R/W    | R/W | R/W | R/W | R/W     | R/W  | R/W  | R/W  | R/W  | R/W   | R/W      |

##### ビット31 : ラスダウン (RASD)

RAS ダウンモードを設定します。DRAM/RAS ダウンモード設定時は、BE=1 に設定してください。スレープモードまたは部分共有マスタモードでは、RAS ダウンモードに設定しないでください。また、エリア 2、3 を共にシンクロナス DRAM 空間に設定した場合は、RAS ダウンモードに設定しないでください。

| ビット 31 | 説 明         |
|--------|-------------|
| RASD   |             |
| 0      | 通常モード (初期値) |
| 1      | RAS ダウンモード  |

【注】 シンクロナス DRAM を RAS ダウンモードで使用する場合、DMAIW2 ~ 0 ビット = 000、A3IW2 ~ 0 ビット = 000 に設定してください。

##### ビット30 : モードレジスタセット (MRSET)

シンクロナス DRAM のモードレジスタ設定時にセットします。「13.3.5 (10) パワーオンシーケンス」を参照してください。

| ビット 30 | 説 明              |
|--------|------------------|
| MRSET  |                  |
| 0      | 全バンクプリチャージ (初期値) |
| 1      | モードレジスタ設定        |

ビット26～24、22、18：予約ビット

読み出すと0が読み出されます。書き込む値も常に0にしてください。

ビット29～27：リフレッシュ終了時のRASプリチャージ期間 (TRC2～TRC0)

(シンクロナス DRAM：オート、セルフ両方有効。DRAM：オート、セルフ両方有効。)

| ビット 29 | ビット 28 | ビット 27 | RAS プリチャージ時間<br>リフレッシュ直後 |
|--------|--------|--------|--------------------------|
| TRC2   | TRC1   | TRC0   |                          |
| 0      | 0      | 0      | 0 (初期値)                  |
| 0      | 0      | 1      | 3                        |
| 0      | 1      | 0      | 6                        |
| 0      | 1      | 1      | 9                        |
| 1      | 0      | 0      | 12                       |
| 1      | 0      | 1      | 15                       |
| 1      | 1      | 0      | 18                       |
| 1      | 1      | 1      | 21                       |

ビット23：CASネゲート期間 (TCAS)

このビットは、DRAM 接続時のみ有効です。

| ビット 23 | CAS ネゲート期間 |
|--------|------------|
| TCAS   |            |
| 0      | 1 (初期値)    |
| 1      | 2          |

ビット21～19：RASプリチャージ期間 (TPC2～TPC0)

接続メモリとして DRAM インタフェースを選択した場合、 $\overline{\text{RAS}}$  ネゲート後、次にアサートするまでの最小サイクル数を規定します。シンクロナス DRAM インタフェースを選択した場合、プリチャージ後、次のバンクアクティブコマンド出力までの最小サイクル数を規定します。

| ビット 21 | ビット 20 | ビット 19 | RAS プリチャージ時間 |             |
|--------|--------|--------|--------------|-------------|
| TPC2   | TPC1   | TPC0   | DRAM         | シンクロナス DRAM |
| 0      | 0      | 0      | 0            | 1* (初期値)    |
| 0      | 0      | 1      | 1            | 2           |
| 0      | 1      | 0      | 2            | 3           |
| 0      | 1      | 1      | 3            | 4*          |
| 1      | 0      | 0      | 4            | 5*          |
| 1      | 0      | 1      | 5            | 6*          |
| 1      | 1      | 0      | 6            | 7*          |
| 1      | 1      | 1      | 7            | 8*          |

【注】 \* RAS ダウンモードでは禁止。

### 13. バスステートコントローラ (BSC)

#### ビット17、16 : RAS-CAS遅延 (RCD1、RCD0)

接続メモリとして DRAM インタフェースを選択した場合、 $\overline{\text{RAS}}\text{-}\overline{\text{CAS}}$  アサート遅延時間を設定します。シンクロナス DRAM インタフェースを選択した場合、バンクアクティブ 読み出し / 書き込みコマンド遅延時間を設定します。

| ビット 17 | ビット 16 | 機 能    |             |
|--------|--------|--------|-------------|
| RCD1   | RCD0   | DRAM   | シンクロナス DRAM |
| 0      | 0      | 2 サイクル | 予約 (設定禁止)   |
| 0      | 1      | 3 サイクル | 2 サイクル      |
| 1      | 0      | 4 サイクル | 3 サイクル      |
| 1      | 1      | 5 サイクル | 4 サイクル*     |

【注】 \* RAS ダウンモードでは禁止。

#### ビット15～13 : 書き込みプリチャージ遅延 (TRWL2～TRWL0)

シンクロナス DRAM の書き込みプリチャージの遅延時間を設定します。オートプリチャージモードの時は書き込みサイクル後、次のバンクアクティブコマンドが起動されるまでの時間を指定します。書き込みサイクル後、TPC + TRWL の期間、次のアクティブコマンドを発行しません。RAS ダウンモードのときは次のプリチャージコマンドが発行されるまでの時間を指定します。書き込みサイクル後、TRWL の期間、次のプリチャージコマンドを発行しません。シンクロナス DRAM 接続時のみ有効です。

| ビット 15 | ビット 14 | ビット 13 | 書き込みプリチャージ ACT 遅延時間 |
|--------|--------|--------|---------------------|
| TRWL2  | TRWL1  | TRWL0  |                     |
| 0      | 0      | 0      | 1 (初期値)             |
| 0      | 0      | 1      | 2                   |
| 0      | 1      | 0      | 3*                  |
| 0      | 1      | 1      | 4*                  |
| 1      | 0      | 0      | 5*                  |
| 1      | 0      | 1      | 予約 (設定禁止)           |
| 1      | 1      | 0      | 予約 (設定禁止)           |
| 1      | 1      | 1      | 予約 (設定禁止)           |

【注】 \* RAS ダウンモードでは禁止。

ビット12～10：CASビフォRASリフレッシュ $\overline{\text{RAS}}$ アサート期間 (TRAS2～TRAS0)

接続メモリとして DRAM インタフェースを選択した場合、CAS ビフォ RAS リフレッシュのときの  $\overline{\text{RAS}}$  アサート期間を設定します。シンクロナス DRAM インタフェースを選択した場合、オートリフレッシュコマンド発行後、TRC + TRAS の期間バンクアクティブコマンドを発行しません。

| ビット 12 | ビット 11 | ビット 10 | $\overline{\text{RAS}}$ /DRAM | シンクロナス DRAM リフレッシュ後のコマンド間隔 |
|--------|--------|--------|-------------------------------|----------------------------|
| TRAS2  | TRAS1  | TRAS0  | アサート時間                        |                            |
| 0      | 0      | 0      | 2                             | 4 + TRC (初期値)              |
| 0      | 0      | 1      | 3                             | 5 + TRC                    |
| 0      | 1      | 0      | 4                             | 6 + TRC                    |
| 0      | 1      | 1      | 5                             | 7 + TRC                    |
| 1      | 0      | 0      | 6                             | 8 + TRC                    |
| 1      | 0      | 1      | 7                             | 9 + TRC                    |
| 1      | 1      | 0      | 8                             | 10 + TRC                   |
| 1      | 1      | 1      | 9                             | 11 + TRC                   |

ビット9：バーストイネーブル (BE)

DRAM に対してバーストアクセスを行うかどうかを指定します。シンクロナス DRAM のアクセス時は、本ビットの指定によらず、常にバーストアクセスを行います。DRAM 転送モードは EDOMODE によって変わります。

| BE | EDOMODE | 8/16/32/64 ビット転送 | 32 バイト転送 |
|----|---------|------------------|----------|
| 0  | 0       | シングル             | シングル     |
| 0  | 1       | 設定禁止             | 設定禁止     |
| 1  | 0       | シングル / 高速ページ*    | 高速ページ    |
| 1  | 1       | EDO              | EDO      |

【注】 \* 高速ページモード時は、16 ビットバスによる 32、64 ビット転送、32 ビットバスによる 64 ビット転送。

ビット8、7：メモリデータサイズ (SZ1、SZ0)

DRAM、シンクロナス DRAM のメモリデータサイズを指定します。BCR2 レジスタの設定に優先します。

| ビット 8 | ビット 7 | 機能        |             |
|-------|-------|-----------|-------------|
| SZ1   | SZ0   | DRAM      | シンクロナス DRAM |
| 0     | 0     | 64 ビット    | 64 ビット      |
| 0     | 1     | 予約 (設定禁止) | 予約 (設定禁止)   |
| 1     | 0     | 16 ビット    | 予約 (設定禁止)   |
| 1     | 1     | 32 ビット    | 32 ビット      |

ビット6～3：アドレスマルチプレクス (AMXEXT、AMX2～AMX0)

DRAM、シンクロナス DRAM のアドレスマルチプレクスを指定します。実際のアドレスシフト値は、DRAM インタフェースと、シンクロナス DRAM インタフェースで異なります。

### 13. バスステートコントローラ (BSC)

#### [ DRAM インタフェース使用時 ]

| ビット 6  | ビット 5 | ビット 4 | ビット 3 | 機 能                  |
|--------|-------|-------|-------|----------------------|
| AMXEXT | AMX2  | AMX1  | AMX0  | DRAM                 |
| 0*     | 0     | 0     | 0     | カラムアドレス 8 ビット品 (初期値) |
|        | 0     | 0     | 1     | カラムアドレス 9 ビット品       |
|        | 0     | 1     | 0     | カラムアドレス 10 ビット品      |
|        | 0     | 1     | 1     | カラムアドレス 11 ビット品      |
|        | 1     | 0     | 0     | カラムアドレス 12 ビット品      |
|        | 1     | 0     | 1     | 予約 (設定禁止)            |
|        | 1     | 1     | 0     | 予約 (設定禁止)            |
|        | 1     | 1     | 1     | 予約 (設定禁止)            |

【注】 \* DRAM インタフェース使用時は、AMXEXT ビットを 0 に設定してください。

#### [ シンクロナス DRAM インタフェース接続時 ]

| AMX | AMXEXT | SZ | シンクロナス DRAM                   | BANK       |
|-----|--------|----|-------------------------------|------------|
| 0   | 0      | 64 | (16M : 512k × 16 ビット × 2) × 4 | a[22] *    |
| 0   | 0      | 32 | (16M : 512k × 16 ビット × 2) × 2 | a[21] *    |
| 0   | 1      | 64 | (16M : 512k × 16 ビット × 2) × 4 | a[21] *    |
| 0   | 1      | 32 | (16M : 512k × 16 ビット × 2) × 2 | a[20] *    |
| 1   | 0      | 64 | (16M : 1M × 8 ビット × 2) × 8    | a[23] *    |
| 1   | 0      | 32 | (16M : 1M × 8 ビット × 2) × 4    | a[22] *    |
| 1   | 1      | 64 | (16M : 1M × 8 ビット × 2) × 8    | a[22] *    |
| 1   | 1      | 32 | (16M : 1M × 8 ビット × 2) × 4    | a[21] *    |
| 2   | –      | 64 | (64M : 1M × 16 ビット × 4) × 4   | a[24:23] * |
| 2   | –      | 32 | (64M : 1M × 16 ビット × 4) × 2   | a[23:22] * |
| 3   | –      | 64 | (64M : 2M × 8 ビット × 4) × 8    | a[25:24] * |
| 3   | –      | 32 | (64M : 2M × 8 ビット × 4) × 4    | a[24:23] * |
| 4   | –      | 64 | (64M : 512k × 32 ビット × 4) × 2 | a[23:22] * |
| 4   | –      | 32 | (64M : 512k × 32 ビット × 4) × 1 | a[22:21] * |
| 5   | –      | 64 | (64M : 1M × 32 ビット × 2) × 2   | a[23] *    |
| 5   | –      | 32 | (64M : 1M × 32 ビット × 2) × 1   | a[22] *    |
| 6   | –      | 64 | 予約 (設定禁止)                     |            |
| 6   | –      | 32 | 予約 (設定禁止)                     |            |
| 7   | –      | 64 | (16M : 256k × 32 ビット × 2) × 2 | a[21] *    |
| 7   | –      | 32 | (16M : 256k × 32 ビット × 2) × 1 | a[20] *    |

【注】 \* a[\*] : 物理アドレス

#### ビット 2 : リフレッシュ制御 (RFSH)

リフレッシュ制御を指定します。DRAM、シンクロナス DRAM に対するリフレッシュを行うかどうかを設定します。また、リフレッシュ機能を使わない場合、リフレッシュ要求周期発生用のタイマをインターバルタイマとしても使用できます。

| ビット 2 | 機 能                |
|-------|--------------------|
| RFSH  |                    |
| 0     | リフレッシュを行いません (初期値) |
| 1     | リフレッシュを行います        |

## ビット1: リフレッシュモード (RMODE)

本ビットは、RFSH ビット=1 のとき、通常のリフレッシュを行うか、セルフリフレッシュを行うかを指定します。RFSH ビット=1 かつ本ビット=0 とすると、DRAM、シンクロナス DRAM に対して、CAS ビフォ RAS リフレッシュもしくはオートリフレッシュを、リフレッシュ関連レジスタ RTCNT、RTCOR および RTCSR で設定した周期で行います。外部バスサイクルを行っている最中にリフレッシュ要求が発生した場合は、バスサイクルが終了してからリフレッシュサイクルを行います。また、RFSH ビット=1 かつ本ビット=1 とすると、外部バスサイクルの実行中の場合はその終了を待ってから DRAM、シンクロナス DRAM に対して、セルフリフレッシュ状態になります。なお、セルフリフレッシュ状態のメモリに対するリフレッシュ要求はすべて無視されます。

| ビット 1 | 機 能  |
|-------|--|
| RMODE |  |
| 0     | CAS ビフォ RAS リフレッシュを行います (ただし、RFSH=1 の場合) (初期値) |
| 1     | セルフリフレッシュを実行します (ただし、RFSH=1 の場合)               |

## ビット0: EDOモード (EDOMODE)

EDO モードの DRAM を使用する場合はデータリード時のデータサンプリングタイミングの指定に使用します。本ビットを設定しても DRAM 以外のメモリの動作タイミングは変わりません。なお、DRAM 使用時以外は、本ビットは 1 に設定しないでください。

## 13.2.7 PCMCIA コントロールレジスタ (PCR)

PCMCIA コントロールレジスタ (PCR) は、読み出し / 書き込み可能な 16 ビットのレジスタで、エリア 5、6 に接続する PCMCIA インタフェースに対する  $\overline{OE}$ 、 $\overline{WE}$  信号のアサート / ネゲートタイミングを指定します。なお、 $\overline{OE}$ 、 $\overline{WE}$  信号のアサート幅は、WCR2 レジスタのウェイトコントロールビットで設定します。

PCR レジスタは、パワーオンリセットで H'0000 に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。

|      |            |            |            |            |            |            |            |            |            |            |            |            |            |            |            |            |
|------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|------------|
| ビット: | 15         | 14         | 13         | 12         | 11         | 10         | 9          | 8          | 7          | 6          | 5          | 4          | 3          | 2          | 1          | 0          |
|      | A5<br>PCW1 | A5<br>PCW0 | A6<br>PCW1 | A6<br>PCW0 | A5<br>TED2 | A5<br>TED1 | A5<br>TED0 | A6<br>TED2 | A6<br>TED1 | A6<br>TED0 | A5<br>TEH2 | A5<br>TEH1 | A5<br>TEH0 | A6<br>TEH2 | A6<br>TEH1 | A6<br>TEH0 |
| 初期値: | 0          | 0          | 0          | 0          | 0          | 0          | 0          | 0          | 0          | 0          | 0          | 0          | 0          | 0          | 0          | 0          |
| R/W: | R/W        | R/W        | R/W        | R/W        | R/W        | R/W        | R/W        | R/W        | R/W        | R/W        | R/W        | R/W        | R/W        | R/W        | R/W        | R/W        |

## ビット15、14: PCMCIAウェイト (A5PCW1、A5PCW0)

低速な PCMCIA 用ウェイトサイクルで、WCR2 で指定したウェイト数に加算されます。

ページテーブルエントリアシスタンスレジスタ (PTEA) の TC ビットが 0 のとき、このビットの設定が選択されます。

| ビット 15 | ビット 14 | 挿入ウェイト  |
|--------|--------|---------|
| A5PCW1 | A5PCW0 |         |
| 0      | 0      | 0 (初期値) |
| 0      | 1      | 15      |
| 1      | 0      | 30      |
| 1      | 1      | 50      |



### 13. バスステートコントローラ (BSC)

ビット13、12 : PCMCIAウェイト (A6PCW1、A6PCW0)

低速な PCMCIA 用ウェイトサイクルで、WCR2 で指定したウェイト数に加算されます。

ページテーブルエントリアシスタンスレジスタ (PTEA) の TC ビットが 1 のとき、このビットの設定が選択されます。

| ビット 13 | ビット 12 | 挿入ウェイト<br>(初期値) |
|--------|--------|-----------------|
| A6PCW1 | A6PCW0 |                 |
| 0      | 0      | 0               |
| 0      | 1      | 15              |
| 1      | 0      | 30              |
| 1      | 1      | 50              |

ビット11～9 : アドレス  $\overline{OE}/\overline{WE}$ アサート遅延 (A5TED2～A5TED0)

接続された PCMCIA インタフェースにおけるアドレス出力から、 $\overline{OE}/\overline{WE}$  アサートまでの遅延時間を設定します。

PTEA の TC ビットが 0 のとき、このビットの設定が選択されます。

| ビット 11 | ビット 10 | ビット 9  | 挿入ウェイト数<br>(初期値) |
|--------|--------|--------|------------------|
| A5TED2 | A5TED1 | A5TED0 |                  |
| 0      | 0      | 0      | 0                |
| 0      | 0      | 1      | 1                |
| 0      | 1      | 0      | 2                |
| 0      | 1      | 1      | 3                |
| 1      | 0      | 0      | 6                |
| 1      | 0      | 1      | 9                |
| 1      | 1      | 0      | 12               |
| 1      | 1      | 1      | 15               |

ビット8～6 : アドレス  $\overline{OE}/\overline{WE}$ アサート遅延 (A6TED2～A6TED0)

接続された PCMCIA インタフェースにおけるアドレス出力から、 $\overline{OE}/\overline{WE}$  アサートまでの遅延時間を設定します。

PTEA の TC ビットが 1 のとき、このビットの設定が選択されます。

| ビット 8  | ビット 7  | ビット 6  | 挿入ウェイト数<br>(初期値) |
|--------|--------|--------|------------------|
| A6TED2 | A6TED1 | A6TED0 |                  |
| 0      | 0      | 0      | 0                |
| 0      | 0      | 1      | 1                |
| 0      | 1      | 0      | 2                |
| 0      | 1      | 1      | 3                |
| 1      | 0      | 0      | 6                |
| 1      | 0      | 1      | 9                |
| 1      | 1      | 0      | 12               |
| 1      | 1      | 1      | 15               |

ビット5～3 :  $\overline{OE}/\overline{WE}$ ネゲート アドレス遅延 (A5TEH2～A5TEH0)

接続された PCMCIA インタフェースにおけるライト時および I/O カードリード時の  $\overline{OE}/\overline{WE}$  ネゲートからのアドレスホールド遅延時間を設定します。メモ리카ードリード時は、データサンプリングタイミングからのアドレスホールド遅延時間を設定します。

PTEA の TC ビットが 0 のとき、このビットの設定が選択されます。

| ビット 5  | ビット 4  | ビット 3  | 挿入ウェイト数 |
|--------|--------|--------|---------|
| A5TEH2 | A5TEH1 | A5TEH0 |         |
| 0      | 0      | 0      | 0 (初期値) |
| 0      | 0      | 1      | 1       |
| 0      | 1      | 0      | 2       |
| 0      | 1      | 1      | 3       |
| 1      | 0      | 0      | 6       |
| 1      | 0      | 1      | 9       |
| 1      | 1      | 0      | 12      |
| 1      | 1      | 1      | 15      |

ビット2～0 :  $\overline{OE}/\overline{WE}$ ネゲート アドレス遅延 (A6TEH2～A6TEH0)

接続された PCMCIA インタフェースにおけるライト時および I/O カードリード時の  $\overline{OE}/\overline{WE}$  ネゲートからのアドレスホールド遅延時間を設定します。メモ리카ードリード時は、データサンプリングタイミングからのアドレスホールド遅延時間を設定します。

PTEA の TC ビットが 1 のとき、このビットの設定が選択されます。

| ビット 2  | ビット 1  | ビット 0  | 挿入ウェイト数 |
|--------|--------|--------|---------|
| A6TEH2 | A6TEH1 | A6TEH0 |         |
| 0      | 0      | 0      | 0 (初期値) |
| 0      | 0      | 1      | 1       |
| 0      | 1      | 0      | 2       |
| 0      | 1      | 1      | 3       |
| 1      | 0      | 0      | 6       |
| 1      | 0      | 1      | 9       |
| 1      | 1      | 0      | 12      |
| 1      | 1      | 1      | 15      |

## 13.2.8 シンクロナス DRAM モードレジスタ (SDMR)

シンクロナス DRAM モードレジスタ (SDMR) は、シンクロナス DRAM のアドレスバスを介して書き込むモードレジスタで、書き込みのみ可能な仮想的な 16 ビットのレジスタです。エリア 2 およびエリア 3 のシンクロナス DRAM のモードを設定します。

SDMR レジスタに対する設定は、シンクロナス DRAM に対してアクセスを行う前に必ず行ってください。

|       |                          |                          |                          |                          |                          |                          |                          |                          |                          |                          |                          |                          |                          |                          |                          |                          |
|-------|--------------------------|--------------------------|--------------------------|--------------------------|--------------------------|--------------------------|--------------------------|--------------------------|--------------------------|--------------------------|--------------------------|--------------------------|--------------------------|--------------------------|--------------------------|--------------------------|
| ビット : | 15                       | 14                       | 13                       | 12                       | 11                       | 10                       | 9                        | 8                        | 7                        | 6                        | 5                        | 4                        | 3                        | 2                        | 1                        | 0                        |
|       | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> | <input type="checkbox"/> |
| 初期値 : | —                        | —                        | —                        | —                        | —                        | —                        | —                        | —                        | —                        | —                        | —                        | —                        | —                        | —                        | —                        | —                        |
| R/W : | W                        | W                        | W                        | W                        | W                        | W                        | W                        | W                        | W                        | W                        | W                        | W                        | W                        | W                        | W                        | W                        |

### 13. バスステートコントローラ (BSC)

シンクロナス DRAM のモードレジスタに対する書き込みは、データバスからではなくアドレスバスを用いるため、設定したい値を"X"、SDMR レジスタのアドレスを"Y"とすると、X + Y 番地に書き込みを行うことによって、値"X"がシンクロナス DRAM のモードレジスタに書き込まれます。なお、シンクロナス DRAM のバス幅が 32 ビットに設定されている場合、本 LSI の A2 にシンクロナス DRAM の A0 が、本 LSI の A3 にシンクロナス DRAM の A1 が接続されるため、実際には"X"を右に 2 ビットシフトした値がシンクロナス DRAM に書き込まれます。

たとえば、エリア 2 の SDMR レジスタに H'0230 を書き込む場合は、H'FF900000 (アドレス"Y") + H'08C0 (値"X") (= H'FF9008C0) 番地に任意のデータを書き込みます。この結果、SDMR レジスタに H'0230 が書き込まれます。値"X"の範囲は H'0000 ~ H'0FFC です。

また、エリア 3 の SDMR レジスタに H'0230 を書き込む場合は、H'FF940000 (アドレス"Y") + H'08C0 (値"X") (= H'FF9408C0) 番地に任意のデータを書き込みます。この結果、SDMR レジスタに H'0230 が書き込まれます。値"X"の範囲は H'0000 ~ H'0FFC です。

アドレスの下位 16 ビットが、シンクロナス DRAM モードレジスタにセットされます。

#### 32ビットバスの場合



#### 64ビットバスの場合



LMODE : RAS-CASレイテンシ  
 BL : バースト長  
 WT : ラップタイプ (0 : シーケンシャル)

|          |          |
|----------|----------|
| BL       | LMODE    |
| 000 : 予約 | 000 : 予約 |
| 001 : 予約 | 001 : 1  |
| 010 : 4  | 010 : 2  |
| 011 : 8  | 011 : 3  |
| 100 : 予約 | 100 : 予約 |
| 101 : 予約 | 101 : 予約 |
| 110 : 予約 | 110 : 予約 |
| 111 : 予約 | 111 : 予約 |

### 13.2.9 リフレッシュタイムコントロール/ステータスレジスタ (RTCSR)

リフレッシュタイムコントロール/ステータスレジスタ (RTCSR) は、読み出し/書き込み可能な 16 ビットのレジスタで、リフレッシュ周期、割り込み発生の有無を指定します。

RTCSR は、パワーオンリセットで H'0000 に初期化されますが、マニュアルリセットおよびスタンバイモード時には初期化されません。

|      |    |    |    |    |    |    |   |   |     |      |      |      |      |     |      |      |
|------|----|----|----|----|----|----|---|---|-----|------|------|------|------|-----|------|------|
| ビット: | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7   | 6    | 5    | 4    | 3    | 2   | 1    | 0    |
|      | —  | —  | —  | —  | —  | —  | — | — | CMF | CMIE | CKS2 | CKS1 | CKS0 | OVF | OVIE | LMTS |
| 初期値: | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 | 0   | 0    | 0    | 0    | 0    | 0   | 0    | 0    |
| R/W: | —  | —  | —  | —  | —  | —  | — | — | R/W | R/W  | R/W  | R/W  | R/W  | R/W | R/W  | R/W  |

#### ビット15~8: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値については、「13.2.13 リフレッシュコントロール関連レジスタアクセス時の注意」を参照してください。

#### ビット7: コンペアマッチフラグ (CMF)

リフレッシュタイムカウンタ (RTCNT) とリフレッシュタイムコンスタントレジスタ (RTCOR) の値が一致したことを示すステータスフラグです。

| ビット 7 | 機 能   |
|-------|---|
| CMF   |   |
| 0     | RTCNT と RTCOR の値が一致していないことを示します (初期値)<br>[クリア条件] CMF に 0 を書き込んだ場合 |
| 1     | RTCNT と RTCOR の値が一致したことを示します<br>[セット条件] RTCNT = RTCOR の場合*        |

【注】 \* 1 を書き込むと、元の値が保持されます。

#### ビット6: コンペアマッチインタラプトイネーブル (CMIE)

RTCSR の CMF が 1 にセットされたとき、割り込み要求を発生するか抑止するかを制御します。CAS ビフォ RAS リフレッシュ、もしくはオートリフレッシュを行っている場合は、本ビットを 1 にしないでください。

| ビット 6 | 機 能                    |
|-------|------------------------|
| CMIE  |                        |
| 0     | CMF による割り込み要求を禁止 (初期値) |
| 1     | CMF による割り込み要求を許可       |

### 13. バスステートコントローラ (BSC)

#### ビット5～3：クロックセレクトビット (CKS2～CKS0)

RTCNT への入力クロックを選択します。元となるクロックは外部バスクロック (CKIO) です。この CKIO を指定した比率で分周したものが、RTCNT のカウントクロックとなります。

| ビット 5 | ビット 4 | ビット 3 | 機 能              |
|-------|-------|-------|------------------|
| CKS2  | CKS1  | CKS0  |                  |
| 0     | 0     | 0     | クロック入力禁止 (初期値)   |
| 0     | 0     | 1     | バスクロック (CKIO) /4 |
| 0     | 1     | 0     | CKIO/16          |
| 0     | 1     | 1     | CKIO/64          |
| 1     | 0     | 0     | CKIO/256         |
| 1     | 0     | 1     | CKIO/1024        |
| 1     | 1     | 0     | CKIO/2048        |
| 1     | 1     | 1     | CKIO/4096        |

#### ビット2：リフレッシュカウントオーバーフローフラグ (OVF)

リフレッシュカウントレジスタ (RFCR) で示されるリフレッシュ要求回数が、RTCSR の LMTS で示される回数を超えたことを示すステータスフラグです。

| ビット 2 | 機 能  |
|-------|--|
| OVF   |  |
| 0     | LMTS で示すカウントリミット値を、RFCR がオーバーフローしていないことを示します<br>[クリア条件] OVF に 0 を書き込んだとき (初期値)             |
| 1     | LMTS で示すカウントリミット値を、RFCR がオーバーフローしたことを示します<br>[セット条件] LMTS で示すカウントリミット値を、RFCR がオーバーフローしたとき* |

【注】 \* 1 を書き込むと、元の値が保持されます。

#### ビット1：リフレッシュカウントオーバーフローインタラプトイネーブル (OVIE)

RTCSR の OVF が 1 にセットされたときに、OVF による割り込み要求を発生させるか抑止するかを制御します。

| ビット 1 | 機 能                       |
|-------|---------------------------|
| OVIE  |                           |
| 0     | OVF による割り込み要求を禁止します (初期値) |
| 1     | OVF による割り込み要求を許可します       |

#### ビット0：リフレッシュカウントオーバーフローリミットセレクト (LMTS)

リフレッシュカウントレジスタ (RFCR) で示されるリフレッシュ回数と比較するカウントリミット値を示します。RFCR レジスタがこの LMTS で指定される値をオーバーフローすると OVF フラグがセットされます。

| ビット 0 | 機 能                        |
|-------|----------------------------|
| LMTS  |                            |
| 0     | カウントリミット値を 1024 とします (初期値) |
| 1     | カウントリミット値を 512 とします        |

### 13.2.10 リフレッシュタイマカウンタ (RTCNT)

リフレッシュタイマカウンタ (RTCNT) は入力したクロックによりカウントアップします。読み出し / 書き込み可能な 8 ビットのカウンタです。入力クロックは RTCSR レジスタの CKS (2~0) ビットで選択します。RTCNT カウンタが RTCOR レジスタと一致すると、RTCSR レジスタの CMF ビットをセットした後、RTCNT カウンタはクリアされます。

RTCNT カウンタは、パワーオンリセット時は H'0000 に初期化されます。マニュアルリセット時はカウントアップを続けます。スタンバイモード時は、初期化されず、内容が保持されます。

|      |    |    |    |    |    |    |   |   |     |     |     |     |     |     |     |     |
|------|----|----|----|----|----|----|---|---|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット: | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|      | —  | —  | —  | —  | —  | —  | — | — |     |     |     |     |     |     |     |     |
| 初期値: | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |
| R/W: | —  | —  | —  | —  | —  | —  | — | — | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

### 13.2.11 リフレッシュタイムコンスタントレジスタ (RTCOR)

リフレッシュタイムコンスタントレジスタ (RTCOR) は、RTCNT カウンタの上限値を指定する読み出し / 書き込み可能なレジスタです。RTCOR レジスタと RTCNT カウンタの値 (下位 8 ビット) は常に比較され、一致すると RTCSR レジスタの CMF ビットをセットして、RTCNT カウンタを 0 にクリアします。個別メモリコントロールレジスタのリフレッシュビット (RFSH) が 1 にセットされており、かつリフレッシュモードが CAS ビフォ RAS に設定されていると、この CMF ビットがセットされたときにメモリリフレッシュサイクルが発生します。

RTCOR レジスタは、パワーオンリセット時は H'0000 に初期化されます。マニュアルリセットおよびスタンバイモード時は、初期化されず、内容が保持されます。

|      |    |    |    |    |    |    |   |   |     |     |     |     |     |     |     |     |
|------|----|----|----|----|----|----|---|---|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット: | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|      | —  | —  | —  | —  | —  | —  | — | — |     |     |     |     |     |     |     |     |
| 初期値: | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |
| R/W: | —  | —  | —  | —  | —  | —  | — | — | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

### 13.2.12 リフレッシュカウントレジスタ (RFCR)

リフレッシュカウントレジスタ (RFCR) はリフレッシュ回数をカウントします。読み出し / 書き込み可能な 10 ビットのカウンタです。RTCOR レジスタと RTCNT カウンタの値が一致する度にカウントアップします。RFCR レジスタが RTCSR レジスタの LMTS ビットで指定したカウントリミット値を超えると、RTCSR レジスタの OVF フラグをセットして、RFCR レジスタはクリアされます。

RFCR レジスタは、パワーオンリセット時は H'0000 に初期化されます。マニュアルリセットおよびスタンバイモード時は、初期化されず、内容が保持されます。

|      |    |    |    |    |    |    |     |     |     |     |     |     |     |     |     |     |
|------|----|----|----|----|----|----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット: | 15 | 14 | 13 | 12 | 11 | 10 | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|      | —  | —  | —  | —  | —  | —  |     |     |     |     |     |     |     |     |     |     |
| 初期値: | 0  | 0  | 0  | 0  | 0  | 0  | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |
| R/W: | —  | —  | —  | —  | —  | —  | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

## 13.2.13 リフレッシュコントロール関連レジスタアクセス時の注意

リフレッシュタイムコントロール/ステータスレジスタ (RTCSR)、リフレッシュタイムカウンタ (RTCNT)、リフレッシュタイムコンスタントレジスタ (RTCOR)、リフレッシュカウントレジスタ (RFCR) は、プログラムが暴走したときなどに誤って書き換えられないように、書き込み時に特定のコードをデータに付加する必要があります。次の方法で、書き込み/読み出しを行ってください。

## (1) RTCSR、RTCNT、RTCOR、RFCR への書き込み

RTCSR、RTCNT、RTCOR、RFCR へ書き込むときは、必ずワード転送命令を使用してください。バイト転送命令では、書き込めません。

図 13.4 に示すように、RTCSR、RTCNT、RTCOR に書き込むときは、上位バイトを B'10100101 にし、下位バイトを書き込みデータにしてください。RFCR に書き込むときは、上位バイトの MSB から 6 ビットを B'101001 にし、残りを書き込みデータにしてください。

|                           |    |    |    |    |    |    |         |   |         |   |   |   |   |   |   |   |
|---------------------------|----|----|----|----|----|----|---------|---|---------|---|---|---|---|---|---|---|
| RTCSR、<br>RTCNT、<br>RTCOR | 15 | 14 | 13 | 12 | 11 | 10 | 9       | 8 | 7       | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|                           | 1  | 0  | 1  | 0  | 0  | 1  | 0       | 1 | 書き込みデータ |   |   |   |   |   |   |   |
| RFCR                      | 15 | 14 | 13 | 12 | 11 | 10 | 9       | 8 | 7       | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|                           | 1  | 0  | 1  | 0  | 0  | 1  | 書き込みデータ |   |         |   |   |   |   |   |   |   |

図 13.4 RTCSR、RTCNT、RTCOR、RFCR への書き込み

## (2) RTCSR、RTCNT、RTCOR、RFCR からの読み出し

RTCSR、RTCNT、RTCOR、RFCR からの読み出しは、16 ビットで行ってください。定義されていないビット部分は 0 が読み出されます。

## 13.3 動作説明

### 13.3.1 エンディアン / アクセスサイズとデータアライメント

本 LSI では、バイトデータの並び方を上位バイト (MSByte) が 0 番地側になるビッグエンディアン、下位バイト (LSByte) が 0 番地側になるリトルエンディアンのいずれもサポートしています。この切り換えは、外部ピン (MD5 ピン) でパワーオンリセット時に設定します。パワーオンリセット時、MD5 端子がローレベルのときビッグエンディアンになり、MD5 端子がハイレベルのときリトルエンディアンになります。

また、データバス幅は、通常メモリとしては 8 ビット、16 ビット、32 ビット、64 ビット幅の 4 種類から選べ、DRAM も 16 ビット、32 ビット、64 ビット幅の 3 種類から選べます。シンクロナス DRAM は 32 ビット、64 ビット幅から選べます。また、PCMCIA インタフェースの場合は 8 ビット、16 ビット幅の 2 種類から選べます。データのアライメントは、各デバイスのデータバス幅およびエンディアンに合わせて行われます。したがって、8 ビット幅のデバイスからロングワードデータを読み出すためには 4 回の読み出し動作が必要です。本 LSI では、それぞれのインタフェース間で、データのアライメントおよびデータ長の変換を自動的に行います。

エンディアンとデバイスのデータ幅とアクセスの単位との関係を表 13.6 ~ 表 13.13 に示します。

表 13.6 (1) 64 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント

| 動作               | No. | データバス       |             |             |             |             |             |            |           |
|------------------|-----|-------------|-------------|-------------|-------------|-------------|-------------|------------|-----------|
|                  |     | D63 ~ 56    | D55 ~ 48    | D47 ~ 40    | D39 ~ 32    | D31 ~ 24    | D23 ~ 16    | D15 ~ 8    | D7 ~ 0    |
| バイト, Adr=8n      | 1   | データ 7 ~ 0   | -           | -           | -           | -           | -           | -          | -         |
| バイト, Adr=8n+1    | 1   | -           | データ 7 ~ 0   | -           | -           | -           | -           | -          | -         |
| バイト, Adr=8n+2    | 1   | -           | -           | データ 7 ~ 0   | -           | -           | -           | -          | -         |
| バイト, Adr=8n+3    | 1   | -           | -           | -           | データ 7 ~ 0   | -           | -           | -          | -         |
| バイト, Adr=8n+4    | 1   | -           | -           | -           | -           | データ 7 ~ 0   | -           | -          | -         |
| バイト, Adr=8n+5    | 1   | -           | -           | -           | -           | -           | データ 7 ~ 0   | -          | -         |
| バイト, Adr=8n+6    | 1   | -           | -           | -           | -           | -           | -           | データ 7 ~ 0  | -         |
| バイト, Adr=8n+7    | 1   | -           | -           | -           | -           | -           | -           | -          | データ 7 ~ 0 |
| ワード, Adr=8n      | 1   | データ 15 ~ 8  | データ 7 ~ 0   | -           | -           | -           | -           | -          | -         |
| ワード, Adr=8n+2    | 1   | -           | -           | データ 15 ~ 8  | データ 7 ~ 0   | -           | -           | -          | -         |
| ワード, Adr=8n+4    | 1   | -           | -           | -           | -           | データ 15 ~ 8  | データ 7 ~ 0   | -          | -         |
| ワード, Adr=8n+6    | 1   | -           | -           | -           | -           | -           | -           | データ 15 ~ 8 | データ 7 ~ 0 |
| ロングワード, Adr=8n   | 1   | データ 31 ~ 24 | データ 23 ~ 16 | データ 15 ~ 8  | データ 7 ~ 0   | -           | -           | -          | -         |
| ロングワード, Adr=8n+4 | 1   | -           | -           | -           | -           | データ 31 ~ 24 | データ 23 ~ 16 | データ 15 ~ 8 | データ 7 ~ 0 |
| クワッドワード, Adr=8n  | 1   | データ 63 ~ 56 | データ 55 ~ 48 | データ 47 ~ 40 | データ 39 ~ 32 | データ 31 ~ 24 | データ 23 ~ 16 | データ 15 ~ 8 | データ 7 ~ 0 |



### 13. バスステートコントローラ (BSC)

表 13.6 (2) 64 ビット外部デバイス / ビッグエンディアンへのアクセスとデータアライメント

| 動作                  | No. | ストロープ信号               |                       |                       |                       |                       |                       |                       |                       |
|---------------------|-----|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|-----------------------|
|                     |     | WE7、<br>CAS7、<br>DQM7 | WE6、<br>CAS6、<br>DQM6 | WE5、<br>CAS5、<br>DQM5 | WE4、<br>CAS4、<br>DQM4 | WE3、<br>CAS3、<br>DQM3 | WE2、<br>CAS2、<br>DQM2 | WE1、<br>CAS1、<br>DQM1 | WE0、<br>CAS0、<br>DQM0 |
| バイト、Adr=8n          | 1   | アサート                  |                       |                       |                       |                       |                       |                       |                       |
| バイト、Adr=8n+1        | 1   |                       | アサート                  |                       |                       |                       |                       |                       |                       |
| バイト、Adr=8n+2        | 1   |                       |                       | アサート                  |                       |                       |                       |                       |                       |
| バイト、Adr=8n+3        | 1   |                       |                       |                       | アサート                  |                       |                       |                       |                       |
| バイト、Adr=8n+4        | 1   |                       |                       |                       |                       | アサート                  |                       |                       |                       |
| バイト、Adr=8n+5        | 1   |                       |                       |                       |                       |                       | アサート                  |                       |                       |
| バイト、Adr=8n+6        | 1   |                       |                       |                       |                       |                       |                       | アサート                  |                       |
| バイト、Adr=8n+7        | 1   |                       |                       |                       |                       |                       |                       |                       | アサート                  |
| ワード、Adr=8n          | 1   | アサート                  | アサート                  |                       |                       |                       |                       |                       |                       |
| ワード、Adr=8n+2        | 1   |                       |                       | アサート                  | アサート                  |                       |                       |                       |                       |
| ワード、Adr=8n+4        | 1   |                       |                       |                       |                       | アサート                  | アサート                  |                       |                       |
| ワード、Adr=8n+6        | 1   |                       |                       |                       |                       |                       |                       | アサート                  | アサート                  |
| ロングワード、<br>Adr=8n   | 1   | アサート                  | アサート                  | アサート                  | アサート                  |                       |                       |                       |                       |
| ロングワード、<br>Adr=8n+4 | 1   |                       |                       |                       |                       | アサート                  | アサート                  | アサート                  | アサート                  |
| クワッドワード、<br>Adr=8n  | 1   | アサート                  | アサート                  | アサート                  | アサート                  | アサート                  | アサート                  | アサート                  | アサート                  |

表 13.7 32 ビット外部デバイス / ビッグエンディアンへのアクセスとデータアライメント

| 動作                | No. | データバス          |                |                 |                | ストロープ信号               |                       |                       |                       |
|-------------------|-----|----------------|----------------|-----------------|----------------|-----------------------|-----------------------|-----------------------|-----------------------|
|                   |     | D31 ~ 24       | D23 ~ 16       | D15 ~ 8         | D7 ~ 0         | WE3、<br>CAS3、<br>DQM3 | WE2、<br>CAS2、<br>DQM2 | WE1、<br>CAS1、<br>DQM1 | WE0、<br>CAS0、<br>DQM0 |
| バイト、Adr=4n        | 1   | データ 7 ~ 0      | -              | -               | -              | アサート                  |                       |                       |                       |
| バイト、Adr=4n+1      | 1   | -              | データ 7 ~ 0      | -               | -              |                       | アサート                  |                       |                       |
| バイト、Adr=4n+2      | 1   | -              | -              | データ 7 ~ 0       | -              |                       |                       | アサート                  |                       |
| バイト、Adr=4n+3      | 1   | -              | -              | -               | データ 7 ~ 0      |                       |                       |                       | アサート                  |
| ワード、Adr=4n        | 1   | データ<br>15 ~ 8  | データ 7 ~ 0      | -               | -              | アサート                  | アサート                  |                       |                       |
| ワード、Adr=4n+2      | 1   | -              | -              | データ<br>15 ~ 8   | データ 7 ~ 0      |                       |                       | アサート                  | アサート                  |
| ロングワード、<br>Adr=4n | 1   | データ<br>31 ~ 24 | データ<br>23 ~ 16 | データ<br>15 ~ 8   | データ 7 ~ 0      | アサート                  | アサート                  | アサート                  | アサート                  |
| クワッドワード           | 1   | データ<br>63 ~ 56 | データ<br>55 ~ 48 | データ 4<br>7 ~ 40 | データ 39 ~<br>32 | アサート                  | アサート                  | アサート                  | アサート                  |
|                   | 2   | データ<br>31 ~ 24 | データ<br>23 ~ 16 | データ<br>15 ~ 8   | データ 7 ~ 0      | アサート                  | アサート                  | アサート                  | アサート                  |

表 13.8 16 ビット外部デバイス / ビッグエンディアンのアクセスとデータアライメント

| 動作           | No. | データバス    |          |                |                | ストロープ信号               |                       |                       |                       |
|--------------|-----|----------|----------|----------------|----------------|-----------------------|-----------------------|-----------------------|-----------------------|
|              |     | D31 ~ 24 | D23 ~ 16 | D15 ~ 8        | D7 ~ 0         | WE3、<br>CAS3、<br>DQM3 | WE2、<br>CAS2、<br>DQM2 | WE1、<br>CAS1、<br>DQM1 | WE0、<br>CAS0、<br>DQM0 |
| バイト、Adr=2n   | 1   | -        | -        | データ 7 ~ 0      | -              |                       |                       | アサート                  |                       |
| バイト、Adr=2n+1 | 1   | -        | -        | -              | データ 7 ~ 0      |                       |                       |                       | アサート                  |
| ワード          | 1   | -        | -        | データ<br>15 ~ 8  | データ 7 ~ 0      |                       |                       | アサート                  | アサート                  |
| ロングワード       | 1   | -        | -        | データ<br>31 ~ 24 | データ<br>23 ~ 16 |                       |                       | アサート                  | アサート                  |
|              | 2   | -        | -        | データ<br>15 ~ 8  | データ 7 ~ 0      |                       |                       | アサート                  | アサート                  |
| クワッドワード      | 1   | -        | -        | データ<br>63 ~ 56 | データ<br>55 ~ 48 |                       |                       | アサート                  | アサート                  |
|              | 2   | -        | -        | データ<br>47 ~ 40 | データ<br>39 ~ 32 |                       |                       | アサート                  | アサート                  |
|              | 3   | -        | -        | データ<br>31 ~ 24 | データ<br>23 ~ 16 |                       |                       | アサート                  | アサート                  |
|              | 4   | -        | -        | データ<br>15 ~ 8  | データ<br>7 ~ 0   |                       |                       | アサート                  | アサート                  |

### 13. バスステートコントローラ (BSC)

表 13.9 8 ビット外部デバイス / ビッグエンディアンへのアクセスとデータアライメント

| 動作      | No. | データバス    |          |         |                | ストローク信号               |                       |                       |                       |
|---------|-----|----------|----------|---------|----------------|-----------------------|-----------------------|-----------------------|-----------------------|
|         |     | D31 ~ 24 | D23 ~ 16 | D15 ~ 8 | D7 ~ 0         | WE3、<br>CAS3、<br>DQM3 | WE2、<br>CAS2、<br>DQM2 | WE1、<br>CAS1、<br>DQM1 | WE0、<br>CAS0、<br>DQM0 |
| バイト     | 1   | -        | -        | -       | データ 7 ~ 0      |                       |                       |                       | アサート                  |
| ワード     | 1   | -        | -        | -       | データ<br>15 ~ 8  |                       |                       |                       | アサート                  |
|         | 2   | -        | -        | -       | データ 7 ~ 0      |                       |                       |                       | アサート                  |
| ロングワード  | 1   | -        | -        | -       | データ<br>31 ~ 24 |                       |                       |                       | アサート                  |
|         | 2   | -        | -        | -       | データ<br>23 ~ 16 |                       |                       |                       | アサート                  |
|         | 3   | -        | -        | -       | データ<br>15 ~ 8  |                       |                       |                       | アサート                  |
|         | 4   | -        | -        | -       | データ 7 ~ 0      |                       |                       |                       | アサート                  |
| クワッドワード | 1   | -        | -        | -       | データ<br>63 ~ 56 |                       |                       |                       | アサート                  |
|         | 2   | -        | -        | -       | データ<br>55 ~ 48 |                       |                       |                       | アサート                  |
|         | 3   | -        | -        | -       | データ<br>47 ~ 40 |                       |                       |                       | アサート                  |
|         | 4   | -        | -        | -       | データ<br>39 ~ 32 |                       |                       |                       | アサート                  |
|         | 5   | -        | -        | -       | データ<br>31 ~ 24 |                       |                       |                       | アサート                  |
|         | 6   | -        | -        | -       | データ<br>23 ~ 16 |                       |                       |                       | アサート                  |
|         | 7   | -        | -        | -       | データ<br>15 ~ 8  |                       |                       |                       | アサート                  |
|         | 8   | -        | -        | -       | データ 7 ~ 0      |                       |                       |                       | アサート                  |

### 13. バスステートコントローラ (BSC)

表 13.10 64 ビット外部デバイス / リトルエンディアンのアクセスとアライメント

| 動作              | No. | データバス       |             |             |             |             |             |            |           |
|-----------------|-----|-------------|-------------|-------------|-------------|-------------|-------------|------------|-----------|
|                 |     | D63 ~ 56    | D55 ~ 48    | D47 ~ 40    | D39 ~ 32    | D31 ~ 24    | D23 ~ 16    | D15 ~ 8    | D7 ~ 0    |
| バイト、Adr=8n      | 1   | -           | -           | -           | -           | -           | -           | -          | データ 7 ~ 0 |
| バイト、Adr=8n+1    | 1   | -           | -           | -           | -           | -           | -           | データ 7 ~ 0  | -         |
| バイト、Adr=8n+2    | 1   | -           | -           | -           | -           | -           | データ 7 ~ 0   | -          | -         |
| バイト、Adr=8n+3    | 1   | -           | -           | -           | -           | データ 7 ~ 0   | -           | -          | -         |
| バイト、Adr=8n+4    | 1   | -           | -           | -           | データ 7 ~ 0   | -           | -           | -          | -         |
| バイト、Adr=8n+5    | 1   | -           | -           | データ 7 ~ 0   | -           | -           | -           | -          | -         |
| バイト、Adr=8n+6    | 1   | -           | データ 7 ~ 0   | -           | -           | -           | -           | -          | -         |
| バイト、Adr=8n+7    | 1   | データ 7 ~ 0   | -           | -           | -           | -           | -           | -          | -         |
| ワード、Adr=8n      | 1   | -           | -           | -           | -           | -           | -           | データ 15 ~ 8 | データ 7 ~ 0 |
| ワード、Adr=8n+2    | 1   | -           | -           | -           | -           | データ 15 ~ 8  | データ 7 ~ 0   | -          | -         |
| ワード、Adr=8n+4    | 1   | -           | -           | データ 15 ~ 8  | データ 7 ~ 0   | -           | -           | -          | -         |
| ワード、Adr=8n+6    | 1   | データ 15 ~ 8  | データ 7 ~ 0   | -           | -           | -           | -           | -          | -         |
| ロングワード、Adr=8n   | 1   | -           | -           | -           | -           | データ 31 ~ 24 | データ 23 ~ 16 | データ 15 ~ 8 | データ 7 ~ 0 |
| ロングワード、Adr=8n+4 | 1   | データ 31 ~ 24 | データ 23 ~ 16 | データ 15 ~ 8  | データ 7 ~ 0   | -           | -           | -          | -         |
| クワッドワード、Adr=8n  | 1   | データ 63 ~ 56 | データ 55 ~ 48 | データ 47 ~ 40 | データ 39 ~ 32 | データ 31 ~ 24 | データ 23 ~ 16 | データ 15 ~ 8 | データ 7 ~ 0 |

| 動作              | No. | ストローブ信号       |               |               |               |               |               |               |               |
|-----------------|-----|---------------|---------------|---------------|---------------|---------------|---------------|---------------|---------------|
|                 |     | WE7、CAS7、DQM7 | WE6、CAS6、DQM6 | WE5、CAS5、DQM5 | WE4、CAS4、DQM4 | WE3、CAS3、DQM3 | WE2、CAS2、DQM2 | WE1、CAS1、DQM1 | WE0、CAS0、DQM0 |
| バイト、Adr=8n      | 1   |               |               |               |               |               |               |               | アサート          |
| バイト、Adr=8n+1    | 1   |               |               |               |               |               |               | アサート          |               |
| バイト、Adr=8n+2    | 1   |               |               |               |               |               | アサート          |               |               |
| バイト、Adr=8n+3    | 1   |               |               |               |               | アサート          |               |               |               |
| バイト、Adr=8n+4    | 1   |               |               |               | アサート          |               |               |               |               |
| バイト、Adr=8n+5    | 1   |               |               | アサート          |               |               |               |               |               |
| バイト、Adr=8n+6    | 1   |               | アサート          |               |               |               |               |               |               |
| バイト、Adr=8n+7    | 1   | アサート          |               |               |               |               |               |               |               |
| ワード、Adr=8n      | 1   |               |               |               |               |               |               | アサート          | アサート          |
| ワード、Adr=8n+2    | 1   |               |               |               |               | アサート          | アサート          |               |               |
| ワード、Adr=8n+4    | 1   |               |               | アサート          | アサート          |               |               |               |               |
| ワード、Adr=8n+6    | 1   | アサート          | アサート          |               |               |               |               |               |               |
| ロングワード、Adr=8n   | 1   |               |               |               |               | アサート          | アサート          | アサート          | アサート          |
| ロングワード、Adr=8n+4 | 1   | アサート          | アサート          | アサート          | アサート          |               |               |               |               |
| クワッドワード、Adr=8n  | 1   | アサート          | アサート          | アサート          | アサート          | アサート          | アサート          | アサート          | アサート          |

### 13. バスステートコントローラ (BSC)

表 13.11 32 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント

| 動作                | No. | データバス       |             |             |             | ストローブ信号               |                       |                       |                       |
|-------------------|-----|-------------|-------------|-------------|-------------|-----------------------|-----------------------|-----------------------|-----------------------|
|                   |     | D31 ~ 24    | D23 ~ 16    | D15 ~ 8     | D7 ~ 0      | WE3、<br>CAS3、<br>DQM3 | WE2、<br>CAS2、<br>DQM2 | WE1、<br>CAS1、<br>DQM1 | WE0、<br>CAS0、<br>DQM0 |
| バイト、Adr=4n        | 1   | -           | -           | -           | データ 7 ~ 0   |                       |                       |                       | アサート                  |
| バイト、Adr=4n+1      | 1   | -           | -           | データ 7 ~ 0   | -           |                       |                       | アサート                  |                       |
| バイト、Adr=4n+2      | 1   | -           | データ 7 ~ 0   | -           | -           |                       | アサート                  |                       |                       |
| バイト、Adr=4n+3      | 1   | データ 7 ~ 0   | -           | -           | -           | アサート                  |                       |                       |                       |
| ワード、Adr=4n        | 1   | -           | -           | データ 15 ~ 8  | データ 7 ~ 0   |                       |                       | アサート                  | アサート                  |
| ワード、Adr=4n+2      | 1   | データ 15 ~ 8  | データ 7 ~ 0   | -           | -           | アサート                  | アサート                  |                       |                       |
| ロングワード、<br>Adr=4n | 1   | データ 31 ~ 24 | データ 23 ~ 16 | データ 15 ~ 8  | データ 7 ~ 0   | アサート                  | アサート                  | アサート                  | アサート                  |
| クワッドワード           | 1   | データ 31 ~ 24 | データ 23 ~ 16 | データ 15 ~ 8  | データ 7 ~ 0   | アサート                  | アサート                  | アサート                  | アサート                  |
|                   | 2   | データ 63 ~ 56 | データ 55 ~ 48 | データ 47 ~ 40 | データ 39 ~ 32 | アサート                  | アサート                  | アサート                  | アサート                  |

表 13.12 16 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント

| 動作           | No. | データバス    |          |             |             | ストローブ信号               |                       |                       |                       |
|--------------|-----|----------|----------|-------------|-------------|-----------------------|-----------------------|-----------------------|-----------------------|
|              |     | D31 ~ 24 | D23 ~ 16 | D15 ~ 8     | D7 ~ 0      | WE3、<br>CAS3、<br>DQM3 | WE2、<br>CAS2、<br>DQM2 | WE1、<br>CAS1、<br>DQM1 | WE0、<br>CAS0、<br>DQM0 |
| バイト、Adr=2n   | 1   | -        | -        | -           | データ 7 ~ 0   |                       |                       |                       | アサート                  |
| バイト、Adr=2n+1 | 1   | -        | -        | データ 7 ~ 0   | -           |                       |                       | アサート                  |                       |
| ワード          | 1   | -        | -        | データ 15 ~ 8  | データ 7 ~ 0   |                       |                       | アサート                  | アサート                  |
| ロングワード       | 1   | -        | -        | データ 15 ~ 8  | データ 7 ~ 0   |                       |                       | アサート                  | アサート                  |
|              | 2   | -        | -        | データ 31 ~ 24 | データ 23 ~ 16 |                       |                       | アサート                  | アサート                  |
| クワッドワード      | 1   | -        | -        | データ 15 ~ 8  | データ 7 ~ 0   |                       |                       | アサート                  | アサート                  |
|              | 2   | -        | -        | データ 31 ~ 24 | データ 23 ~ 16 |                       |                       | アサート                  | アサート                  |
|              | 3   | -        | -        | データ 47 ~ 40 | データ 39 ~ 32 |                       |                       | アサート                  | アサート                  |
|              | 4   | -        | -        | データ 63 ~ 56 | データ 55 ~ 48 |                       |                       | アサート                  | アサート                  |

表 13.13 8 ビット外部デバイス / リトルエンディアンのアクセスとデータアライメント

| 動作      | No. | データバス    |          |         |                | ストロープ信号               |                       |                       |                       |
|---------|-----|----------|----------|---------|----------------|-----------------------|-----------------------|-----------------------|-----------------------|
|         |     | D31 ~ 24 | D23 ~ 16 | D15 ~ 8 | D7 ~ 0         | WE3、<br>CAS3、<br>DQM3 | WE2、<br>CAS2、<br>DQM2 | WE1、<br>CAS1、<br>DQM1 | WE0、<br>CAS0、<br>DQM0 |
| バイト     | 1   | -        | -        | -       | データ 7 ~ 0      |                       |                       |                       | アサート                  |
| ワード     | 1   | -        | -        | -       | データ 7 ~ 0      |                       |                       |                       | アサート                  |
|         | 2   | -        | -        | -       | データ<br>15 ~ 8  |                       |                       |                       | アサート                  |
| ロングワード  | 1   | -        | -        | -       | データ 7 ~ 0      |                       |                       |                       | アサート                  |
|         | 2   | -        | -        | -       | データ<br>15 ~ 8  |                       |                       |                       | アサート                  |
|         | 3   | -        | -        | -       | データ<br>23 ~ 16 |                       |                       |                       | アサート                  |
|         | 4   | -        | -        | -       | データ<br>31 ~ 24 |                       |                       |                       | アサート                  |
| クワッドワード | 1   | -        | -        | -       | データ 7 ~ 0      |                       |                       |                       | アサート                  |
|         | 2   | -        | -        | -       | データ<br>15 ~ 8  |                       |                       |                       | アサート                  |
|         | 3   | -        | -        | -       | データ<br>23 ~ 16 |                       |                       |                       | アサート                  |
|         | 4   | -        | -        | -       | データ<br>31 ~ 24 |                       |                       |                       | アサート                  |
|         | 5   | -        | -        | -       | データ<br>39 ~ 32 |                       |                       |                       | アサート                  |
|         | 6   | -        | -        | -       | データ<br>47 ~ 40 |                       |                       |                       | アサート                  |
|         | 7   | -        | -        | -       | データ<br>55 ~ 48 |                       |                       |                       | アサート                  |
|         | 8   | -        | -        | -       | データ<br>63 ~ 56 |                       |                       |                       | アサート                  |

### 13.3.2 エリアの説明

#### (1) エリア 0

エリア 0 は、物理アドレスの A28 ~ A26 が 000 のエリアです。

この空間に接続できるメモリは、SRAM や ROM、MPX 等の通常メモリと、バースト機能を持ったバースト ROM です。

バス幅は、外部ピンの MD3、MD4 によりパワーオンリセット時に、8 ビット、16 ビット、32 ビット、64 ビットから選べます。詳細は「13.1.5 (2) メモリバス幅」を参照してください。

エリア 0 の空間をアクセスすると  $\overline{\text{CS0}}$  信号がアサートされます。また、 $\overline{\text{OE}}$  として使用できる  $\overline{\text{RD}}$  信号や書き込み制御の  $\overline{\text{WE0}} \sim \overline{\text{WE7}}$  がアサートされます。

バスサイクル数は、WCR2 レジスタの A0W2 ~ A0W0 ビットによってウェイト数を 0 ~ 15 から選択できます。また、外部ウェイト端子 ( $\overline{\text{RDY}}$ ) により、バスサイクルごとに任意のウェイトを挿入することができます。

バースト機能を使用する場合、ウェイト数に対応してバーストサイクルの転送ステート数が 2 ~ 9 の範囲で決まります。

### 13. バスステートコントローラ (BSC)

---

#### (2) エリア 1

エリア 1 は、物理アドレスの A28～A26 が 001 のエリアです。

この空間に接続できるメモリは、SRAM や ROM、MPX、バイト制御 SRAM 等の通常メモリのみです。

バス幅は、BCR2 レジスタの A1SZ1、A1SZ0 ビットにより 8 ビット、16 ビット、32 ビット、64 ビットから選べます。MPX を接続する場合は、BCR2 レジスタの A1SZ1、A1SZ0 ビットにより、バス幅を 32 ビットまたは 64 ビットに設定してください。バイト制御 SRAM を接続する場合は、バス幅を 16 ビット、32 ビット、64 ビットにしてください。

エリア 1 の空間をアクセスすると  $\overline{CS1}$  信号がアサートされます。また、 $\overline{OE}$  として使用できる  $\overline{RD}$  信号や書き込み制御の  $\overline{WE0} \sim \overline{WE7}$  がアサートされます。

バスサイクル数は、WCR2 レジスタの A1W2～A1W0 ビットによってウェイト数を 0～15 から選択できます。また、外部ウェイト端子 ( $\overline{RDY}$ ) により、バスサイクルごとに任意のウェイトを挿入することができます。

リード/ライトストロープ信号のアドレス、および  $\overline{CS}$  セットアップ/ホールド時間は、WCR3 レジスタの A1S0、および A1H1、A1H0 ビットにより、それぞれ、0～1、0～3 サイクルに設定することができます。

#### (3) エリア 2

エリア 2 は、物理アドレスの A28～A26 が 010 のエリアです。

この空間に接続できるメモリは、SRAM や ROM、MPX 等の通常メモリ、DRAM およびシンクロナス DRAM です。

バス幅は、通常メモリを接続する場合は、BCR2 レジスタの A2SZ1、A2SZ0 ビットにより 8 ビット、16 ビット、32 ビット、64 ビットから選べます。MPX を接続する場合は、BCR2 レジスタの A2SZ1～A2SZ0 ビットにより、32 ビットまたは 64 ビットに設定してください。また、シンクロナス DRAM を接続する場合は、MCR レジスタの SZ ビットにより、32 ビットまたは 64 ビットに設定してください。DRAM をエリア 2 に接続するときは、MCR レジスタの SZ ビットにより、バス幅を 16 ビットまたは 32 ビットに設定してください。詳細は、「13.1.5 (2) メモリバス幅」を参照してください。

エリア 2 の空間をアクセスすると  $\overline{CS2}$  信号がアサートされます。

通常メモリを接続している場合、 $\overline{OE}$  として使用できる  $\overline{RD}$  信号や書き込み制御の  $\overline{WE0} \sim \overline{WE7}$  がアサートされます。

バスサイクル数は、WCR2 レジスタの A2W2～A2W0 ビットによってウェイト数を 0～15 から選択できます。また、外部ウェイト端子 ( $\overline{RDY}$ ) により、バスサイクルごとに任意のウェイトを挿入することができます。

リード/ライトストロープ信号のアドレス、および  $\overline{CS}$  セットアップ/ホールド時間は、WCR3 レジスタの A2S0、および A2H1、A2H0 ビットにより、それぞれ、0～1、0～3 サイクルに設定することができます。

シンクロナス DRAM を接続している場合、 $\overline{RAS}$  信号や  $\overline{CAS}$  信号、 $\overline{RD}/\overline{WR}$  信号、バイト制御の DQM0～DQM7 がアサートされ、アドレスマルチプレクスが行われます。 $\overline{RAS}$  や  $\overline{CAS}$ 、データのタイミング制御やアドレスマルチプレクス制御は、MCR レジスタによって設定できます。

また、DRAM を接続している場合、 $\overline{RAS2}$  信号や  $\overline{CAS4} \sim \overline{CAS7}$  信号、 $\overline{RD}/\overline{WR}$  信号がアサートされ、アドレスマルチプレクスが行われます。 $\overline{RAS2}$  や  $\overline{CAS}$ 、データのタイミング制御やアドレスマルチプレクス制御は、MCR レジスタによって設定できます。

## (4) エリア 3

エリア 3 は、物理アドレスの A28 ~ A26 が 011 のエリアです。

この空間に接続できるメモリは、SRAM や ROM、MPX 等の通常メモリおよびシンクロナス DRAM、DRAM です。

バス幅は、通常メモリを接続する場合、BCR2 レジスタの A3SZ1 ~ A3SZ0 ビットにより 8 ビット、16 ビット、32 ビット、64 ビットから選べます。MPX を接続する場合は、BCR2 レジスタの A3SZ1、A3SZ0 ビットにより、バス幅を 32 ビットまたは 64 ビットに設定してください。また、DRAM を接続する場合、MCR レジスタの SZ ビットにより 16 ビット、32 ビット、64 ビットから選べます。また、シンクロナス DRAM を接続する場合、MCR レジスタの SZ ビットにより 32 ビットまたは 64 ビットに設定してください。詳細は「13.1.5 (2) メモリバス幅」を参照してください。

エリア 3 の空間をアクセスすると  $\overline{CS3}$  信号がアサートされます。

通常メモリを接続している場合、 $\overline{OE}$  として使用できる  $\overline{RD}$  信号や書き込み制御の  $\overline{WE0} \sim \overline{WE7}$  がアサートされます。

バスサイクル数は、WCR2 レジスタの A3W2 ~ A3W0 ビットによってウェイト数を 0 ~ 15 から選択できます。また、外部ウェイト端子 ( $\overline{RDY}$ ) によりバスサイクルごとに任意のウェイトを挿入することができます。

リード/ライトストロープ信号のアドレス、および  $\overline{CS}$  セットアップ/ホールド時間は、WCR3 レジスタの A3S0、および A3H1、A3H0 ビットにより、それぞれ、0 ~ 1、0 ~ 3 サイクルに設定することができます。

シンクロナス DRAM を接続している場合、 $\overline{RAS}$  信号や  $\overline{CAS}$  信号、 $\overline{RD}/\overline{WR}$  信号、バイト制御の  $\overline{DQM0} \sim \overline{DQM7}$  がアサートされ、アドレスマルチプレクスが行われます。DRAM を接続している場合、 $\overline{RAS}$  信号や  $\overline{CAS0} \sim \overline{CAS7}$  信号、 $\overline{RD}/\overline{WR}$  信号がアサートされ、アドレスマルチプレクスが行われます。これら、 $\overline{RAS}$  や  $\overline{CAS}$ 、データのタイミング制御やアドレスマルチプレクス制御は、MCR レジスタによって設定できます。

## (5) エリア 4

エリア 4 は、物理アドレスの A28 ~ A26 が 100 のエリアです。

この空間に接続できるメモリは、SRAM や ROM、MPX、バイト制御 SRAM 等の通常メモリのみです。

バス幅は、BCR2 レジスタの A4SZ1、A4SZ0 ビットにより 8 ビット、16 ビット、32 ビット、64 ビットから選べます。MPX を接続する場合は、BCR2 レジスタの A4SZ1、A4SZ0 ビットにより、バス幅を 32 ビットまたは 64 ビットに設定してください。バイト制御 SRAM を接続する場合はバス幅を 16 ビット、32 ビット、64 ビットに設定してください。詳細は、「13.1.5 (2) メモリバス幅」を参照してください。

エリア 4 の空間をアクセスすると  $\overline{CS4}$  信号がアサートされます。また、 $\overline{OE}$  として使用できる  $\overline{RD}$  信号や書き込み制御の  $\overline{WE0} \sim \overline{WE7}$  がアサートされます。

バスサイクル数は、WCR2 の A4W2 ~ A4W0 ビットによってウェイト数を 0 ~ 15 から選択できます。また外部ウェイト端子 ( $\overline{RDY}$ ) により、バスサイクルごとに任意のウェイトを挿入することができます。

リード/ライトストロープ信号のアドレス、および  $\overline{CS}$  セットアップ/ホールド時間は、WCR3 レジスタの A4S0、および A4H1、A4H0 ビットにより、それぞれ、0 ~ 1、0 ~ 3 サイクルに設定することができます。



#### (6) エリア 5

エリア 5 は、物理アドレスの A28～A26 が 101 のエリアです。

この空間に接続できるメモリは、SRAM や ROM、MPX 等の通常メモリと、バースト機能を持ったバースト ROM および PCMCIA インタフェースです。

バス幅は、通常メモリを接続する場合、BCR2 レジスタの A5SZ1、A5SZ0 ビットにより 8 ビット、16 ビット、32 ビット、64 ビットから選べます。バースト ROM を接続する場合は、BCR2 レジスタの A5SZ1、A5SZ0 ビットにより、バス幅を 8 ビット、16 ビット、32 ビットから選べます。MPX を接続する場合は、BCR2 レジスタの A5SZ1、A5SZ0 ビットにより、バス幅を 32 ビットまたは 64 ビットに設定してください。また、PCMCIA インタフェースを接続する場合、BCR2 レジスタの A5SZ1、A5SZ0 ビットにより 8 ビット、16 ビットのいずれかを選んでください。詳細は「13.1.5 (2) メモリバス幅」を参照してください。

通常メモリを接続している場合、エリア 5 の空間をアクセスすると  $\overline{CS5}$  信号がアサートされます。また、 $\overline{OE}$  として使用できる  $\overline{RD}$  信号や書き込み制御の  $\overline{WE0} \sim \overline{WE7}$  がアサートされます。PCMCIA インタフェースを接続する場合には、 $\overline{CE1A}$ 、 $\overline{CE2A}$  信号や、 $\overline{OE}$  として使用できる  $\overline{RD}$  信号、また、それぞれ  $\overline{WE}$ 、 $\overline{ICIORD}$ 、 $\overline{ICIOWR}$ 、 $\overline{REG}$  として使用できる  $\overline{WE1}$ 、 $\overline{WE2}$ 、 $\overline{WE3}$ 、 $\overline{WE7}$  信号がアサートされます。

バスサイクル数は、WCR2 レジスタの A5W2～A5W0 ビットによってウェイト数を 0～15 から選択できます。また外部ウェイト端子 ( $\overline{RDY}$ ) により、バスサイクルごとに任意のウェイトを挿入することができます。

バースト機能を使用する場合、ウェイト数に対応してバーストサイクルの転送ステート数が 2～9 の範囲で決まります。

リード/ライトストロープ信号のアドレス、および  $\overline{CS}$  セットアップ/ホールド時間は、WCR3 レジスタの A5S0、および A5H1、A5H0 ビットにより、それぞれ、0～1、0～3 サイクルに設定することができます。

また、PCMCIA インタフェースの場合、リード/ライトストロープ信号に対してアドレス  $\overline{CE1A}/\overline{CE2A}$  のセットアップ、ホールド時間を PCR レジスタの A5TED1、A5TED0 ビット、A5TEH1、A5TEH0 ビットによって、0～15 サイクルの範囲で設定できます。さらに、A5PCW1、A5PCW0 ビットによりウェイトサイクルを 0～50 の範囲で設定できます。PCR で設定したウェイトは、WCR2 で設定したウェイト数に加算されます。

#### (7) エリア 6

エリア 6 は、物理アドレスの A28～A26 が 110 のエリアです。

この空間に接続できるメモリは、SRAM や ROM、MPX 等の通常メモリと、バースト機能を持ったバースト ROM および PCMCIA インタフェースです。

バス幅は、通常メモリを接続する場合、BCR2 レジスタの A6SZ1、A6SZ0 ビットにより 8 ビット、16 ビット、32 ビット、64 ビットから選べます。バースト ROM を接続する場合は、BCR2 レジスタの A6SZ1、A6SZ0 ビットにより、バス幅を 8 ビット、16 ビット、32 ビットから選べます。MPX を接続する場合は、BCR2 レジスタの A6SZ1、A6SZ0 ビットにより、バス幅を 32 ビットまたは 64 ビットに設定してください。また、PCMCIA インタフェースを接続する場合、BCR2 レジスタの A6SZ1、A6SZ0 ビットにより 8 ビット、16 ビットのいずれかを選んでください。詳細は「13.1.5 (2) メモリバス幅」を参照してください。

通常メモリを接続している場合、エリア 6 の空間をアクセスすると  $\overline{CS6}$  信号がアサートされます。また、 $\overline{OE}$  として使用できる  $\overline{RD}$  信号や書き込み制御の  $\overline{WE0} \sim \overline{WE7}$  がアサートされます。PCMCIA インタフェースを接続する場合には、 $\overline{CE1B}$ 、 $\overline{CE2B}$  信号や、 $\overline{OE}$  として使用できる  $\overline{RD}$  信号、また、それぞれ  $\overline{WE}$ 、 $\overline{ICIORD}$ 、 $\overline{ICIOWR}$ 、 $\overline{REG}$  として使用できる  $\overline{WE1}$ 、 $\overline{WE2}$ 、 $\overline{WE3}$ 、 $\overline{WE7}$  信号がアサートされます。

バスサイクル数は、WCR2 レジスタの A6W2 ~ A6W0 ビットによってウェイト数を 0 ~ 15 から選択できます。また外部ウェイト端子 ( $\overline{\text{RDY}}$ ) により、バスサイクルごとに任意のウェイトを挿入することができます。また、バースト機能を使用する場合、ウェイト数に対応してバーストサイクルの転送ステート数が 2 ~ 9 の範囲で決まります。

リード/ライトストロープ信号のアドレス、および  $\overline{\text{CS}}$  セットアップ/ホールド時間は、WCR3 レジスタの A6S0、および A6H1、A6H0 ビットにより、それぞれ、0 ~ 1、0 ~ 3 サイクルに設定することができます。

また、PCMCIA インタフェースの場合リード/ライトストロープ信号に対してアドレス  $\overline{\text{CE1B}}/\overline{\text{CE2B}}$  のセットアップ、ホールド時間を PCR レジスタの A6TED1、A6TED0 ビット、A6TEH1、A6TEH0 ビットによって、0 ~ 15 サイクルの範囲で設定できます。さらに、A6PCW1、A6PCW0 ビットによりウェイトサイクルを 0 ~ 50 の範囲で設定できます。PCR で設定したウェイトは、WCR2 で設定したウェイト数に加算されます。

### 13.3.3 基本インタフェース

#### (1) 基本タイミング

本 LSI の基本インタフェースは、主に SRAM の直結を考慮してストロープ信号を出力します。図 13.5 に基本インタフェースの基本タイミングを示します。ウェイトのない通常アクセスは 2 サイクルで終了します。 $\overline{\text{BS}}$  信号はバスサイクルの開始を表すため、1 サイクルアサートされます。 $\overline{\text{CSn}}$  信号は、T1 の立ち上がりでアサートされ T2 のクロックの次の立ち上がりでネゲートされます。したがって最小ピッチでアクセスする場合は、ネゲート期間は生まれません。

アクセスサイズは読み出し時は指定がありません。アドレスの最下位ビットに正しいアクセス開始アドレスが出力されていますが、アクセスサイズの指定がないので、32 ビットデバイスでは 32 ビット、16 ビットデバイスでは 16 ビットを常に読み出すことになります。書き込み時には書き込みを行うバイトの  $\overline{\text{WE}}$  信号のみがアサートされます。詳細は「13.3.1 エンディアン/アクセスサイズとデータアライメント」の項を参照してください。

キャッシュフィル/コピーバックのための読み出し/書き込みは設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対して行われます。この途中ではバス権を解放しません。

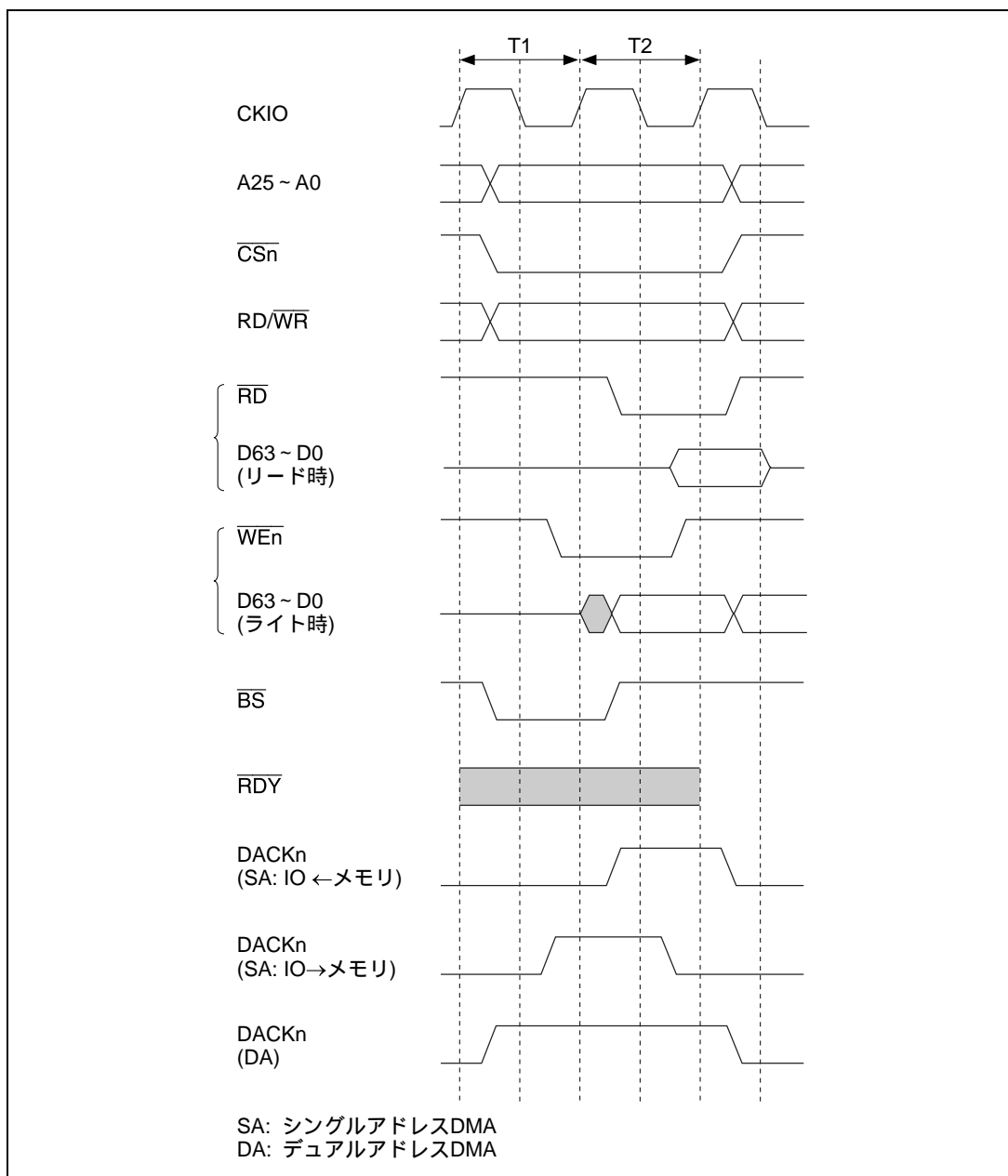


図 13.5 基本インタフェースの基本タイミング

図 13.6 に 64 ビットデータ幅の SRAM との接続例を、図 13.7 に 32 ビットデータ幅の SRAM との接続例を、図 13.8 に 16 ビットデータ幅の SRAM との接続例を、図 13.9 に 8 ビットデータ幅の SRAM との接続例を示します。

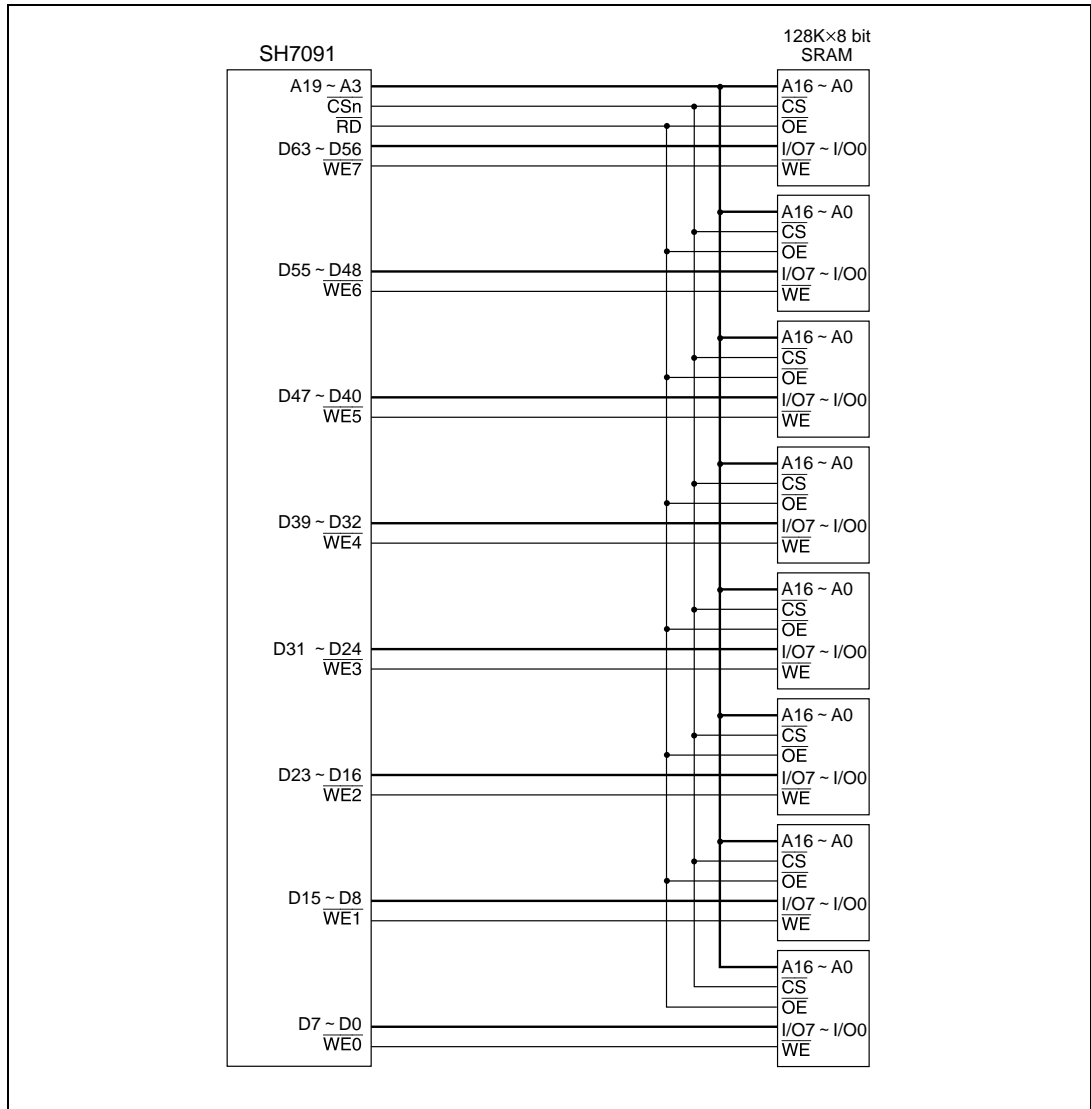


図 13.6 64 ビットデータ幅 SRAM 接続例

### 13. バスステートコントローラ (BSC)

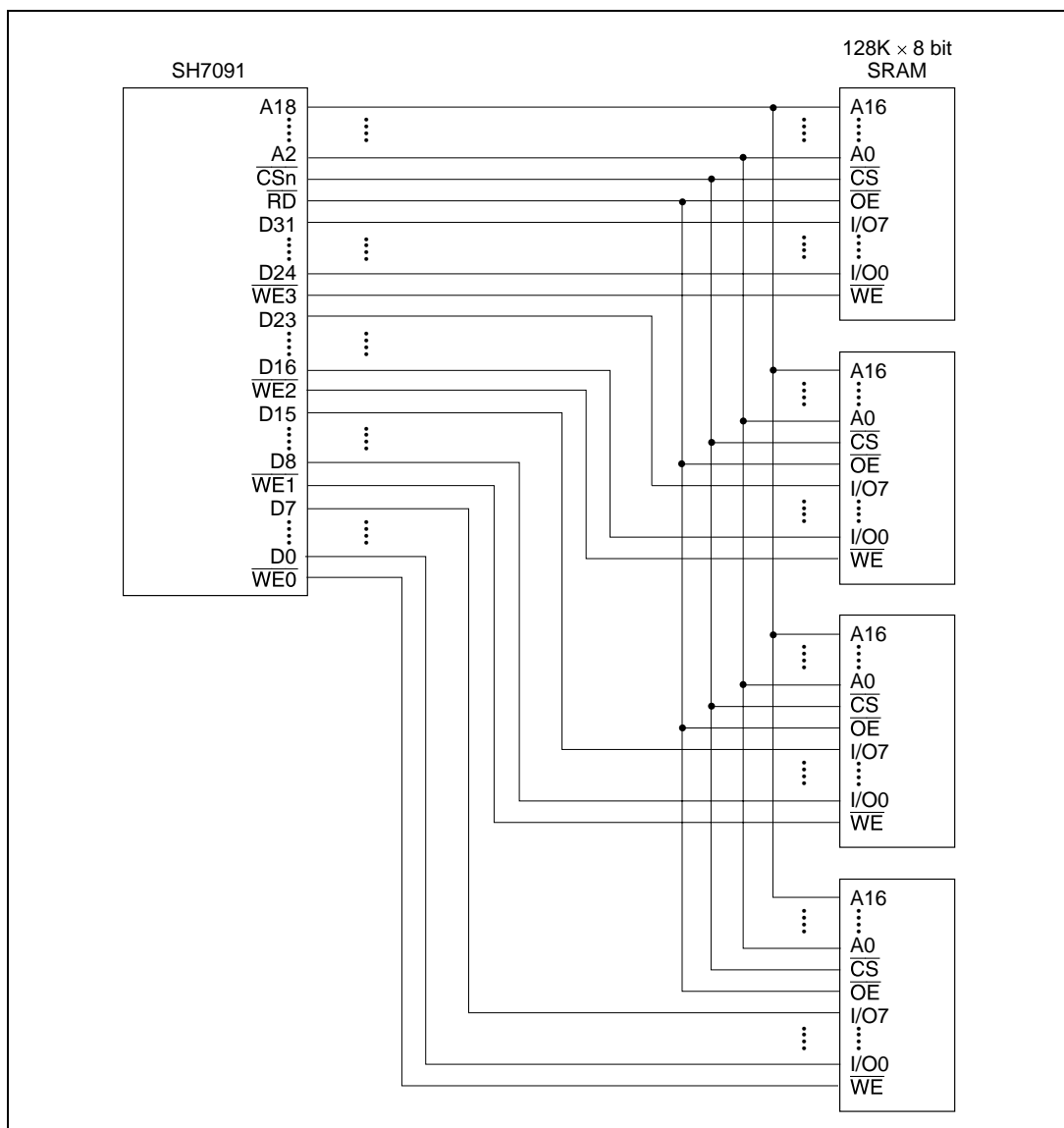


図 13.7 32 ビットデータ幅 SRAM 接続例

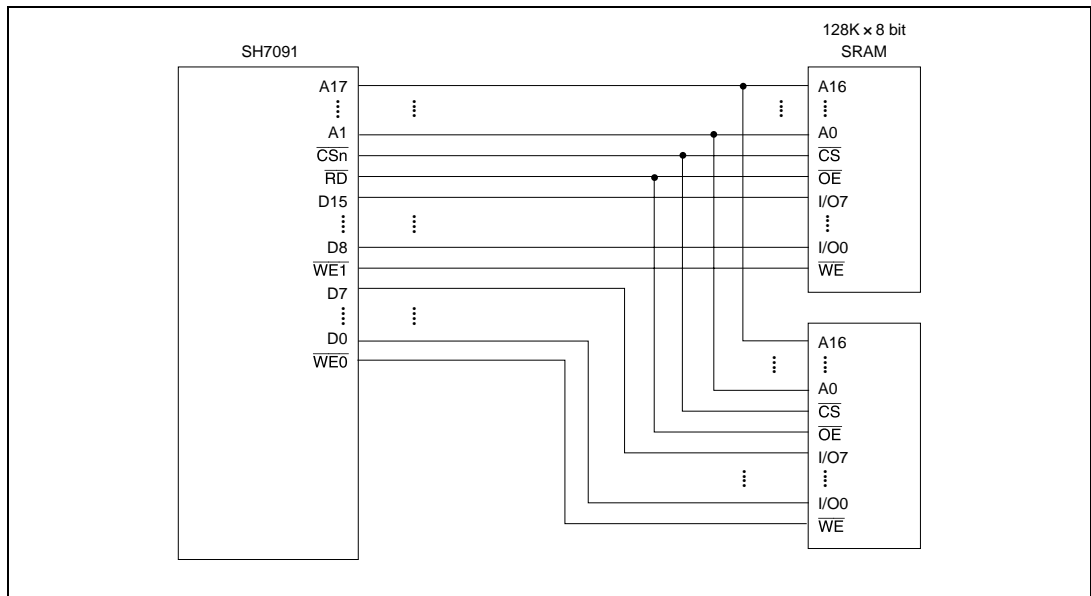


図 13.8 16 ビットデータ幅 SRAM 接続例

### 13. バスステートコントローラ (BSC)

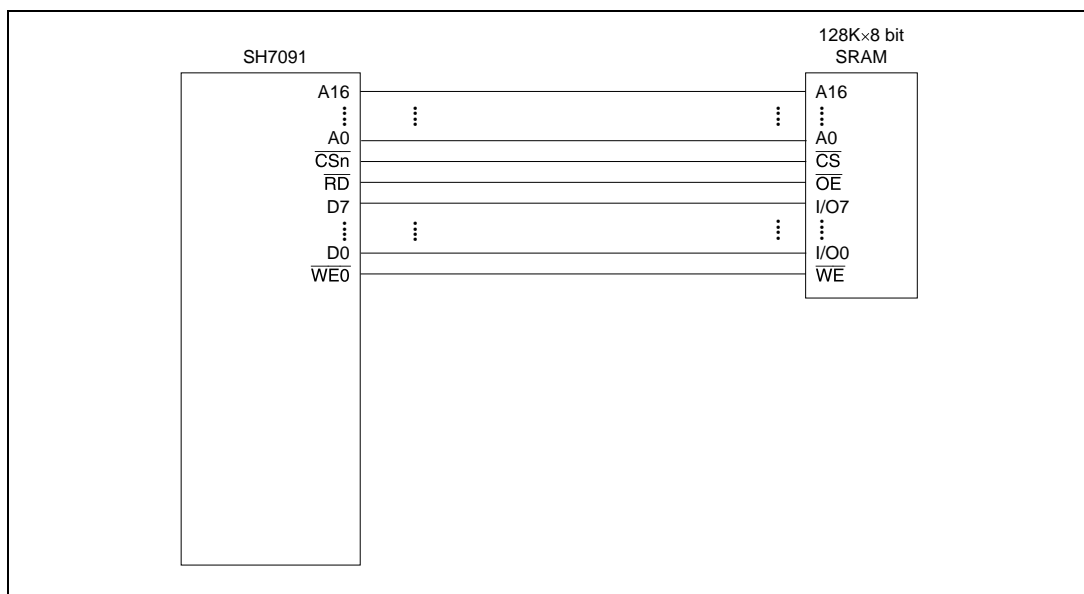


図 13.9 8 ビットデータ幅 SRAM 接続例

## (2) ウェイトステート制御

WCR2 の設定により、基本インタフェースのウェイトステートの挿入を制御できます。WCR2 の各エリアに対応するウェイト指定ビットが 0 以外のときは、このウェイト指定にしたがったソフトウェイトが挿入されます。詳細は「13.2.4 ウェイトコントロールレジスタ 2 (WCR2)」の項を参照してください。

WCR2 によって、図 13.10 に示す基本インタフェースのウェイトタイミングで、 $T_w$  のサイクルがウェイトサイクルとして指定サイクル数だけ挿入されます。

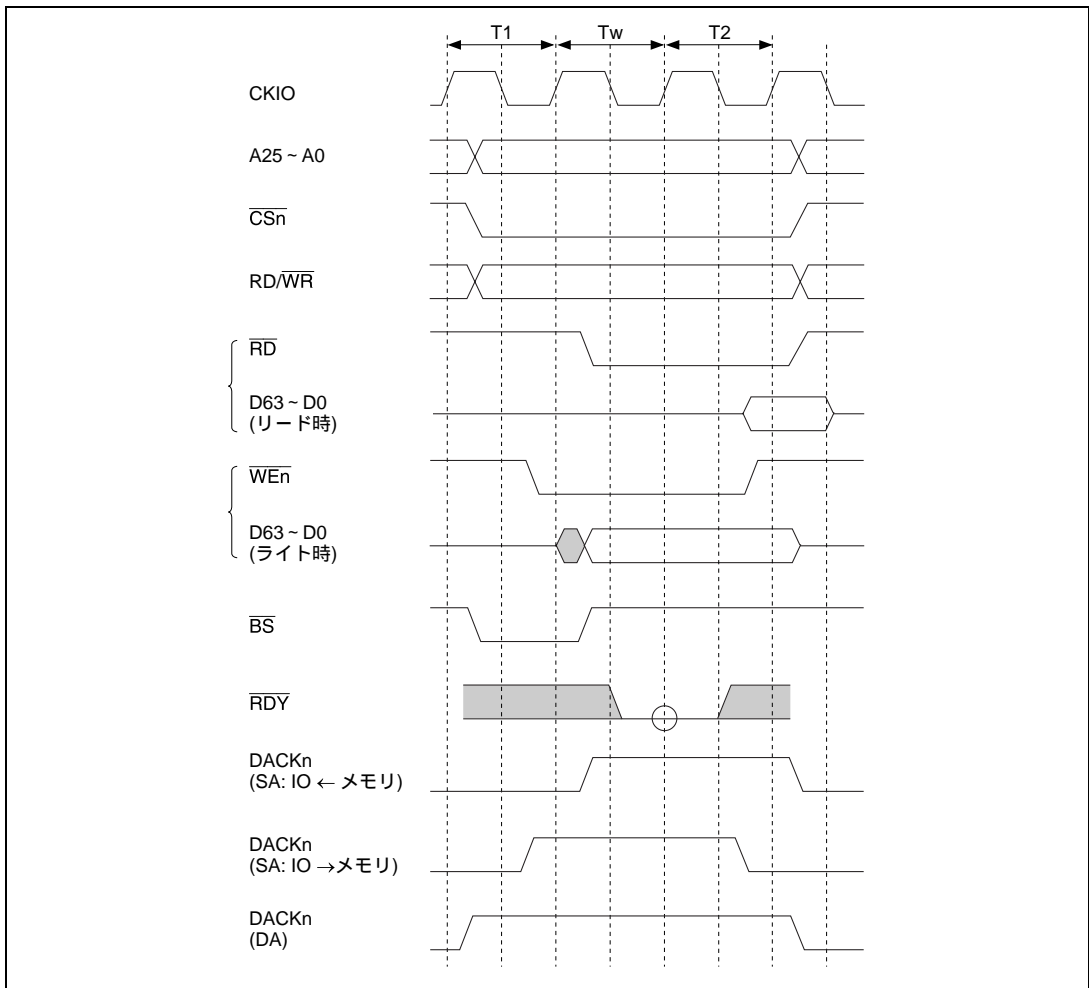


図 13.10 基本インタフェースのウェイトタイミング (ソフトウェアウェイトのみ)



### 13. バスステートコントローラ (BSC)

WCR2によってソフトウェアによるウェイトを指定したときに、外部からのウェイト入力  $\overline{\text{RDY}}$  信号もサンプリングされます。 $\overline{\text{RDY}}$  信号のサンプリングを図 13.11 に示します。ソフトウェアウェイトとして 1 サイクルのウェイトを指定しています。サンプリングは  $T_w$  ステートから  $T_2$  ステートに移行する際に行われるので、 $T_1$  のサイクルおよび 1 回目の  $T_w$  サイクルで  $\overline{\text{RDY}}$  信号をアサートしてもなにも影響を与えません。 $\overline{\text{RDY}}$  信号はクロックの立ち上がりでサンプリングされます。

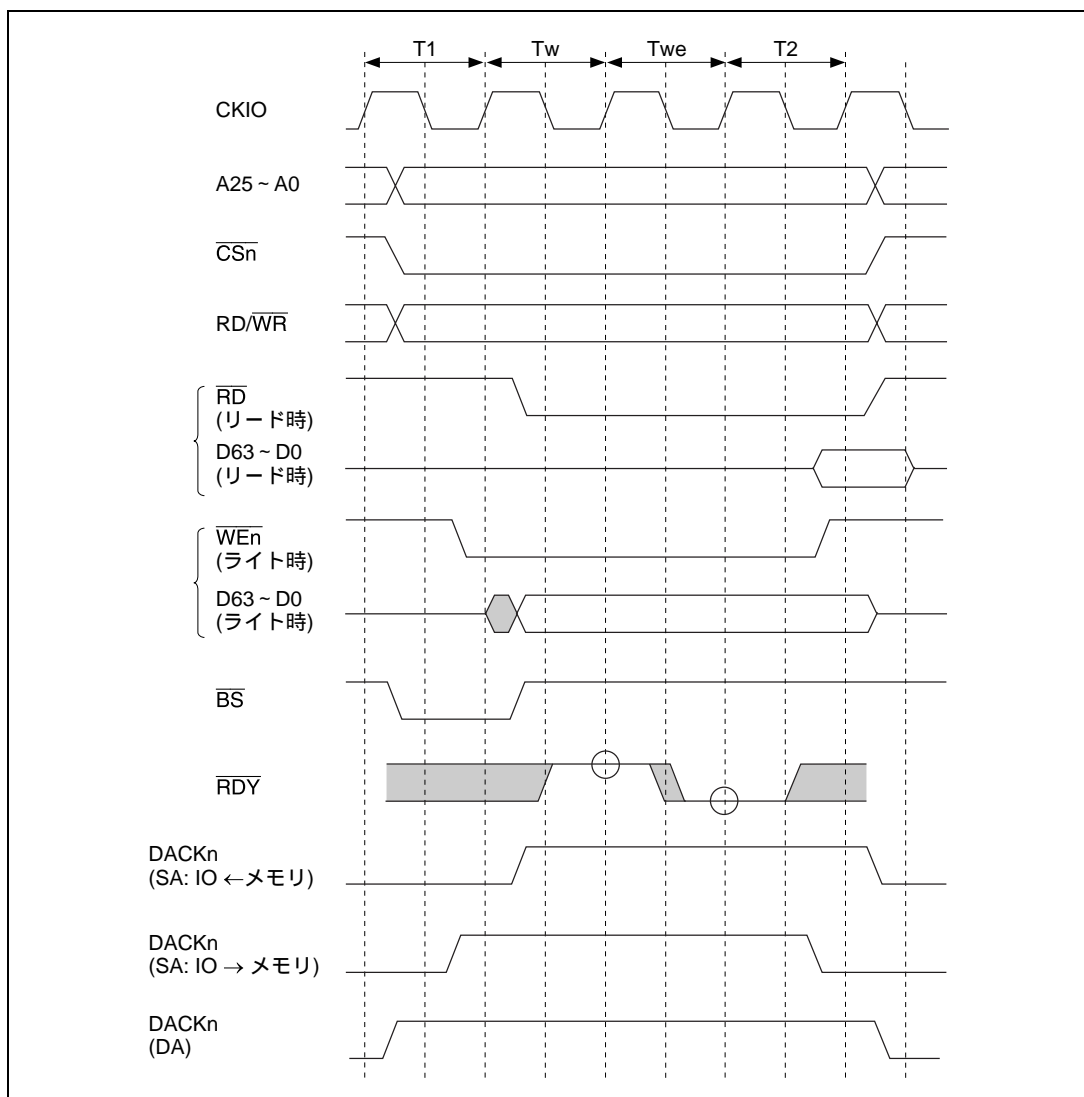


図 13.11 基本インタフェースのウェイトステートタイミング  
( $\overline{\text{RDY}}$  信号によるウェイトステート挿入)

### 13.3.4 DRAM インタフェース

#### (1) DRAM 直結方式

BCR1 のメモリアイプビット (DRAMTP2 ~ 0) を 100 に設定するとエリア 3 が DRAM 空間となり、また 101 に設定するとエリア 2 およびエリア 3 が DRAM 空間となり、本 LSI と DRAM を直結させるための DRAM インタフェース機能が使用できるようになります。

インタフェースのデータ幅は、DRAMTP2 ~ 0 を 100 に設定した場合、エリア 3 を 16 ビットと 32 ビット、64 ビットから選択でき、また DRAMTP2 ~ 0 を 101 に設定した場合、エリア 2 およびエリア 3 とも 16 ビットまたは 32 ビットとして使用できます。

バイトアクセスのコントロールは  $\overline{\text{CAS}}$  を用いるので、16 ビット幅 DRAM で接続可能なものは CAS2 本方式のものです。

接続に使用する信号はエリア 3 に DRAM を接続する場合、 $\overline{\text{RAS}}$ 、 $\overline{\text{CAS0}} \sim \overline{\text{CAS7}}$ 、 $\text{RD}/\overline{\text{WR}}$  です。データ幅が 16 ビットのときには  $\overline{\text{CAS2}} \sim \overline{\text{CAS7}}$  は使用しません。また、エリア 2 とエリア 3 に DRAM を接続する場合、エリア 2 の DRAM に接続する信号は  $\overline{\text{RAS2}}$ 、 $\overline{\text{CAS4}} \sim \overline{\text{CAS7}}$ 、 $\text{RD}/\overline{\text{WR}}$  で、エリア 3 の DRAM に接続する信号は  $\overline{\text{RAS}}$ 、 $\overline{\text{CAS0}} \sim \overline{\text{CAS3}}$ 、 $\text{RD}/\overline{\text{WR}}$  です。

アクセスモードとしては通常のリード、ライトアクセスに加えて、高速ページモードを利用したバーストアクセスをサポートします。また、エリア 2、3 に接続する DRAM に対して、DRAM のアクセスタイムを増やすことができる EDO モードをサポートします。

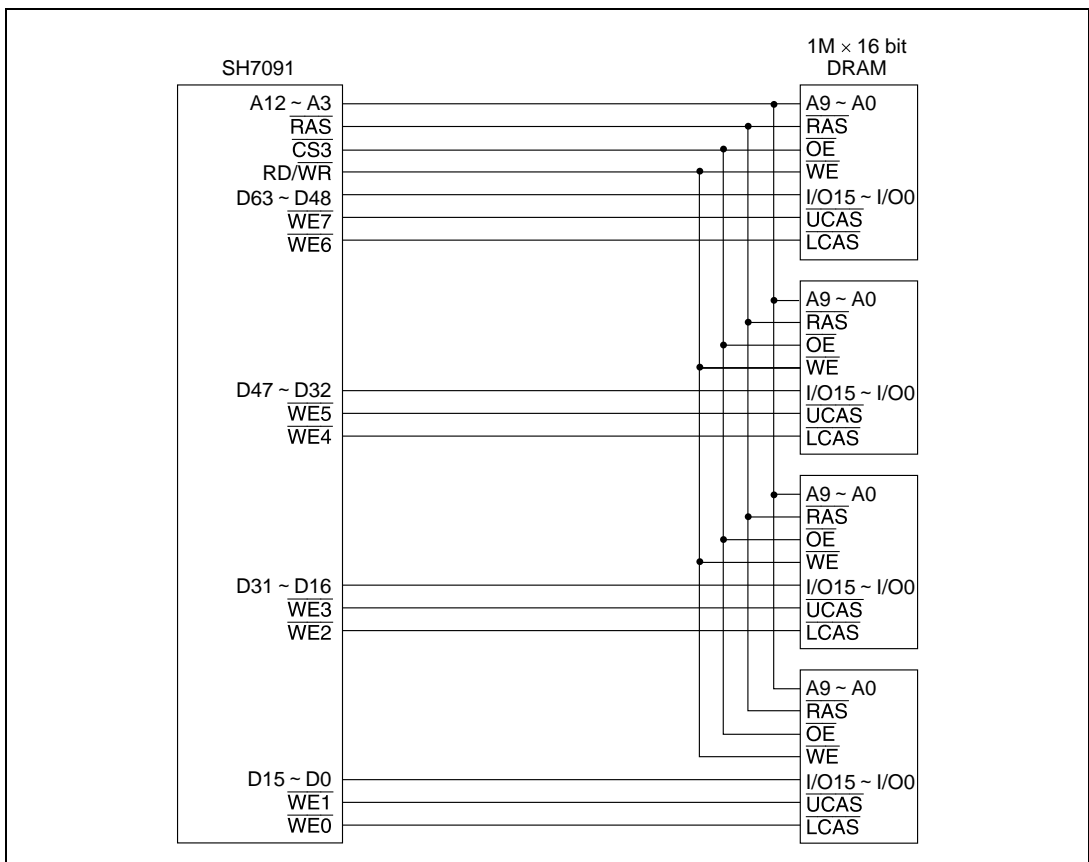


図 13.12 DRAM 接続例 (64 ビットデータ幅、エリア 3)

### 13. バスステートコントローラ (BSC)

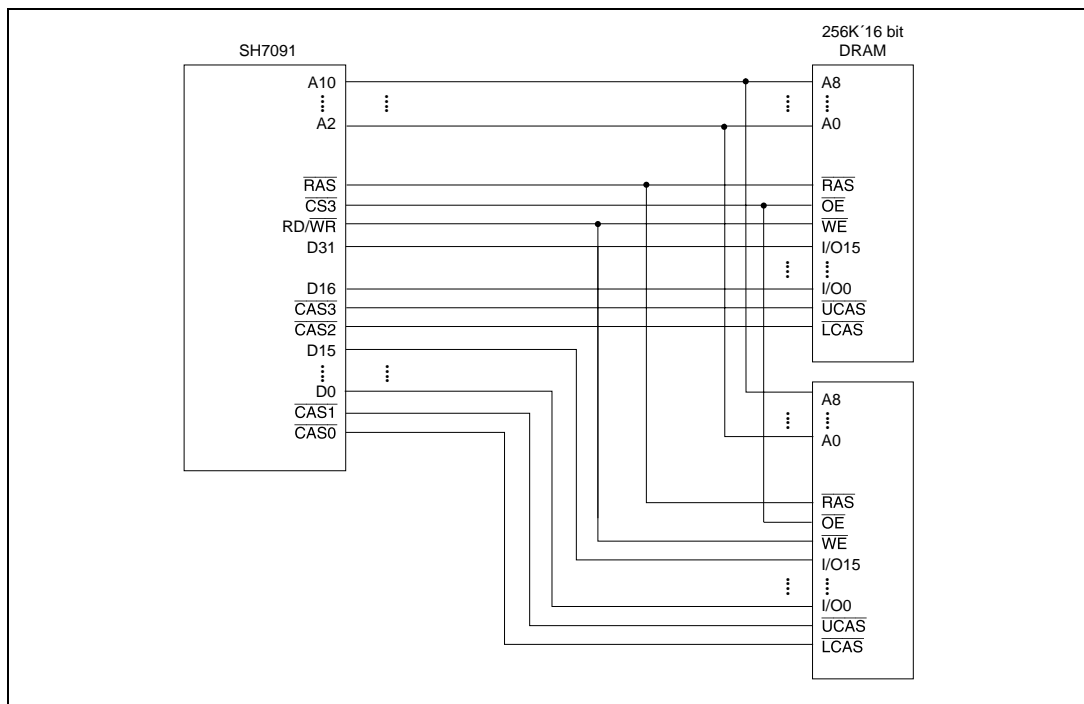


図 13.13 DRAM 接続例 (32 ビットデータ幅、エリア 3)

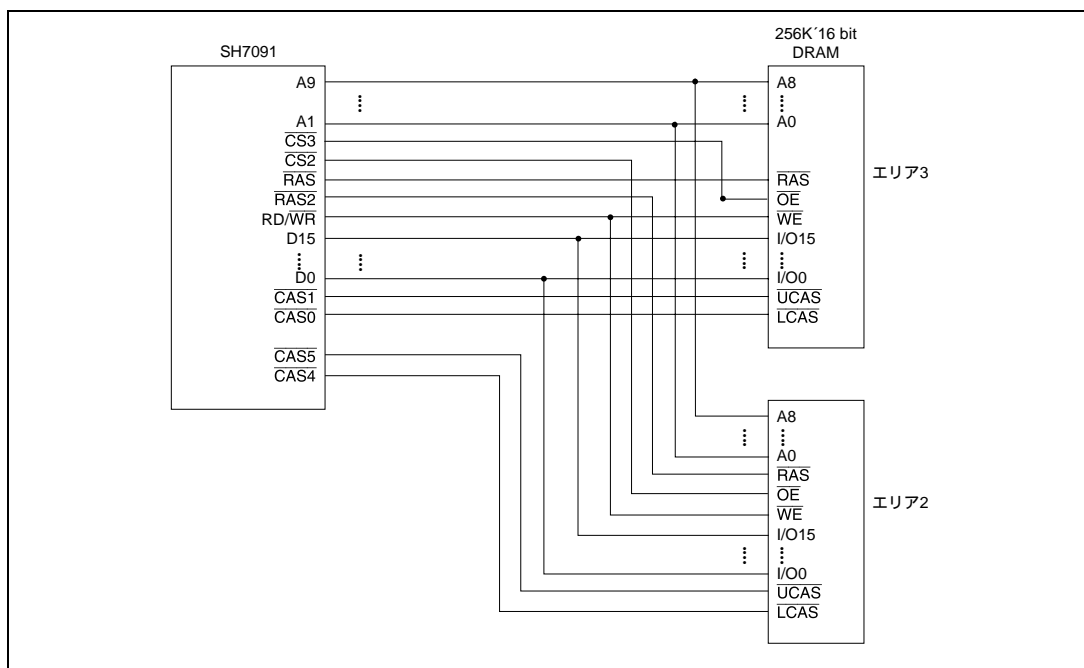


図 13.14 DRAM 接続例 (16 ビットデータ幅、エリア 2、エリア 3)

## (2) アドレスマルチプレクス

エリア 2 または、エリア 3 を DRAM 空間に設定すると、DRAM に対するアクセスは常にアドレスのマルチプレクスが行われます。これによって外付けのアドレスマルチプレクス回路なしに、ロウアドレスとカラムアドレスのマルチプレクスが必要な DRAM を本 LSI に直結することができます。マルチプレクスの方法はエリア 2、3 の DRAM に対しては、MCR の AMXEXT、AMX2～0 ビットの設定によって、以下の 5 通りの中から選ぶことができます。AMXEXT、AMX2～0 ビットとアドレスマルチプレクスの関係を表 13.14 に示します。アドレスマルチプレクスの対象となるアドレス出力端子は A17 から A1 です。A25 から A18 に出力されるアドレスは保証されません。

表 13.14 AMXEXT、AMX2～0 ビットとアドレスマルチプレクスの関係

| 設定     |      |      |      | カラム<br>アドレス<br>ビット数 | 出力<br>タイミング | 外部アドレス端子 |     |     |     |     |
|--------|------|------|------|---------------------|-------------|----------|-----|-----|-----|-----|
| AMXEXT | AMX2 | AMX1 | AMX0 |                     |             | A1～A13   | A14 | A15 | A16 | A17 |
| 0      | 0    | 0    | 0    | 8ビット                | カラム<br>アドレス | A1～A13   | A14 | A15 | A16 | A17 |
|        |      |      |      |                     | ロウ<br>アドレス  | A9～A21   | A22 | A23 | A24 | A25 |
| 0      | 0    | 0    | 1    | 9ビット                | カラム<br>アドレス | A1～A13   | A14 | A15 | A16 | A17 |
|        |      |      |      |                     | ロウ<br>アドレス  | A10～A22  | A23 | A24 | A25 | A17 |
| 0      | 0    | 1    | 0    | 10ビット               | カラム<br>アドレス | A1～A13   | A14 | A15 | A16 | A17 |
|        |      |      |      |                     | ロウ<br>アドレス  | A11～A23  | A24 | A25 | A16 | A17 |
| 0      | 0    | 1    | 1    | 11ビット               | カラム<br>アドレス | A1～A13   | A14 | A15 | A16 | A17 |
|        |      |      |      |                     | ロウ<br>アドレス  | A12～A24  | A25 | A15 | A16 | A17 |
| 0      | 1    | 0    | 0    | 12ビット               | カラム<br>アドレス | A1～A13   | A14 | A15 | A16 | A17 |
|        |      |      |      |                     | ロウ<br>アドレス  | A13～A25  | A14 | A15 | A16 | A17 |
| その他    |      |      |      | 予約                  | -           | -        | -   | -   | -   | -   |

### 13. バスステートコントローラ (BSC)

#### (3) 基本タイミング

DRAM アクセスの基本タイミングは 4 サイクルです。DRAM アクセスの基本タイミングを図 13.15 に示します。T<sub>pc</sub> はプリチャージサイクル、T<sub>r</sub> は  $\overline{\text{RAS}}$  アサートサイクル、T<sub>c1</sub> は  $\overline{\text{CAS}}$  アサートサイクル、T<sub>c2</sub> は読み出しデータ取り込みサイクルです。

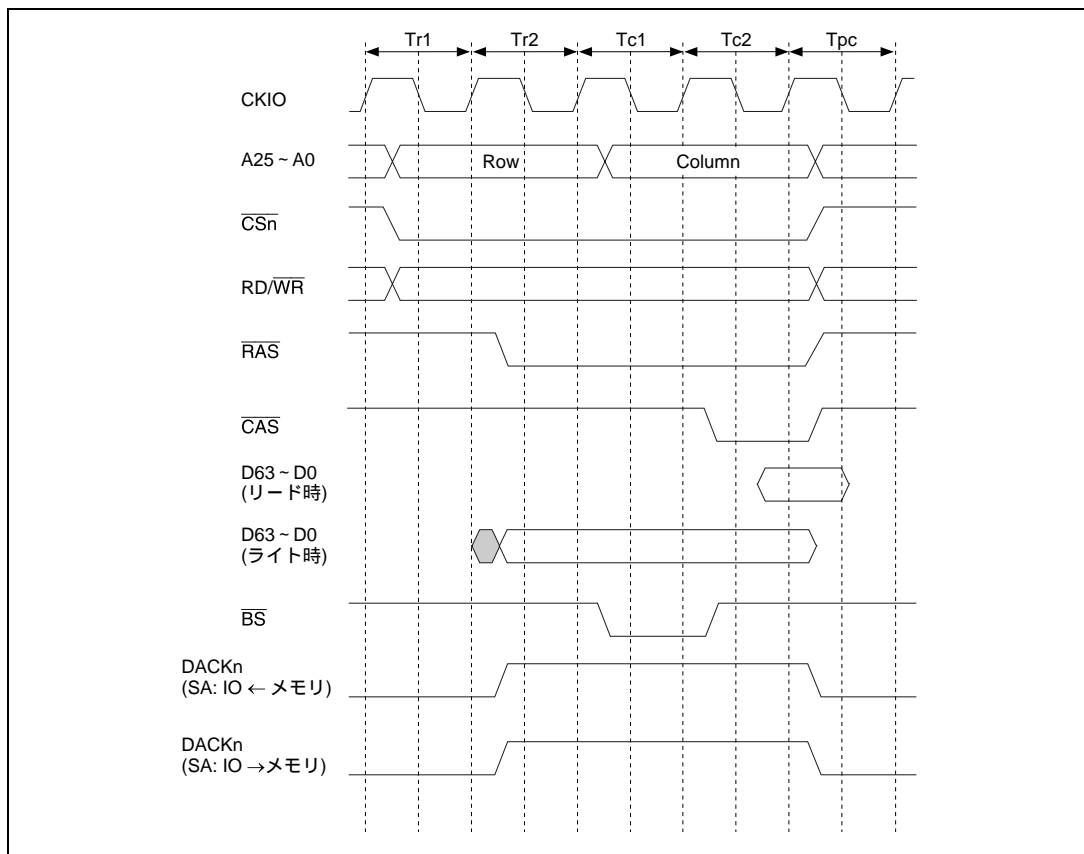


図 13.15 DRAM 基本アクセスタイミング

## (4) ウェイトステート制御

クロック周波数を上げていくと、基本アクセスのようにすべてのステートを 1 サイクルで終わらせることができなくなってきます。そこで、WCR2、MCR にある設定ビットを用いてステートの延長ができるようになっています。レジスタ設定を使ってステートを延長したタイミングを図 13.16 に示します。 $\overline{\text{RAS}}$  のプリチャージ時間を確保するための  $T_{pc}$  サイクルは、MCR の TPC ビットによって追加の  $T_{pc}$  サイクルを挿入し 1~7 サイクルにすることができます。 $\overline{\text{RAS}}$  アサートから  $\overline{\text{CAS}}$  アサートまでのサイクル数は、MCR の RCD ビットによって  $T_{rw}$  を挿入し、2~5 サイクルにすることができます。 $\overline{\text{CAS}}$  アサートからアクセス終了までのサイクル数は WCR2 の A2W2~A2W0 ビットもしくは A3W2~A3W0 ビットの設定によって 1 サイクルから 16 サイクルまで変えることができます。

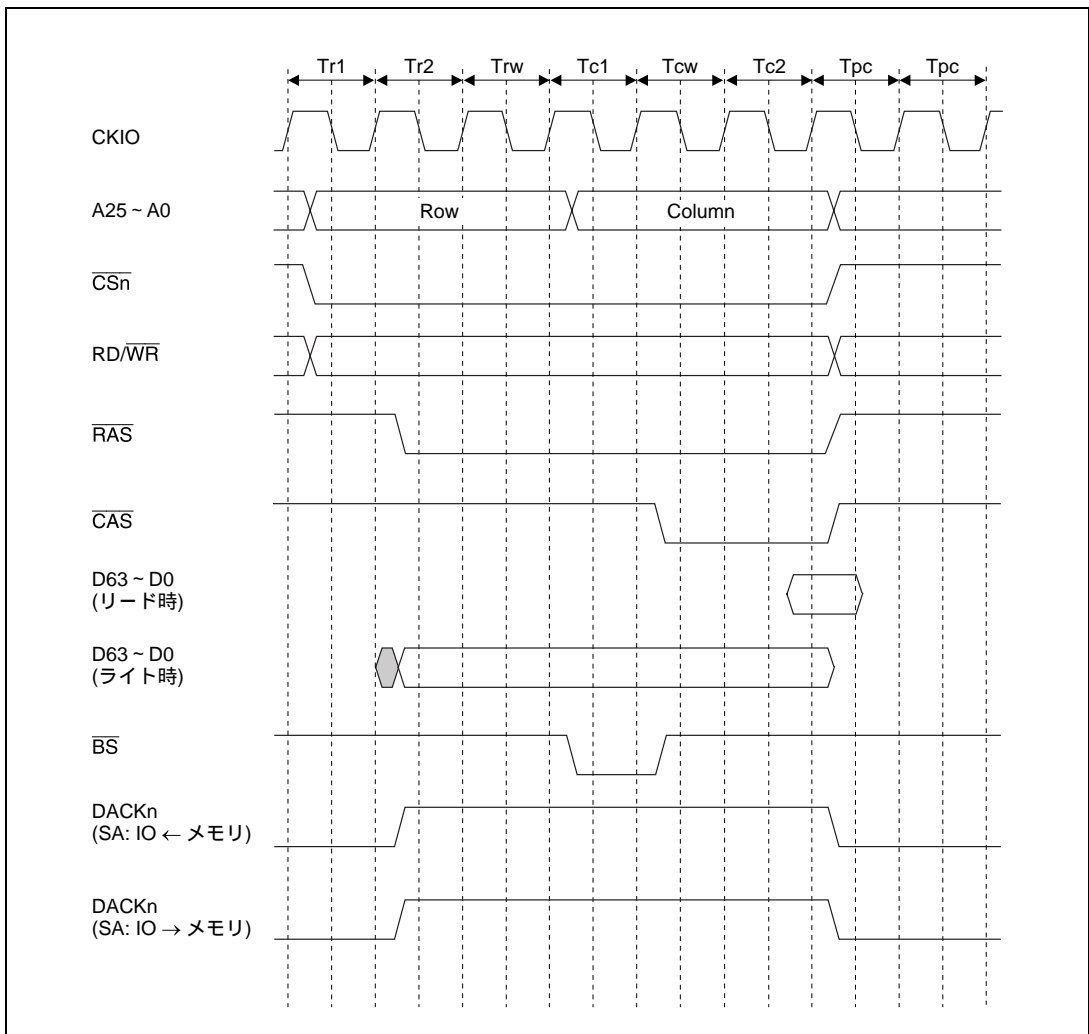


図 13.16 DRAM ウェイトステートタイミング

## (5) バーストアクセス

DRAM には、アクセスのたびにロウアドレスを出力してデータをアクセスするノーマルアクセスの他に、同一のロウに対するアクセスが連続する場合、ロウアドレスを 1 度出力したあとはカラムアドレスを変更するだけでデータに高速にアクセスできる、高速ページモードを備えているものがあります。MCR のバーストイネーブル (BE) の設定によって、ノーマルアクセスと高速ページモードを利用したバーストアクセスを選択することができます。高速ページモードによるバーストアクセスのタイミングを図 13.17 に示します。

バースト転送時、16 ビットバスサイズ時は 4 バイト (ロングワードアクセス時) もしくは 32 バイト (キャッシュフィル時、キャッシュライトバック時) のデータがバースト転送されます。また、32 ビットバスサイズ時は 32 バイト (キャッシュフィル時、キャッシュライトバック時) のデータが、バースト転送されます。32 バイトバースト転送時 (キャッシュフィル時)、先頭のアクセスはアクセス要求があったデータを含むロングワードとなります。残りのアクセスは当該データを含む 32 バイト境界のデータに対して行われます。バースト転送時 (キャッシュライトバック時) では 32 バイト境界のデータに対してラップアラウンドで書き込みが行われます。

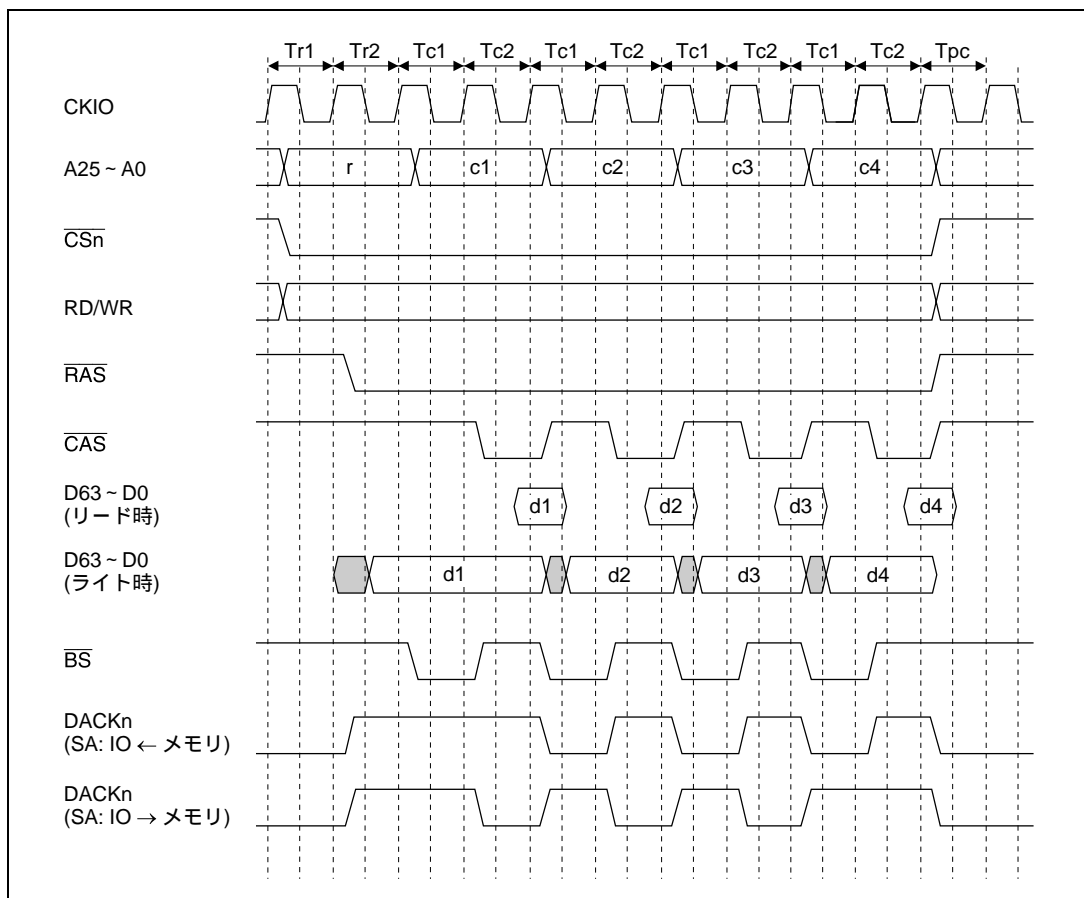


図 13.17 DRAM バーストアクセスタイミング

## (6) EDO モード

DRAM には、データリードサイクル時に  $\overline{\text{CAS}}$  信号のアサート中だけデータバスにデータを出力するものの他に、 $\overline{\text{RAS}}$  信号アサート中はいったん  $\overline{\text{CAS}}$  信号をアサートすると  $\overline{\text{CAS}}$  信号をネゲートしても次に  $\overline{\text{CAS}}$  信号をアサートするまで、データバスにデータを出力する EDO モードを備えたものがあります。本 LSI では、DRAM に対して MCR の EDO モードビット (EDOMODE) の設定によって、ノーマルアクセス / 高速ページモードによるバーストアクセスと、EDO モードによるノーマルアクセス / バーストアクセスを選択することができます。EDO モードに設定されているときは、MCR の BE ビットが 1 にセットされていなければなりません。EDO モードによるノーマルアクセスを図 13.18 に、バーストアクセスを図 13.19 に示します。

## (a) CAS ネゲート期間

CAS ネゲート期間は、MCR レジスタの TCAS ビットにより、1 または 2 に設定することができます。

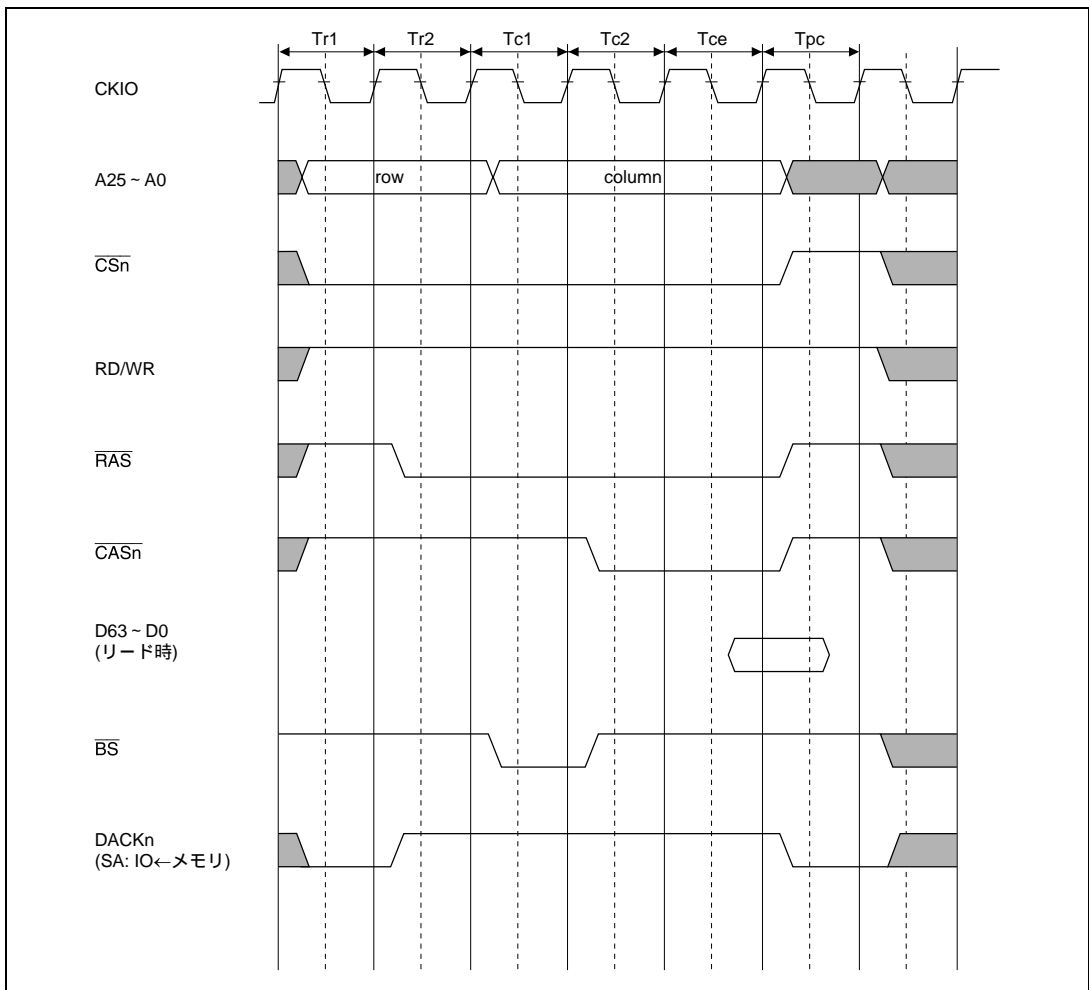


図 13.18 DRAM バスサイクル (EDO モード、RCD = 0、AnW = 0、TPC = 1)



### 13. バスステートコントローラ (BSC)

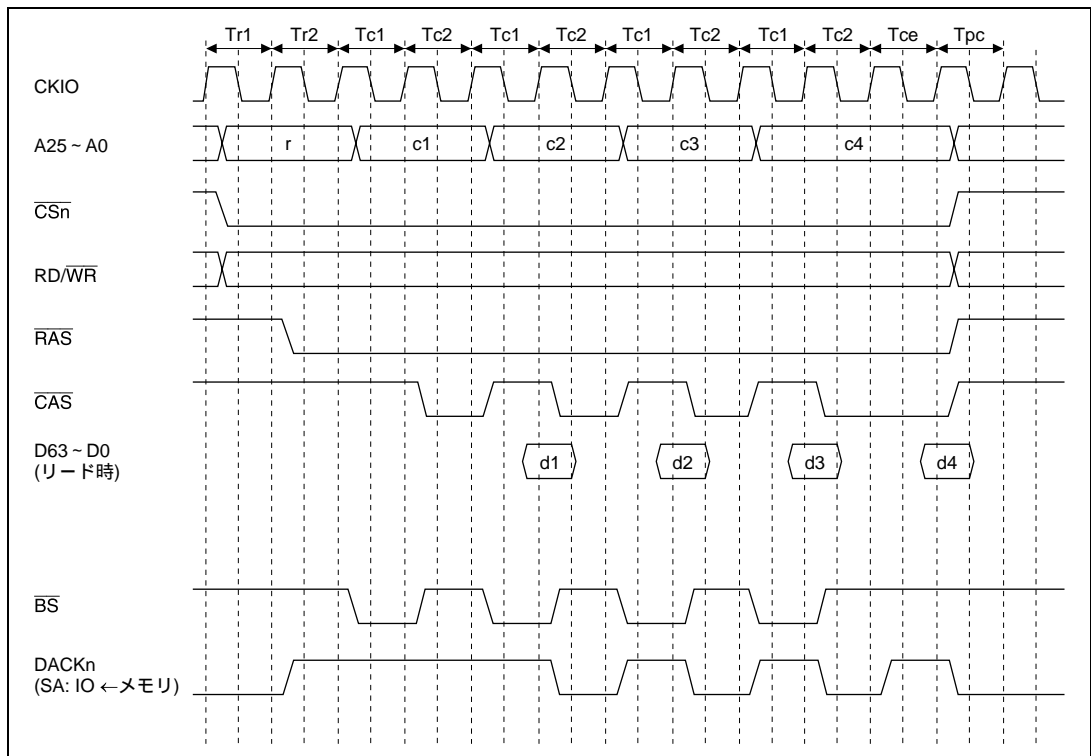


図 13.19 DRAM EDO モードのバーストアクセスタイミング

#### (7) RAS ダウンモード

本 LSI はバーストモードにおけるロウアドレスの一致を検出するためのアドレス比較器を持っています。これを利用し、RAS ダウンモード指定ビット RASD を 1 にすることによって、アクセス終了後も  $\overline{\text{RAS}}$  をアサートしたまま放置する RAS ダウンモードにすることができます。RAS ダウンモードを用いる場合、リフレッシュ周期が DRAM の  $\overline{\text{RAS}}$  アサート時間の最大値よりも長い場合には、リフレッシュ周期を  $t_{\text{RAS}}$  の最大値以下にする必要があります。

RAS ダウンモードは、エリア 3 に接続された DRAM でのみ利用できます。

RAS ダウンモード時は、ロウアドレスが異なるアドレスへのアクセス、別のエリアに対するアクセス、リフレッシュ要求、またはバス要求が入った場合、 $\overline{\text{RAS}}$  をネゲートし、所定の動作を行います。この後、DRAM へのアクセス再開時には、RAS ダウンモードの開始なのでロウアドレスの出力から始まります。

このタイミングチャートを図 13.20 (1)、図 13.20 (2)、図 13.20 (3)、図 13.20 (4) に示します。

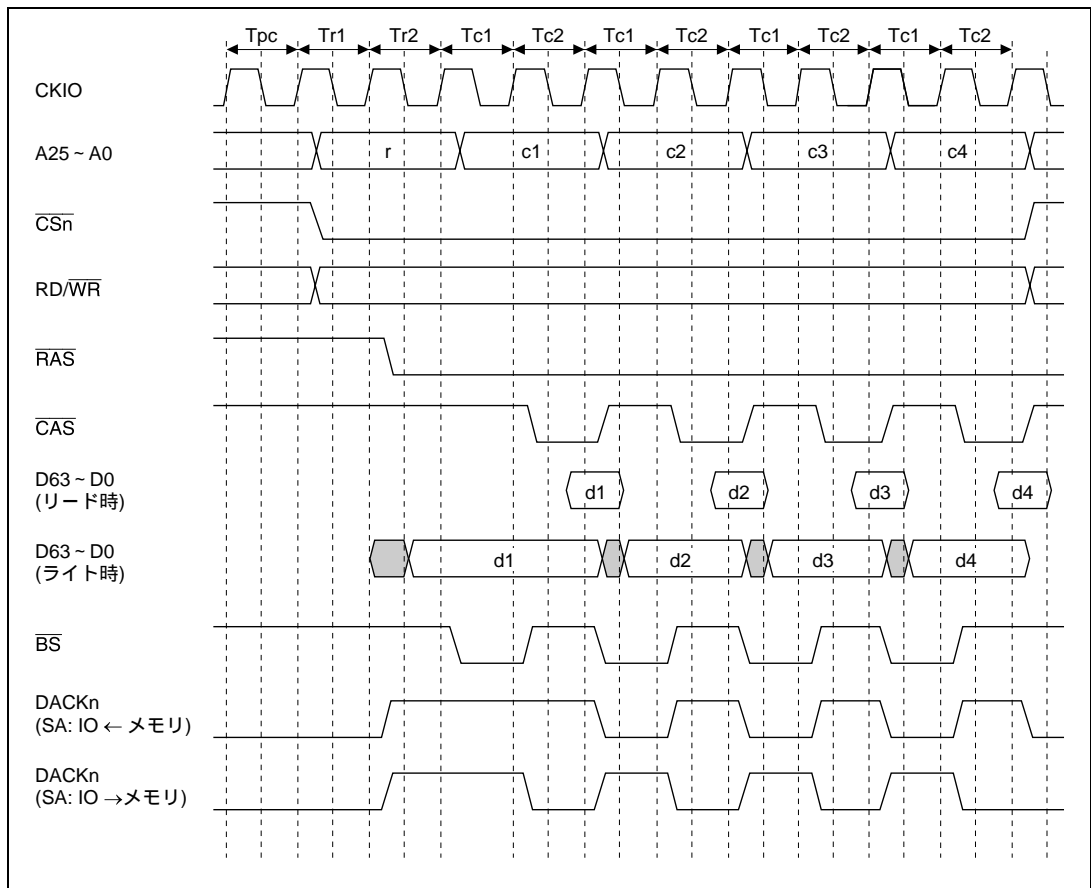


図 13.20 (1) RAS ダウンモード開始時の DRAM バーストバスサイクル  
(高速ページモード、RCD = 0、AnW = 0)

### 13. バスステートコントローラ (BSC)

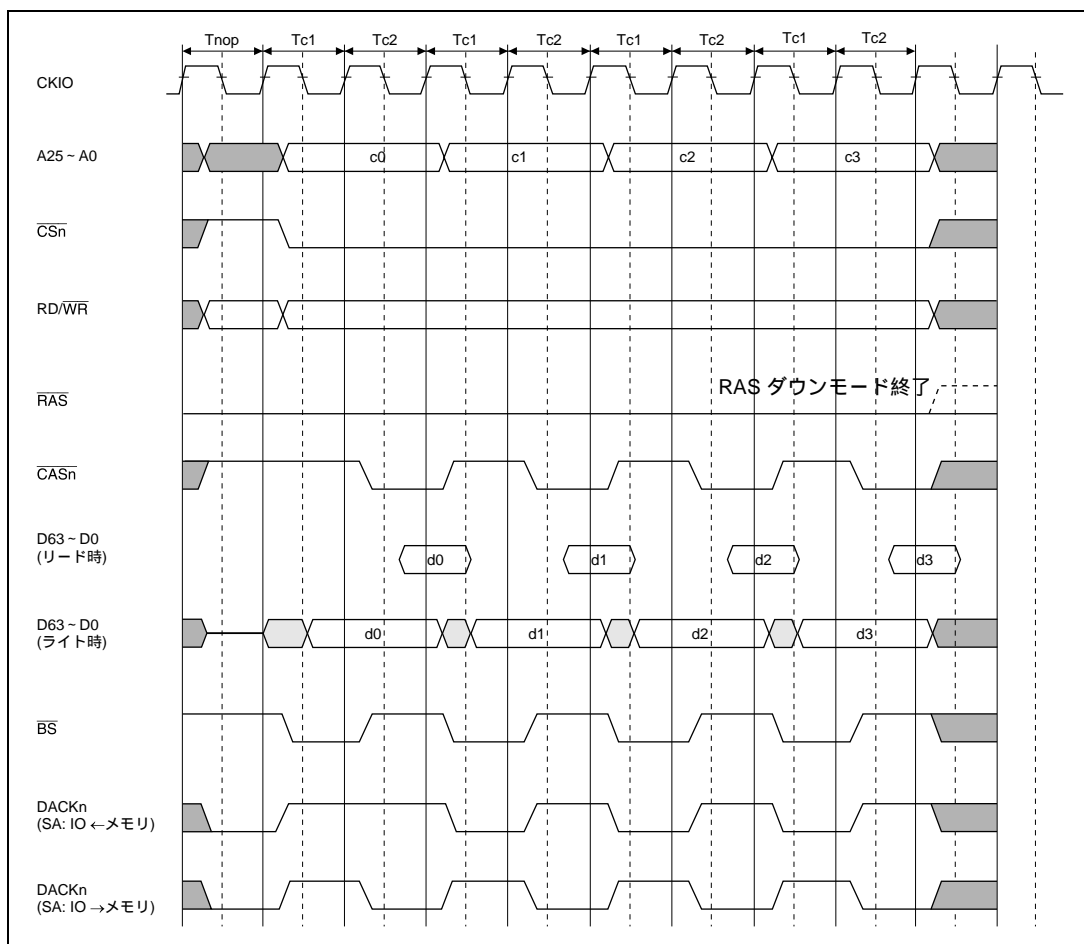


図 13.20 (2) RAS ダウンモード継続時の DRAM バーストバスサイクル  
(高速ページモード、RCD = 0、AnW = 0)

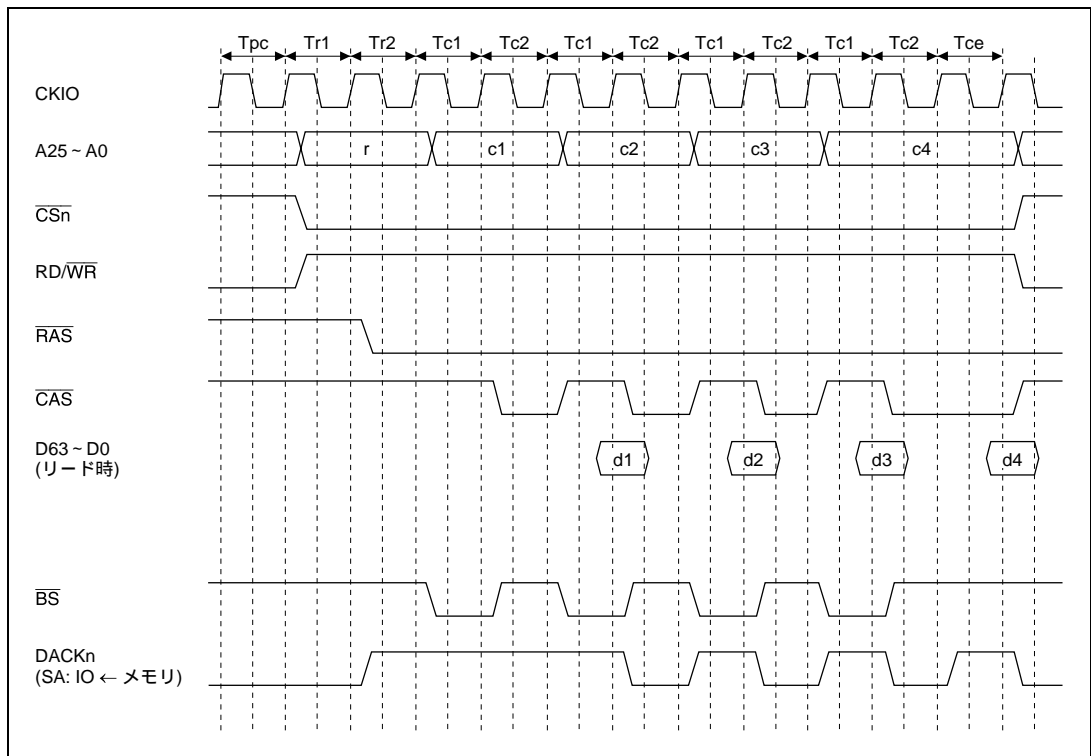


図 13.20 (3) RAS ダウンモード開始時の DRAM バーストバスサイクル  
(EDO モード、RCD=0、AnW=0)

### 13. バスステートコントローラ (BSC)

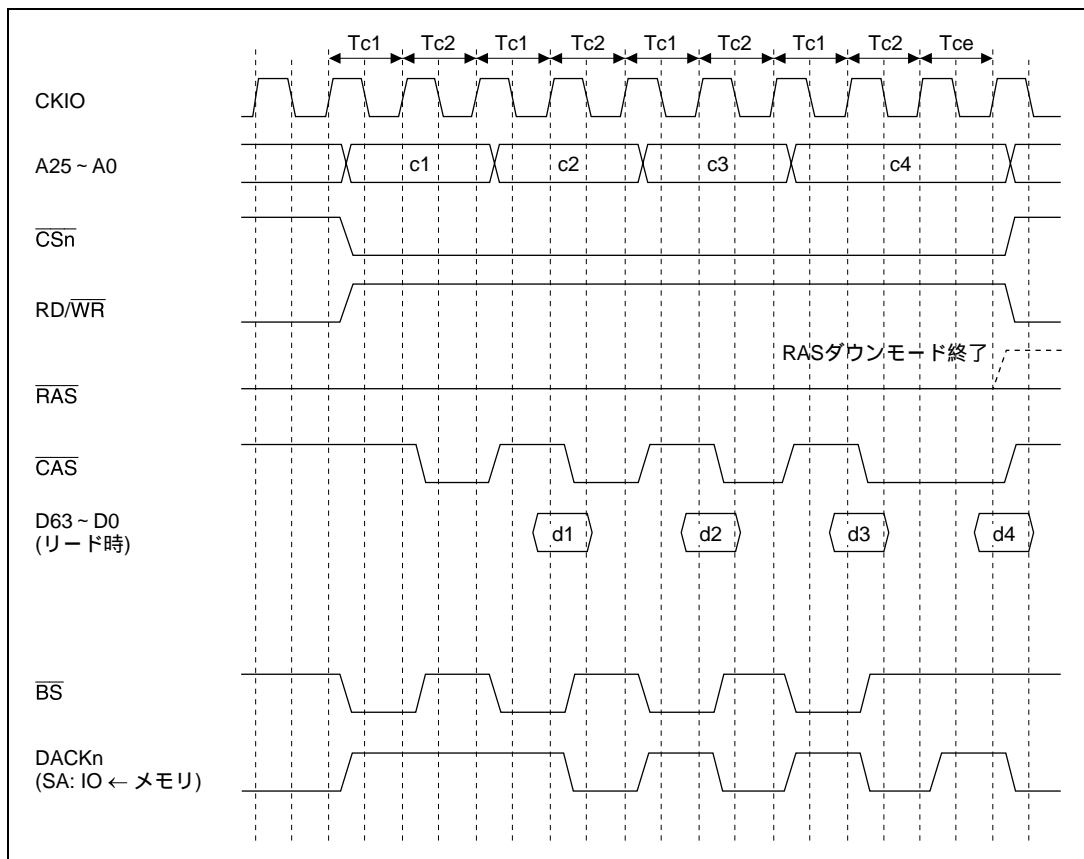


図 13.20 (4) RAS ダウンモード継続時の DRAM バーストバスサイクル  
(EDO モード、RCD = 0、AnW = 0)

## (8) リフレッシュタイミング

バスステートコントローラは、DRAM のリフレッシュを制御する機能を備えています。DRAM に対して MCR の RMODE ビットを 0 に、RFSH ビットを 1 にセットすることによって、CAS ビフォ RAS リフレッシュサイクルによる分散リフレッシュを行うことができます。また、セルフリフレッシュモードをサポートします。

CAS ビフォ RAS リフレッシュサイクルを行う場合、RTCSCR の CKS2～CKS0 ビットで選択した入力クロックと、RTCOR に設定した値とで決まる間隔でリフレッシュが行われます。使用する DRAM のリフレッシュ間隔規定を満たすように、RTCOR と CKS2～CKS0 ビットの値を設定してください。最初に RTCOR、RTCNT と MCR の RMODE ビットおよび RFSH ビットの設定を行い、最後に、CKS2～CKS0 ビットの設定を行ってください。CKS2～CKS0 ビットによってクロックを選択すると、RTCNT はそのときの値からカウントアップを開始します。RTCNT の値は常に RTCOR の値と比較されており、両者の値が一致するとリフレッシュ要求が発生し、 $\overline{\text{BACK}}$  端子が H レベルになります。本 LSI の外部バスが使用可能な場合、CAS ビフォ RAS リフレッシュが行われます。同時に RTCNT はゼロクリアされ、カウントアップが再開されます。図 13.21 に CAS ビフォ RAS リフレッシュの動作を示します。

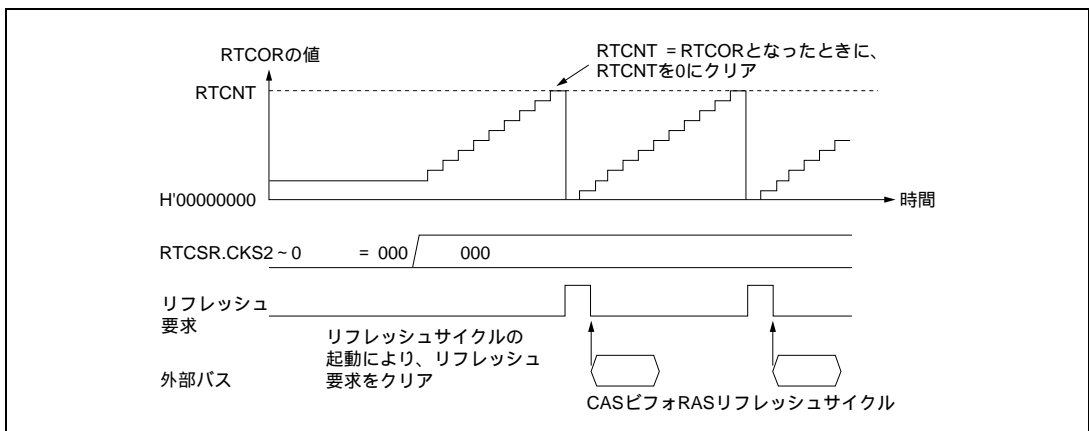


図 13.21 CAS ビフォ RAS リフレッシュの動作

### 13. バスステートコントローラ (BSC)

図 13.22 に CAS ビフォ RAS リフレッシュサイクルのタイミングを示します。

リフレッシュサイクルでの RAS アサートサイクル数は、MCR の TRAS2 ~ TRAS0 ビットで指定されます。リフレッシュサイクルにおける RAS のプリチャージ時間の指定は、MCR の TRC2 ~ TRC0 ビットの指定にしがいます。

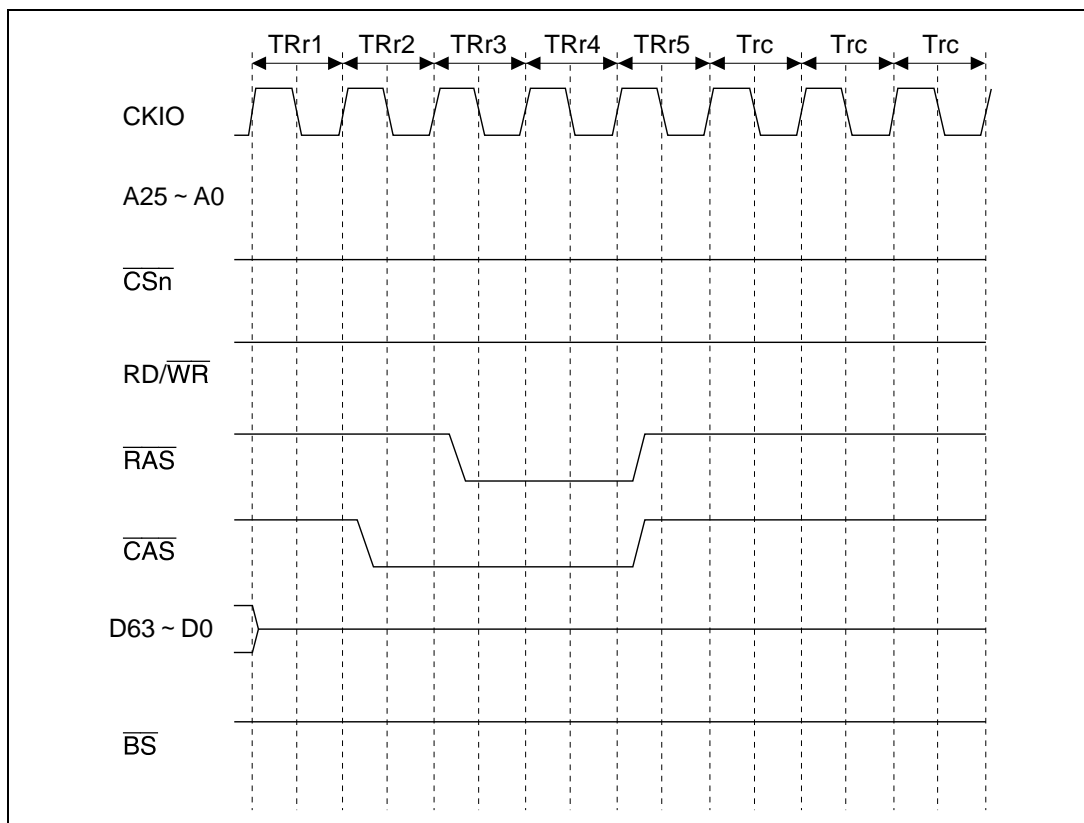


図 13.22 DRAM CAS ビフォ RAS リフレッシュサイクルタイミング (TRAS=0、TRC=1)

本 LSI がサポートするセルフリフレッシュは、図 13.23 に示すものです。

セルフリフレッシュ解除後、リフレッシュコントローラは直ちにリフレッシュ要求を行います。ただし、セルフリフレッシュ終了直後の RAS プリチャージ時間は MCR の TRC2 ~ TRC0 ビットで設定できます。

また、DRAM の中には、低消費電力品 (L バージョン) でリフレッシュ周期の時間が長いものがあります (HM51W4160AL 等で、ノーマルバージョンの製品のリフレッシュ周期が 1024 サイクル / 16ms に対し、L バージョンは 1024 サイクル / 128ms) が、これらの DRAM はセルフリフレッシュ直後のリフレッシュのみノーマルバージョンと同じリフレッシュ周期を要求しています。このため、DRAM のリフレッシュを無駄なく行うために、RTCSR の OVF、OVIE、LMTS および RFCR ビットを用いて、L バージョンの DRAM のセルフリフレッシュ直後の CAS ビフォ RAS リフレッシュを必要だけ行った後、オーバフロー割り込みを発生させ、リフレッシュ周期を適正值に戻す処理が必要となり、以下の手順を踏む必要があります。

- (a) 通常時リフレッシュカウンタのカウント周期を、L バージョンに最適な 1024 サイクル / 128ms 等にしておく。
- (b) セルフリフレッシュ動作に移行するときに、
  - (b1) リフレッシュカウンタのオーバフロー割り込みが発生した場合、リフレッシュカウンタのカウント周期を、L バージョンに最適な 1024 サイクル / 128ms 等に戻すように割り込みハンドラを準備する。
  - (b2) リフレッシュカウンタのカウント周期を、要求されている短い周期 (1024 サイクル / 16ms 等) に設定し直し、リフレッシュコントローラのオーバフロー割り込みを設定し、リフレッシュコントローラのリフレッシュカウンタレジスタ (RFCR) を 0 にクリアする。
  - (b3) セルフリフレッシュモードに設定する。

これにより、セルフリフレッシュ直後のリフレッシュは、設定された短い周期で行われ、一通りリフレッシュが終わると、割り込みが発生し、本来のリフレッシュ周期に設定を戻すことができます。

CAS ビフォ RAS リフレッシュは、通常動作時、スリープモード時およびマニュアルリセット時に行われます。

また、セルフリフレッシュは、通常動作時、スリープモード時、スタンバイモード時およびマニュアルリセット時に行われます。

バスアービトレーション要求によりバス権を解放した場合やスタンバイモードに遷移した場合、一般の信号は High-Z 状態になりますが、 $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$  信号については High-Z 状態にするか、出力を保持し続けるかを BCR1 の HIZCNT ビットで制御できます。これにより、DRAM をセルフリフレッシュの状態にしたまま保持することができます。

DRAM の  $\overline{\text{CAS}}$  信号には、通常メモリ (SRAM など) の  $\overline{\text{WE}}$  信号がマルチプレクスされているので、セルフリフレッシュ中は、 $\overline{\text{WE}}$  信号を使用するメモリへのアクセスは禁止です。



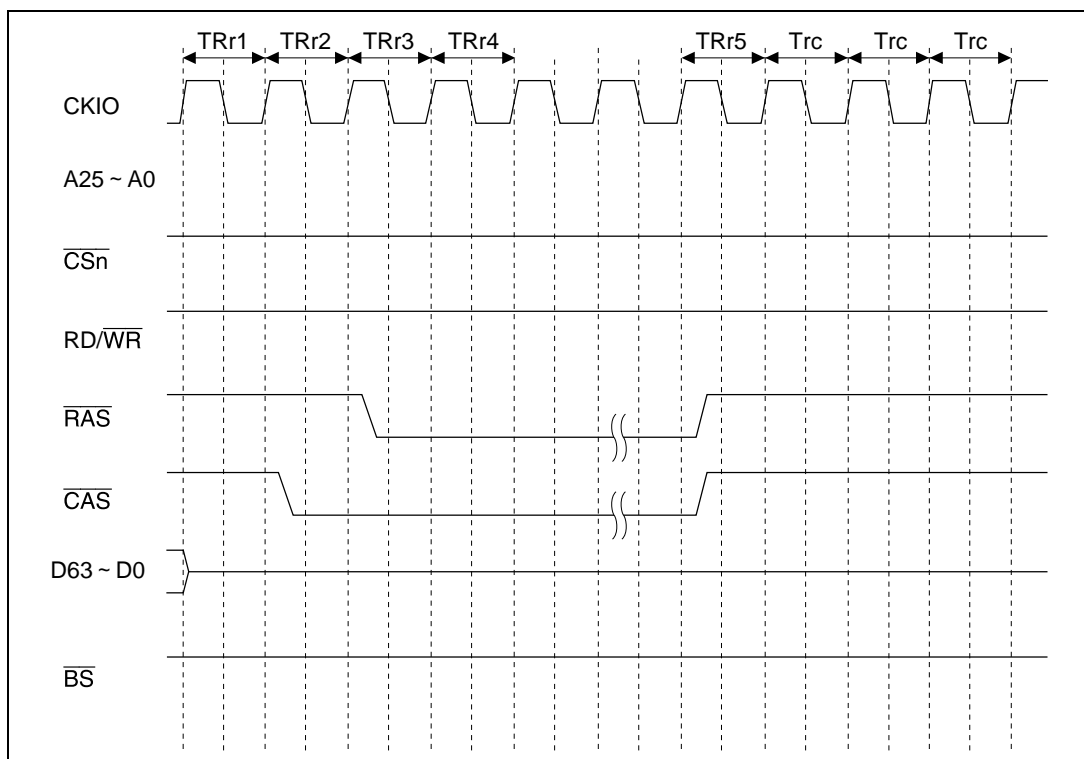


図 13.23 DRAM セルフリフレッシュサイクルタイミング

## (9) パワーオンシーケンス

電源投入後の DRAM の使用に関しては、アクセスの行えない待機時間 (100  $\mu$ s または 200  $\mu$ s 以上) とそれに続く所定回数 (通常 8 回) 以上のダミーの CAS ビフォ RAS リフレッシュサイクルを行うことが要求されています。バスステートコントローラは、パワーオンリセットに対してなにも特別な動作を行わないため、必要なパワーオンシーケンスはパワーオンリセット後に実行する初期化プログラムによって実現する必要があります。

### 13.3.5 シンクロナス DRAM インタフェース

#### (1) シンクロナス DRAM 直結方式

シンクロナス DRAM は  $\overline{CS}$  信号によって選択できるため、 $\overline{RAS}$  等の制御信号を共通に使用して物理空間のエリア 2 とエリア 3 に接続が可能です。BCR1 メモリタイプビット (DRAMTP2~0) を 010 に設定すると、エリア 2 が通常メモリ空間、エリア 3 がシンクロナス DRAM 空間になり、011 に設定するとエリア 2、エリア 3 がともにシンクロナス DRAM 空間となります。

本 LSI ではシンクロナス DRAM の動作モードとして、バーストリード/ライトのモードをサポートしています。データのバス幅は 32 ビットまたは 64 ビットであり、MCR のサイズビット SZ を必ず 00 または 11 に設定してください。MCR のバーストイネーブルビット BE は無視され、キャッシュのフィル/コピーバックサイクルでは 32 バイトのバースト転送が行われ、ライトスルー領域の書き込みや、キャッシュ非対象領域の読み出し/書き込みではシンクロナス DRAM に対し、バーストリード/ライトでアクセスするため、シングルリード時でも 32 バイトのデータを読み込みます。またシングルライト時でも 32 バイトのデータ転送を行います。不必要なデータ転送のときは、DQMn がアサートされません。

シンクロナス DRAM を直結するための制御信号は  $\overline{RAS}$ 、 $\overline{CAS}$ 、 $\overline{RD/WR}$ 、 $\overline{CS2}$  または  $\overline{CS3}$ 、DQM0 ~ DQM7 および CKE 信号です。 $\overline{CS2}$  または  $\overline{CS3}$  を除く信号は各エリア共通であり、CKE を除く信号は  $\overline{CS2}$  または  $\overline{CS3}$  がアサートされたときのみ有効となり取り込まれます。したがって、複数のエリアにシンクロナス DRAM を並列に接続することができます。CKE は周波数変更時または、クロック停止、クロック供給再開時のクロックの不安定なときまたは、セルフリフレッシュを行うときネゲート (L レベルに) され、それ以外は常にアサート (H レベルに) されています。

$\overline{RAS}$ 、 $\overline{CAS}$ 、 $\overline{RD/WR}$  および特定のアドレス信号によって、シンクロナス DRAM に対するコマンドが指定されます。コマンドには、NOP、オートリフレッシュ (REF)、セルフリフレッシュ (SELF)、全バンクプリチャージ (PALL)、指定バンクプリチャージ (PRE)、ロウアドレスストローブ・バンクアクティブ (ACTV)、リード (READ)、プリチャージ付きリード (READA)、ライト (WRIT)、プリチャージ付きライト (WRITA)、モードレジスタ書き込み (MRS) があります。

バイトの指定は DQM0 ~ DQM7 によって行われます。該当する DQM が L のバイトに対して読み出し/書き込みが行われます。バス幅が 64 ビットで、ビッグエンディアンモードの場合、DQM7 は  $8n$  番地のアクセスを、DQM0 は  $8n+7$  番地のアクセスを指定します。またリトルエンディアンモードの場合、DQM7 は  $8n+7$  番地のアクセスを、DQM0 は  $8n$  番地のアクセスを指定します。

図 13.24、13.25 に  $16M \times 16$  ビットのシンクロナス DRAM を接続する場合の例を示します。

### 13. バスステートコントローラ (BSC)

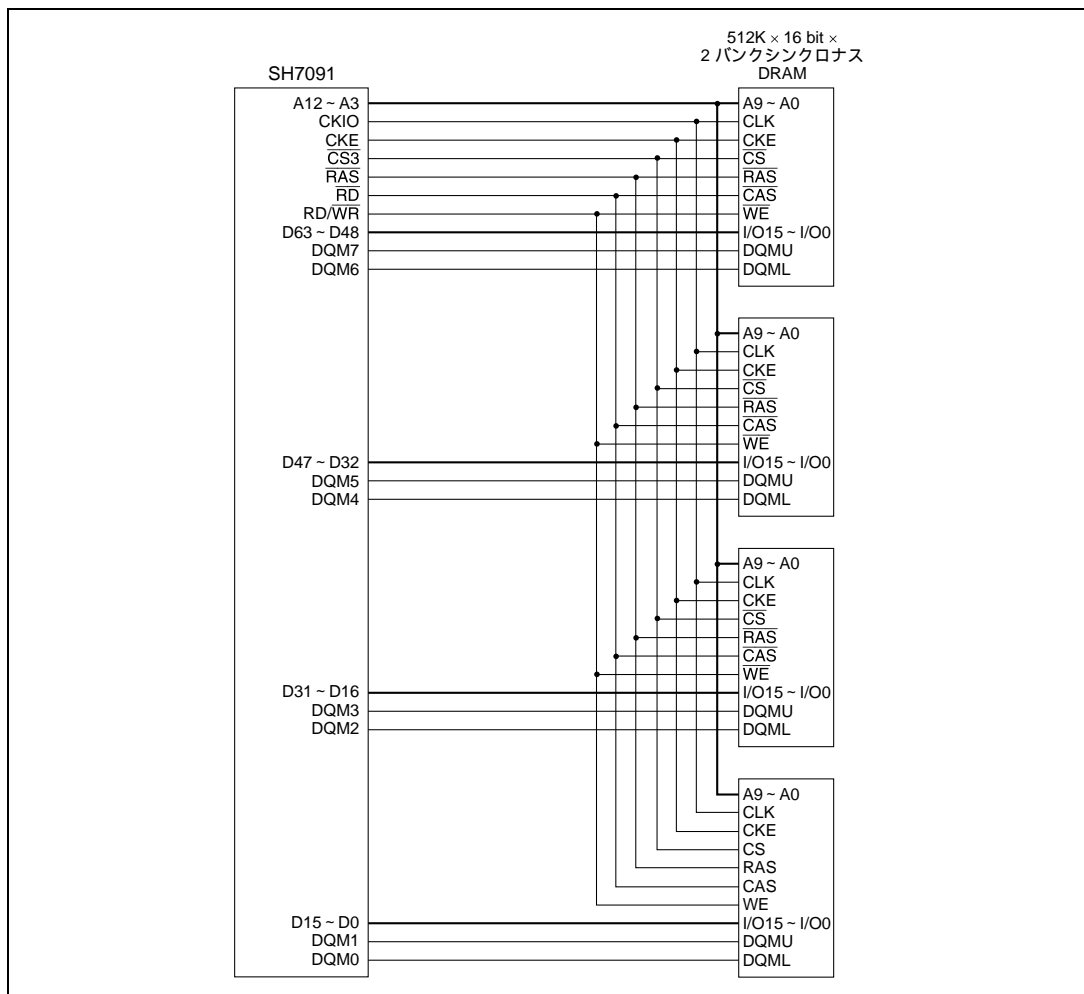


図 13.24 64 ビットデータ幅シンクロナス DRAM 接続例 (エリア 3)

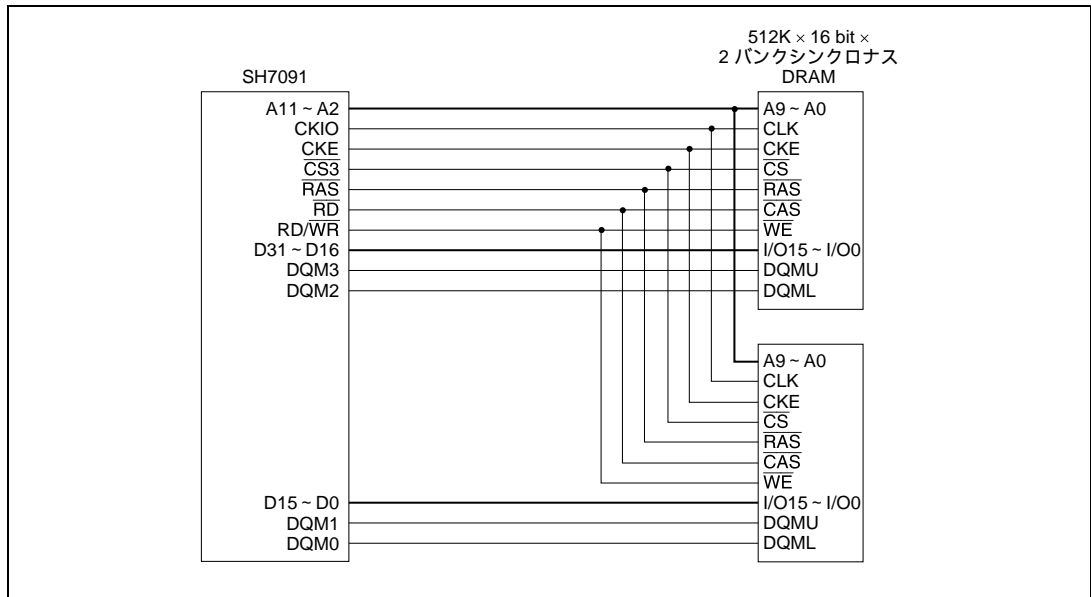


図 13.25 32 ビットデータ幅シンクロナス DRAM 接続例 (エリア 3)

## (2) アドレスマルチプレクス

MCR のアドレスマルチプレクス指定 AMXEXT、AMX2 ~ AMX0 に従って、外付けのマルチプレクス回路なしにシンクロナス DRAM に接続できるように、アドレスのマルチプレクスを行います。表 13.15 にマルチプレクスの指定ビットとアドレス端子に出力されるビットの関係を示します。その他の設定は、「付録 F シンクロナス DRAM のアドレスマルチプレクス表」を参照してください。

A25 ~ A18 と A1、A0 に出力されるアドレスは保証されません。

シンクロナス DRAM のアドレス端子の LSB である A0 は、本 LSI に接続するとバス幅 32 ビットの場合、ロングワードアドレスの指定を行います。したがって、シンクロナス DRAM の A0 を本 LSI の A2 端子に接続し、以下 A1 端子を A3 端子にという順で接続してください。バス幅 64 ビットの場合、LSB はクワッドワードアドレスの指定を行います。したがって、シンクロナス DRAM の A0 を本 LSI の A3 端子に接続し、以下 A1 端子を A4 端子にという順で接続してください。

### 13. バスステートコントローラ (BSC)

表 13.15 SH7091 とシンクロナス DRAM のアドレス端子対応例  
(バス幅 64 ビット、AMX2 ~ AMX0 = 011、AMXEXT=0)

| SH7091 の |          |          | シンクロナス<br>DRAM の |                      |
|----------|----------|----------|------------------|----------------------|
| アドレス端子   | RAS サイクル | CAS サイクル | アドレス端子           | 機能                   |
| A14      | A22      | A22      | A11              | BANK セレクトバンク<br>アドレス |
| A13      | A21      | H/L      | A10              | アドレスプリチャージ<br>設定     |
| A12      | A20      | 0        | A9               |                      |
| A11      | A19      | 0        | A8               |                      |
| A10      | A18      | A10      | A7               |                      |
| A9       | A17      | A9       | A6               |                      |
| A8       | A16      | A8       | A5               |                      |
| A7       | A15      | A7       | A4               |                      |
| A6       | A14      | A6       | A3               |                      |
| A5       | A13      | A5       | A2               |                      |
| A4       | A12      | A4       | A1               |                      |
| A3       | A11      | A3       | A0               |                      |
| A2       | -        | A2       | 未使用              |                      |
| A1       | -        | A1       | 未使用              |                      |
| A0       | -        | A0       | 未使用              |                      |

#### (3) バーストリード

バーストリード時のタイミングチャートを図 13.26 に示します。以下の例では 512K×16 ビット×2 バンクのシンクロナス DRAM を 4 個接続し、データ幅 64 ビットで使用した場合を想定しており、バースト長は 4 となっています。ACTV コマンド出力を行う Tr サイクルに続いて、READA コマンドを Tc1 サイクルに発行し、Td1 から Td4 のサイクルに外部コマンドクロック (CKIO) の立ち上がりでリードデータを受け取ります。Tpc はシンクロナス DRAM 内部で READA コマンドに基づくオートプリチャージが完了するのを待つサイクルであり、この間は同一バンクに対して新たなアクセスコマンドの発行は行えません。本 LSI では MCR の TPC2 ~ TPC0 ビットの指定によって Tpc のサイクル数を決定し、この間同一シンクロナス DRAM に対するコマンド発行を行いません。

図 13.26 の例は基本サイクルを表したものです。より低速なシンクロナス DRAM を接続するため、WCR2 および MCR のビットを設定することによって、サイクルを延ばすことができます。ACTV コマンド出力サイクル Tr から READA コマンド出力サイクル Tc1 までのサイクル数は、MCR の RCD1、RCD0 ビットによって指定することができ、0 ~ 3 のときそれぞれ 2 ~ 4 サイクルとなります。2 サイクル以上の場合、Tr サイクルと Tc サイクルの間にシンクロナス DRAM に対する NOP コマンド発行サイクル Trw が挿入されます。READA コマンド出力サイクル Tc1 から最初のリードデータ取り込みサイクル Td1 までのサイクル数は、WCR2 の A2W2 ~ A2W0 および A3W2 ~ A3W0 ビットによって、1 サイクルから 5 サイクルまでエリア 2、エリア 3 それぞれ独立に指定することができます。このサイクル数はシンクロナス DRAM の CAS レイテンシサイクル数に相当します。

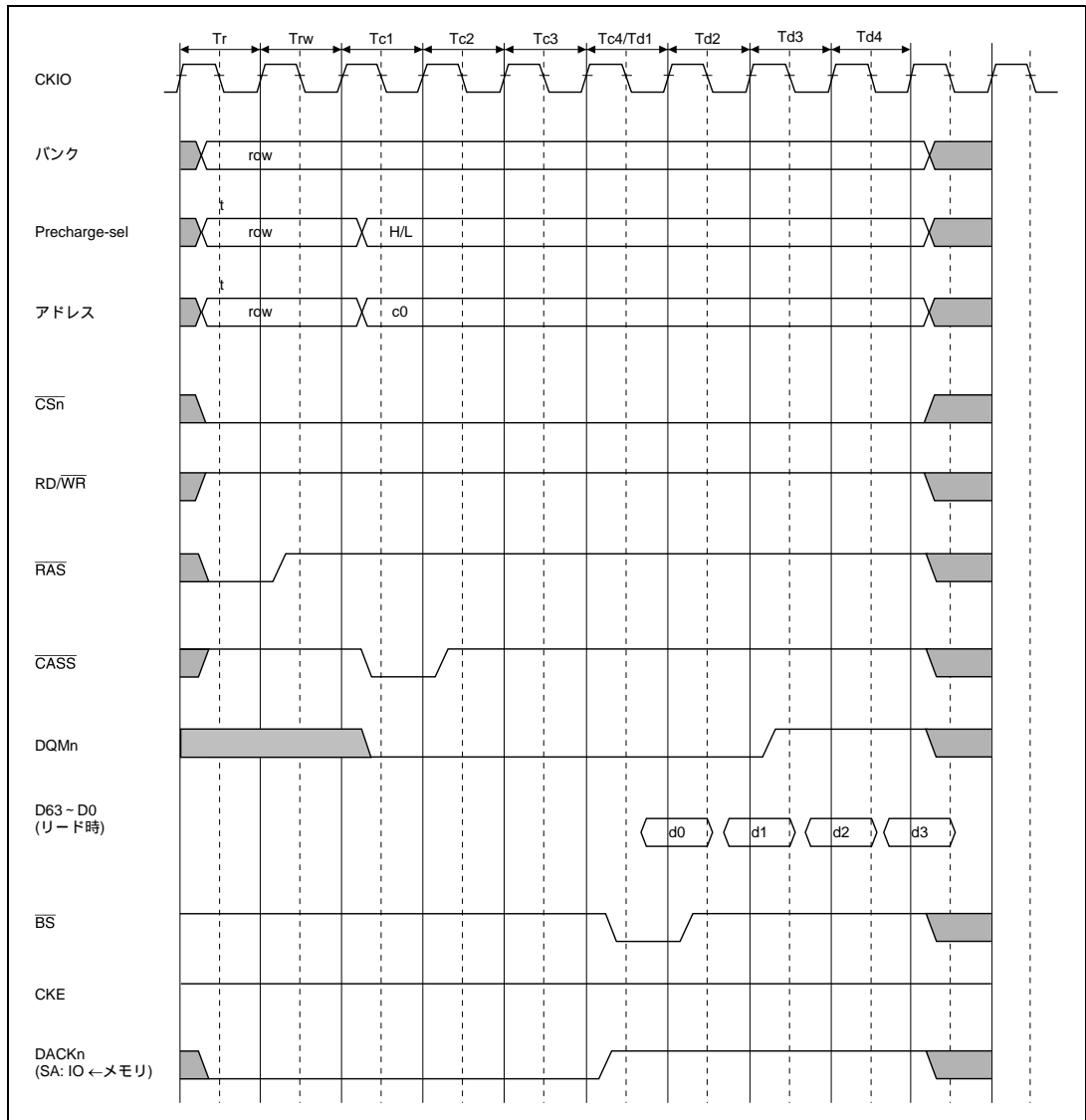


図 13.26 シンクロナス DRAM バーストリード基本タイミング

シンクロナス DRAM サイクルでは、バスサイクル開始時に、 $\overline{BS}$  信号が 1 サイクルアサートされます。アクセスの順は、キャッシュミス時のフィル動作では、ミスしたデータを含む 64 ビットバウンダリのデータが最初に読み込まれ、その後ミスしたデータを含む 32 バイトバウンダリのデータをラップアラウンドに読み込みます。

### 13. バスステートコントローラ (BSC)

#### (4) シングルリード

本 LSI では、シンクロナス DRAM をバーストリード / バーストライトのモードに設定するため、必要なデータを受け取った後も読み出しデータの出力が続けられます。データの衝突を避けるため、Td1 で必要なデータの読み込みを行った後、Td2 から Td4 の空読みサイクルを行い、シンクロナス DRAM の動作終了を待ちます。BS 信号も Td1 でのみアサートされます。

データ幅が 64 ビットの場合、読み出し時のバースト転送数は 4 となります。キャッシュスルーおよびその他の DMA リードサイクルでは Td1 から Td4 の 4 サイクルのうち Td1 サイクルでのみ BS がアサートされ、データが取り込まれます。

空のサイクルがあると、メモリアクセス時間が増大し、プログラムの実行速度や DMA 転送速度の低下を招くので、不必要なキャッシュスルー領域のアクセスを避けるとともに、シンクロナス DRAM をソースに指定した DMA 転送を行う場合、データを 32 バイト境界に配置して 32 バイト単位の転送ができるようなデータ構造を採用することが重要です。

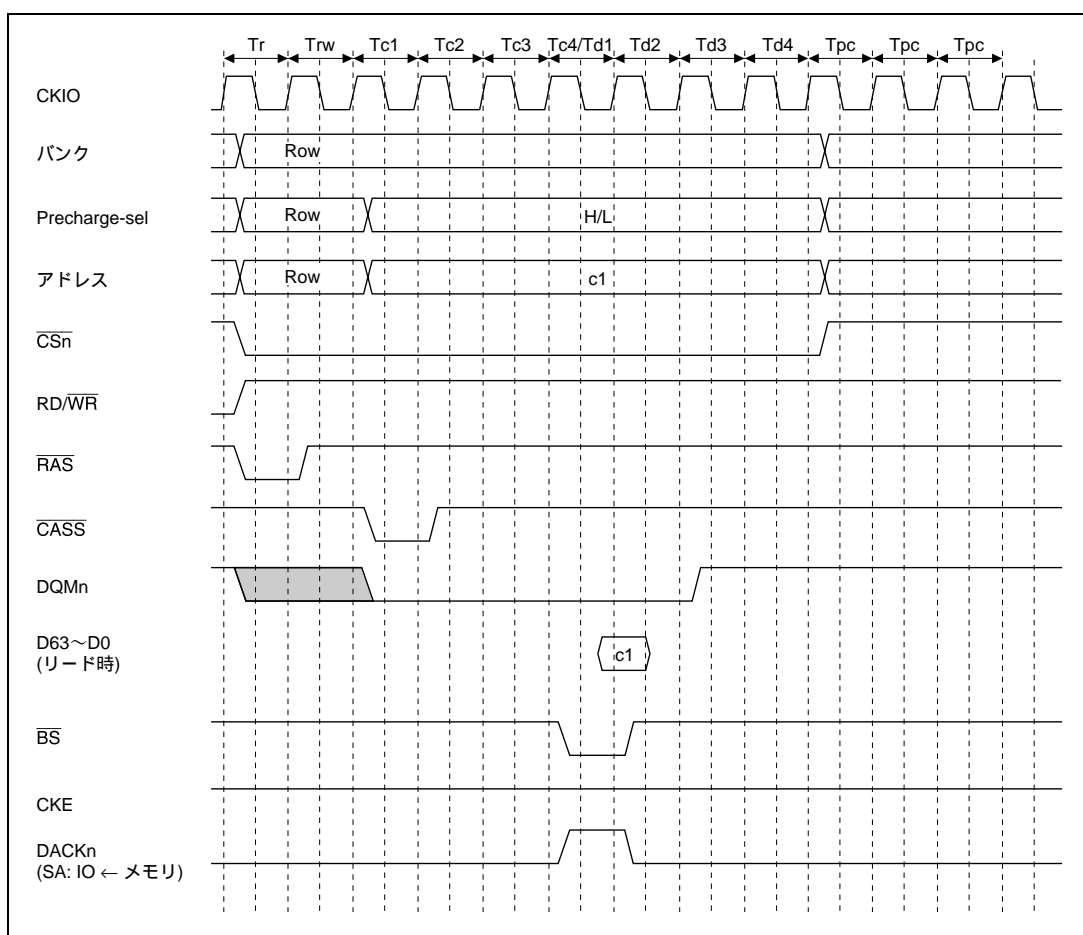


図 13.27 シンクロナス DRAM シングルリード基本タイミング

## (5) バーストライト

バーストライト時のタイミングチャートを図 13.28 に示します。本 LSI でバーストライトが発生するのはキャッシュのコピーバック、または DMAC による 32 バイト転送が発生した場合です。バーストライトの動作は ACTV コマンド出力を行う  $T_r$  サイクルに続いて、オートプリチャージを行う WRITA コマンドを  $T_{c1}$  サイクルに発行します。ライトサイクルでは、ライトデータはライトコマンドと同時に出力します。オートプリチャージ付きライトコマンドの場合、シンクロナス DRAM の内部では、ライトコマンドの完了後、当該バンクのプリチャージを行うので、プリチャージ完了まで同一バンクに対するコマンド発行は行えません。このため、リードアクセス時のプリチャージ待ちサイクル  $T_{pc}$  に加え、ライトコマンド後、プリチャージが起動されるまでの時間を待つ  $Trw1$  サイクルが加わり、この間同一のバンクに対する新たなコマンドの発行を遅らせます。 $Trw1$  サイクルのサイクル数は MCR の  $TRWL2 \sim TRWL0$  ビットによって指定可能です。32 バイトのバウンダリデータをラップアラウンドで書き込みます。

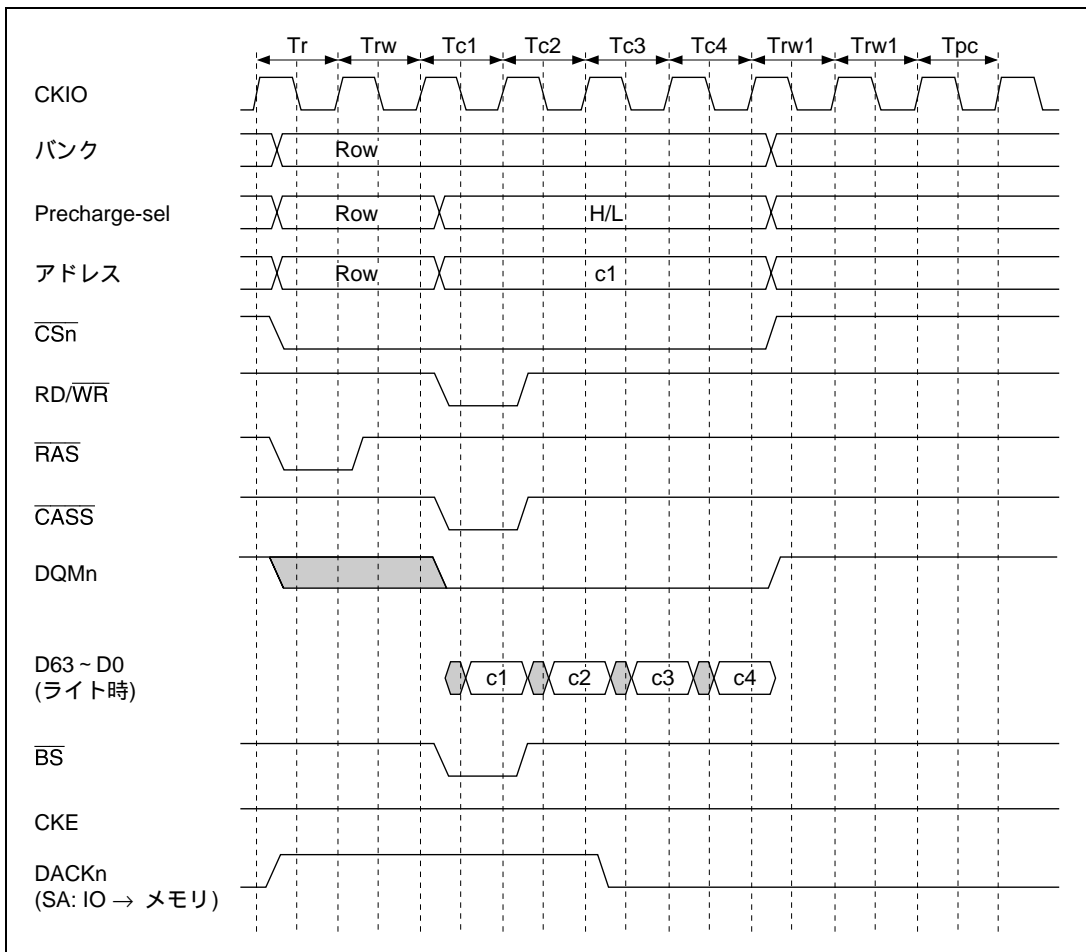


図 13.28 シンクロナス DRAM バーストライト基本タイミング



## (6) シングルライト

ライトアクセスの基本タイミングチャートを図 13.29 に示します。シングルライトの動作は、ACTV コマンドを行う  $T_r$  サイクルに続いて、オートプリチャージを行う  $WRITA$  コマンドを  $T_{c1}$  で発行します。ライトサイクルでは、ライトデータはライトコマンドと同時に出力します。オートプリチャージ付きライトの場合、シンクロナス DRAM の内部では、ライトコマンドの完了後当該バンクのプリチャージを行うので、プリチャージ完了まで同一バンクに対するコマンド発行は行えません。

このため、リードアクセス時のプリチャージ待ちサイクル  $T_{pc}$  に加え、ライトコマンド後、プリチャージが起動されるまでの時間待つ  $Trw1$  サイクルが加わり、この間同一のバンクに対する新たなコマンドの発行を遅らせます。 $Trw1$  サイクルのサイクル数は MCR の  $TRWL2 \sim TRWL0$  ビットによって指定可能です。

本 LSI は、シンクロナス DRAM に対してバーストリード/バーストライトをサポートしていますので、シングルライトであっても、バーストライトと同じサイクルがかかります。

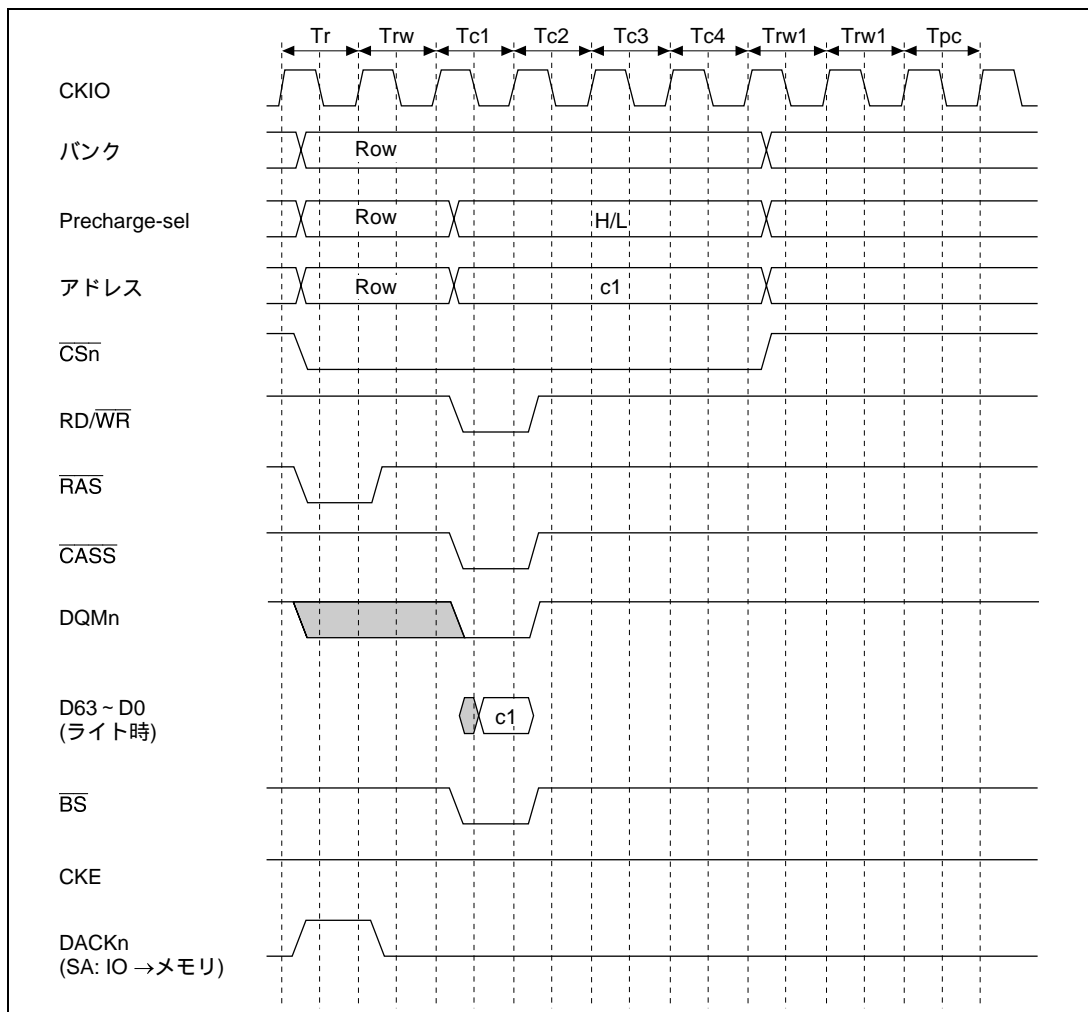


図 13.29 シンクロナス DRAM シングルライト基本タイミング

## (7) RAS ダウンモード

同一のロウアドレスに対するアクセスを高速にサポートするため、シンクロナス DRAM のバンク機能を用います。MCR の RASD ビットが 1 の場合、リード/ライトコマンドはオートプリチャージなしのコマンド (READ、WRIT) を使用してアクセスを行います。この場合、アクセスが終了してもプリチャージが行われません。同じバンクの同じロウアドレスにアクセスする場合、DRAM における RAS ダウン状態と同様に、ACTV コマンドを発行せずに、直ちに READ または WRIT コマンドを発行することができます。シンクロナス DRAM の内部は 2 つもしくは 4 つのバンクに分かれているので、それぞれのバンクで 1 つのロウアドレスをアクティブ状態としておくことができます。次のアクセスが異なるロウアドレスに対するものであった場合には、最初に PRE コマンドを発行して当該バンクのプリチャージを行い、プリチャージ完了後 ACTV コマンド、READ または WRIT コマンドの順にアクセスを行います。異なるロウアドレスに対するアクセスが続く場合には、アクセス要求があってからプリチャージを行うため、かえってアクセス時間が延びてしまいます。

書き込みの場合、オートプリチャージを行うと、WRIT コマンド発行後  $Trwl+Tpc$  サイクルの間コマンド発行を行えません。RAS ダウンモードを用いると、同一ロウアドレスの場合には続けて READ または WRIT コマンドを発行することができます。したがって、一つの書き込みごとに  $Trwl+Tpc$  サイクルだけサイクル数を短縮することができます。プリチャージコマンド発行からロウアドレスストローブコマンドまでのサイクル数は MCR の TPC2 ~ TPC0 ビットで決まります。

各バンクをアクティブ状態にしておける時間  $t_{RAS}$  には制限があります。プログラムの実行によってこの値を守る周期で、キャッシュにヒットせず別のロウアドレスにアクセスする保証がない場合、オートリフレッシュを行う設定にし、リフレッシュ周期を  $t_{RAS}$  の最大値以下に設定する必要があります。これにより、各バンクの最大アクティブ状態時間の制約を守ることができます。オートリフレッシュを使用しない場合には、所定時間以上各バンクがアクティブ状態にとどまらない工夫をプログラムする必要があります。

図 13.30 にオートプリチャージなしのバーストリードサイクルを、図 13.31 には同一のロウアドレスに対するバーストリードサイクルを、図 13.32 には異なるロウアドレスに対するバーストリードサイクルを示します。同様に図 13.33 にオートプリチャージなしのライトサイクルを、図 13.34 に同一のロウアドレスに対するライトサイクルを、図 13.35 には異なるロウアドレスに対するライトサイクルを示します。

シンクロナス DRAM は読み出し時に、バイト指定を行う  $DQM_n$  信号について、2 サイクルのレイテンシがあります。このために、図 13.30 において READ コマンドを発行する場合、 $T_c$  サイクルを直ちに行うと、 $T_{dl}$  サイクルのデータ出力に対する  $DQM_n$  信号の指定が行えません。このため CAS レイテンシを 1 に設定しないでください。

RAS ダウンモードに設定すると、エリア 3 のそれぞれのバンクに対するアクセスのみを見た場合、同一のロウアドレスに対するアクセスが続く限り図 13.30 または図 13.33 で始まり、図 13.31 または図 13.34 を繰り返します。間に別のエリアに対するアクセスがあっても影響はしません。バンクアクティブ中に別のロウアドレスに対するアクセスが発生した場合、これを検出した後図 13.31 または図 13.34 の代わりに図 13.32 または図 13.35 のバスサイクルを行います。RAS ダウンモードでも、リフレッシュサイクルの後またはバスアービトレーションによるバス解放の後、双方のバンクが非アクティブな状態になります。

### 13. バスステートコントローラ (BSC)

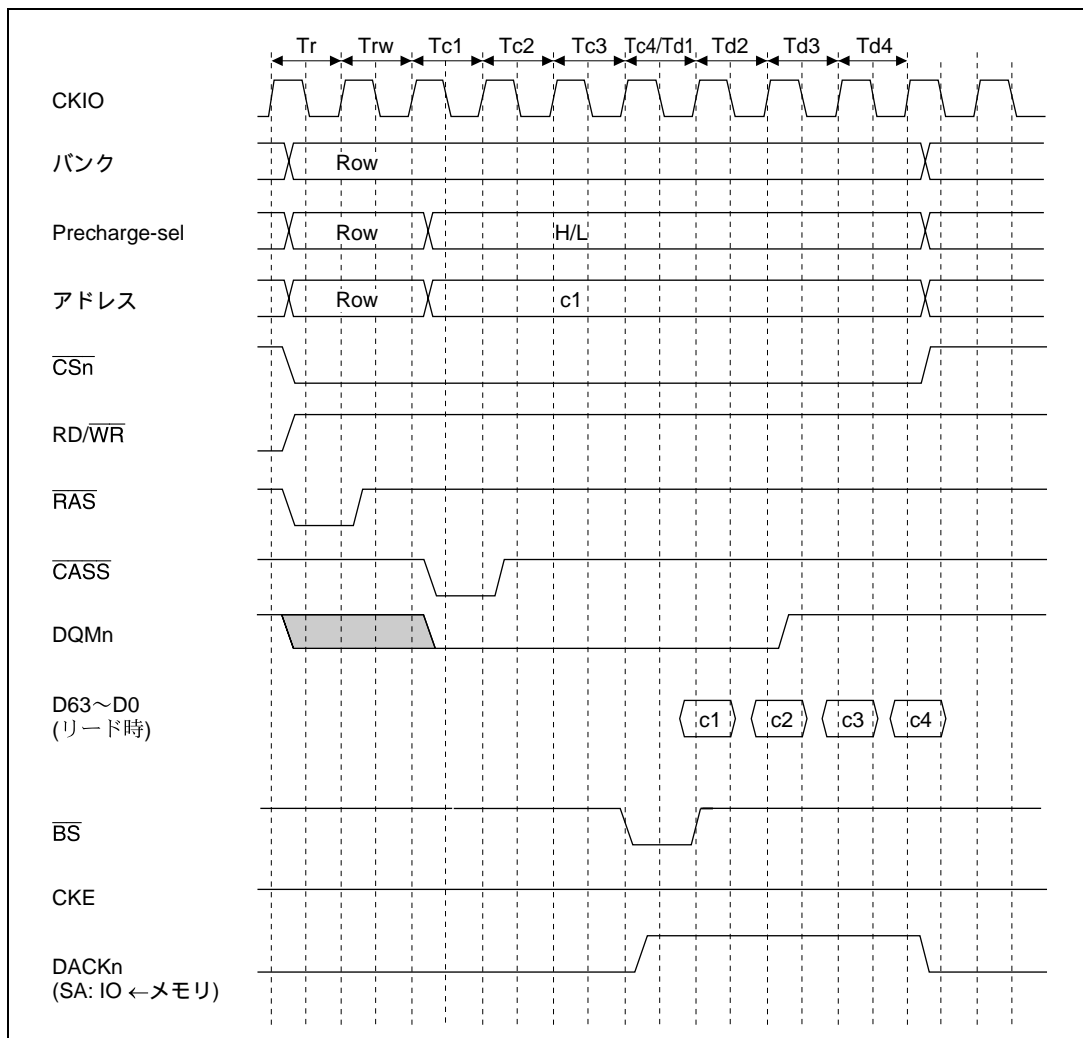


図 13.30 バーストリードタイミング

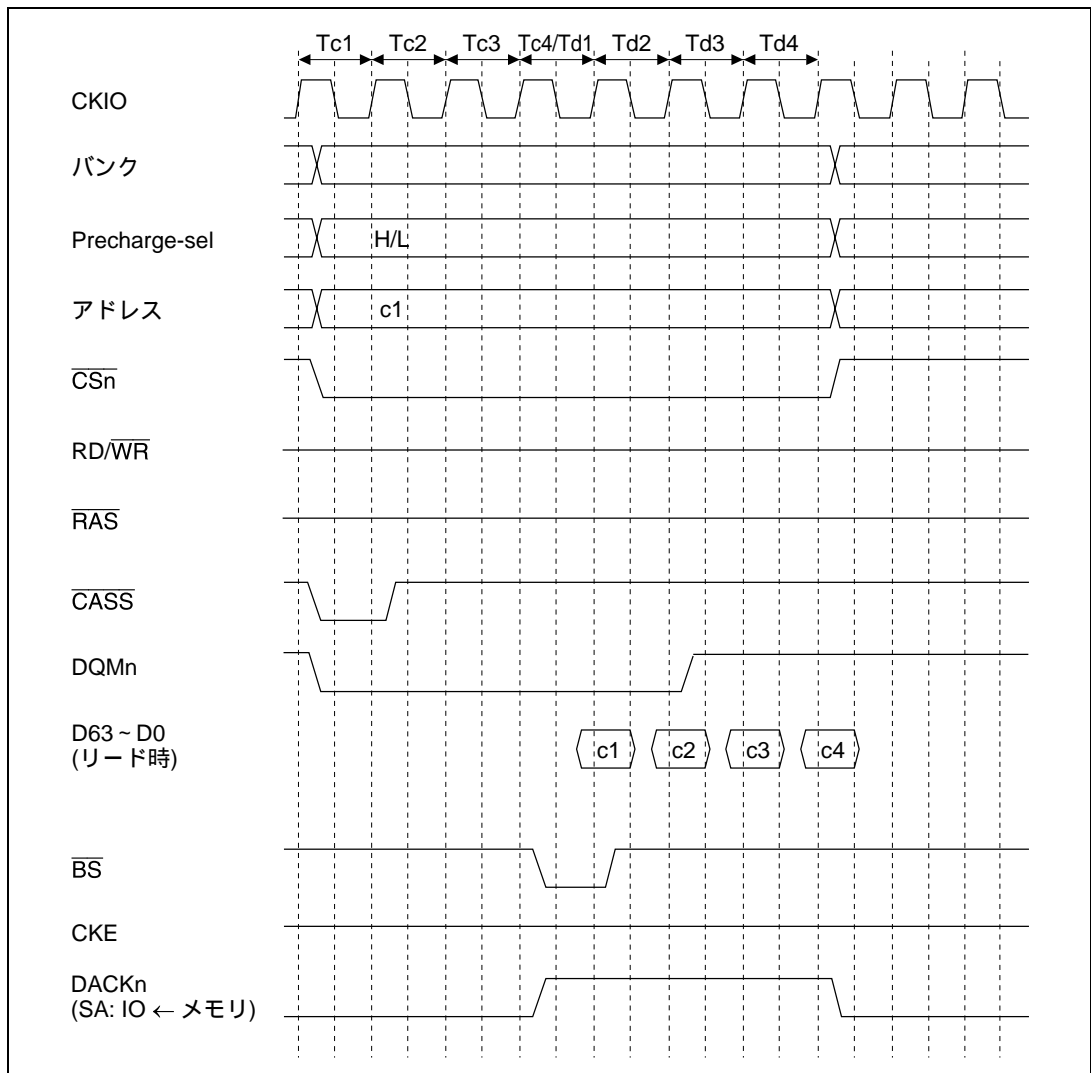


図 13.31 バーストリードタイミング (RAS ダウン、同一ロウアドレス)

### 13. バスステートコントローラ (BSC)

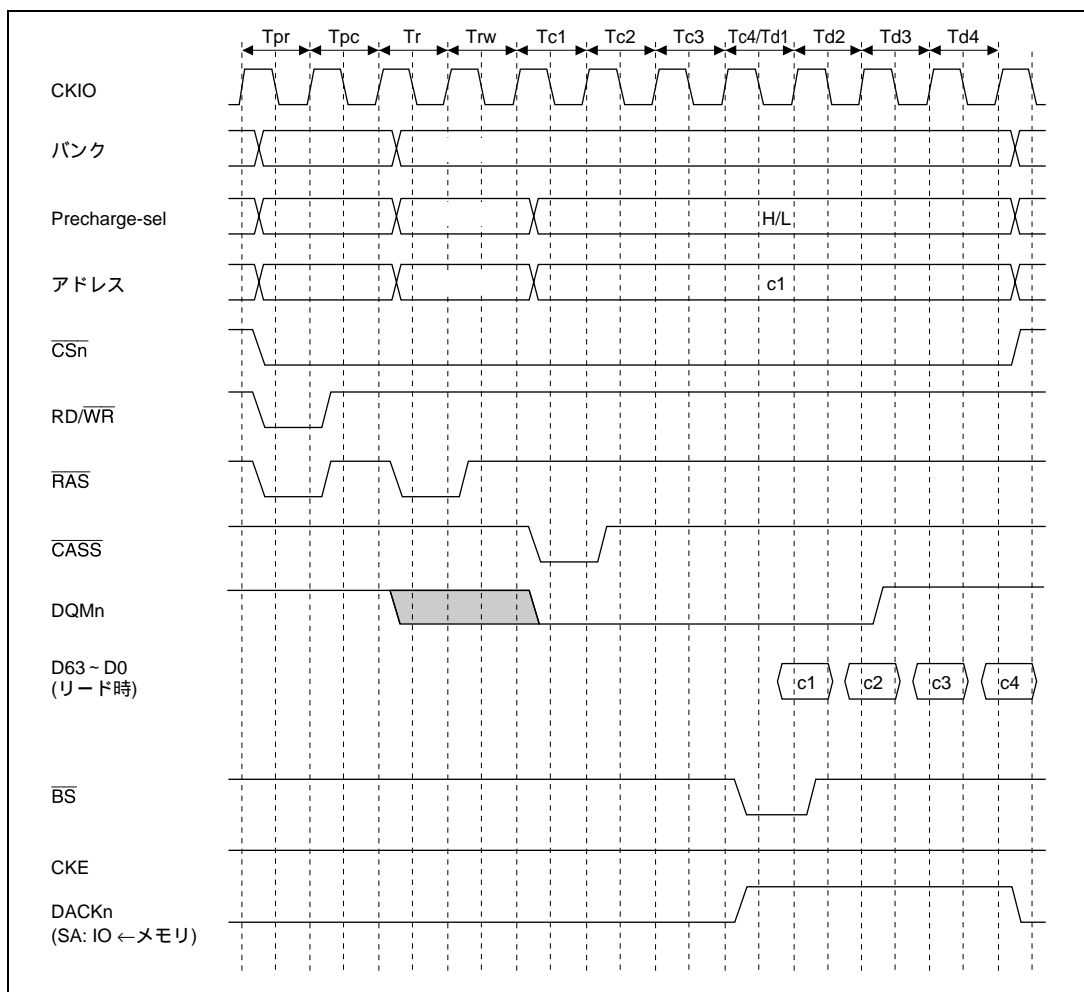


図 13.32 バーストリードタイミング (RAS ダウン、異なるロウアドレス)

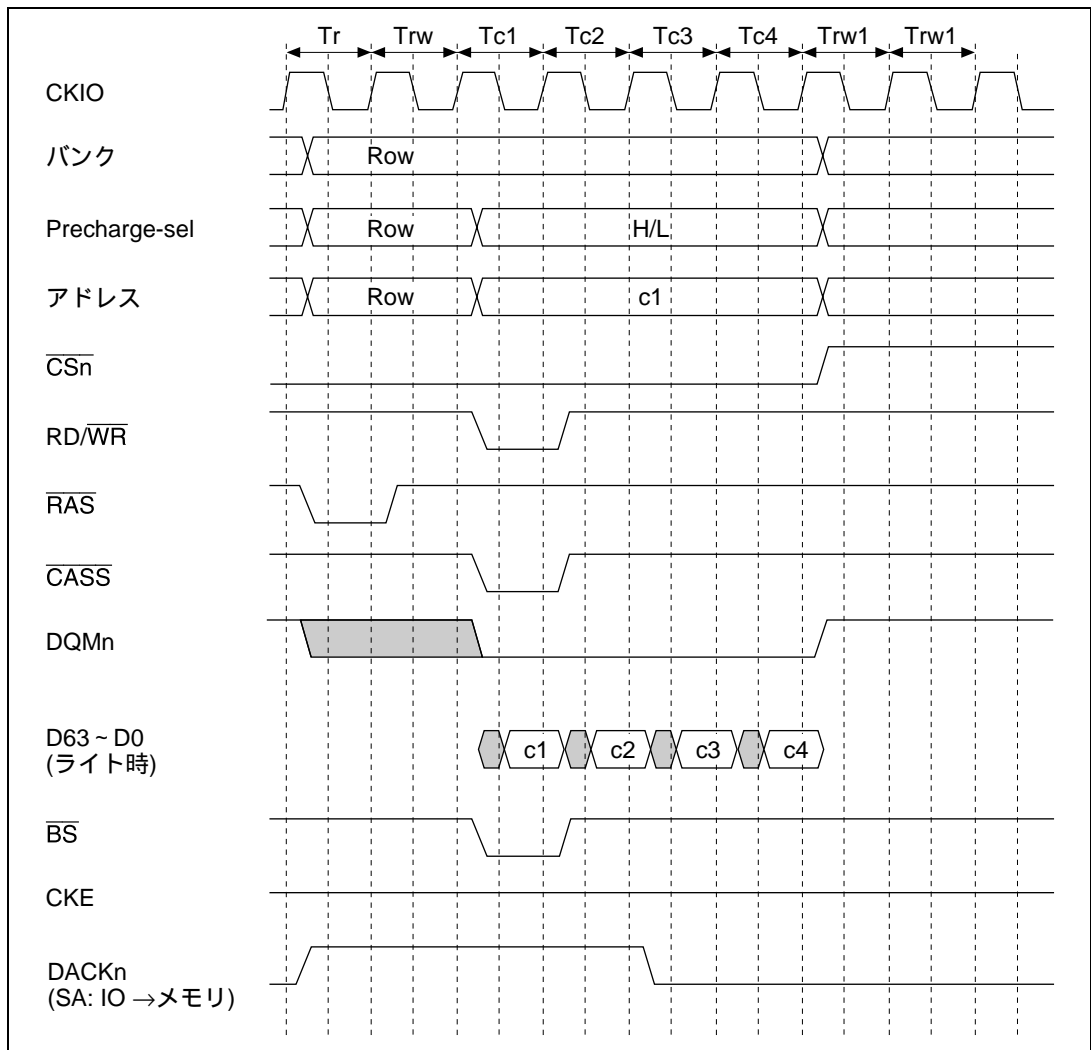


図 13.33 バーストライトタイミング

### 13. バスステートコントローラ (BSC)

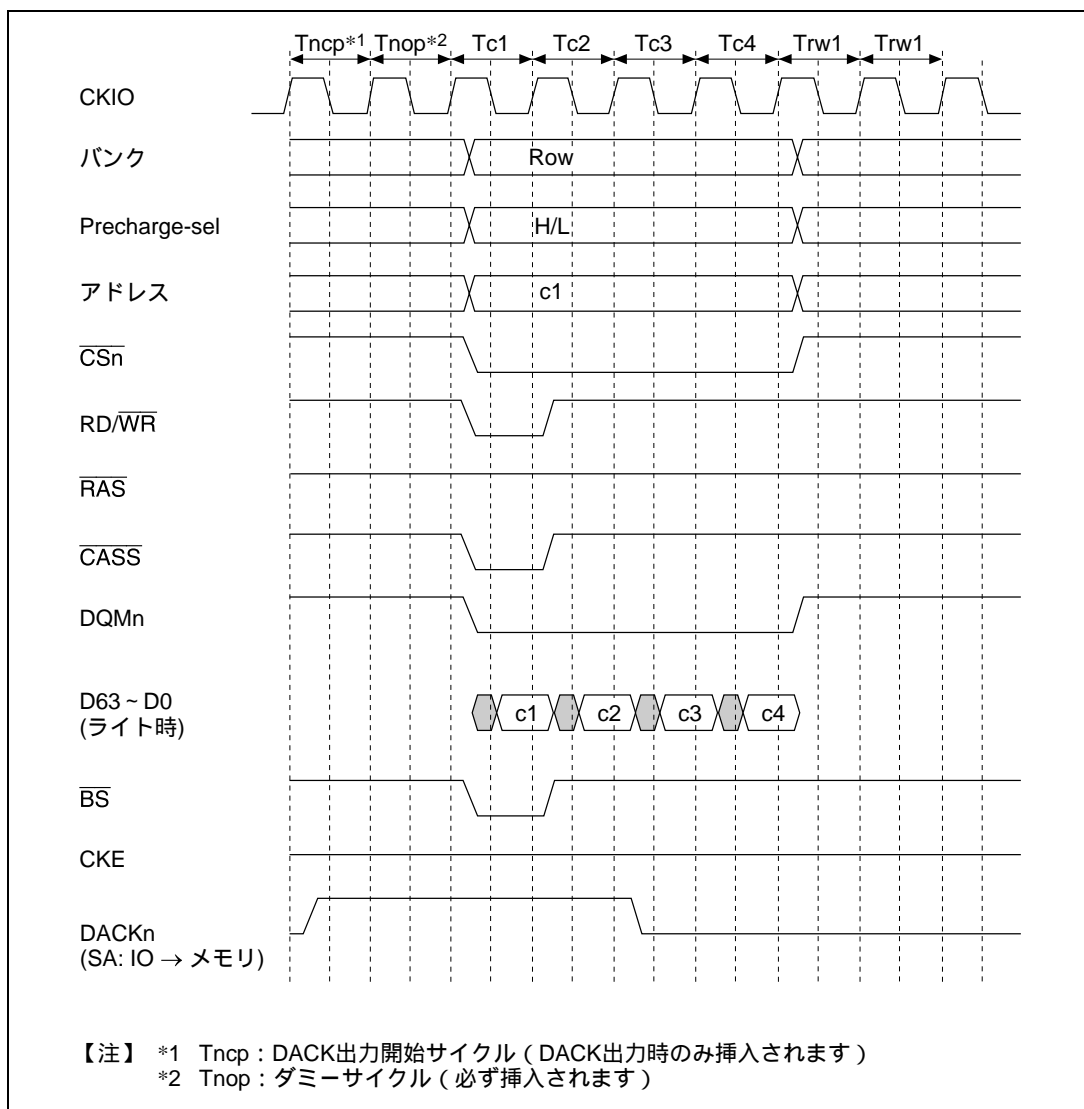


図 13.34 バーストライトタイミング (同一ロウアドレス)

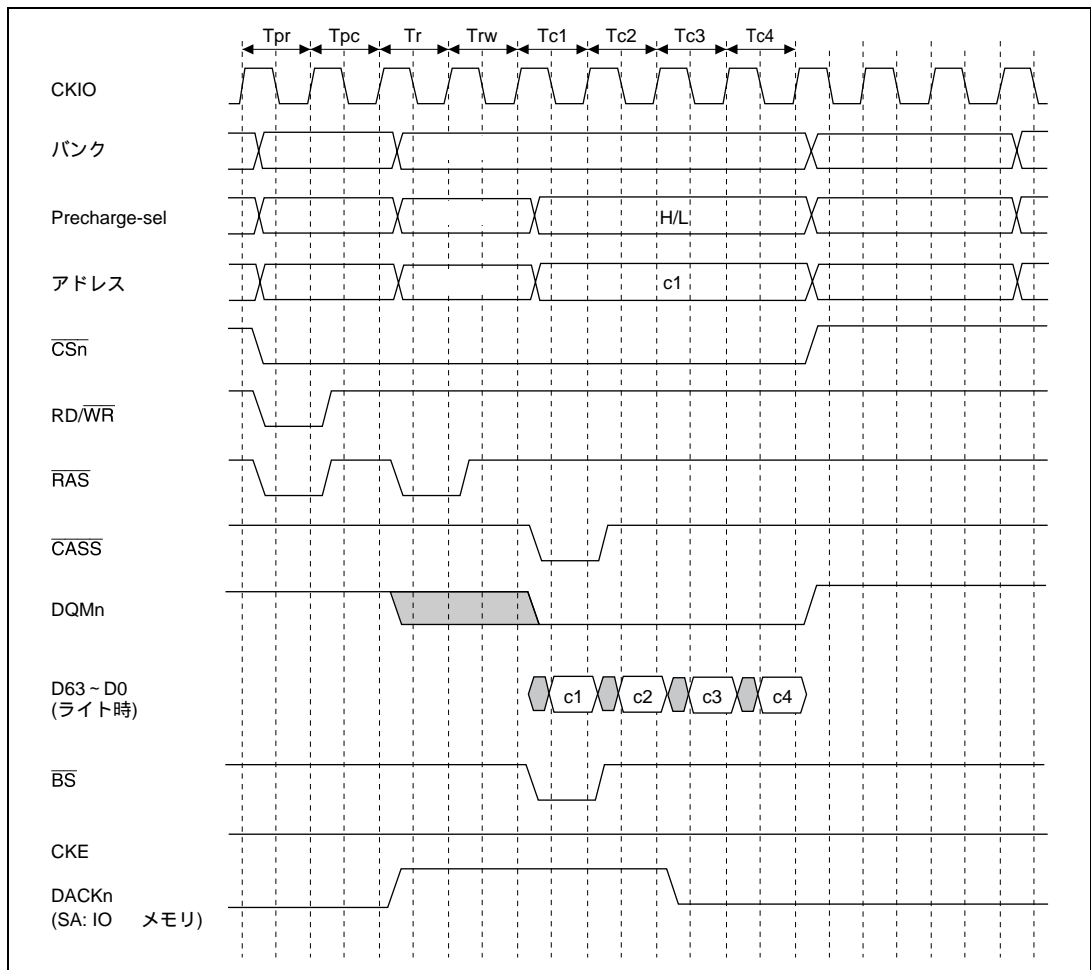


図 13.35 バーストライトタイミング (異なるロウアドレス)



#### (8) パイプラインアクセス

MCR の RASD ビットが 1 の場合、シンクロナス DRAM に対するアクセスをさらに高速にサポートするため、CPU によるアクセスと DMAC によるアクセスとの間、または DMAC によるアクセスの連続時にパイプラインアクセスを行います。シンクロナス DRAM の内部は 2 つもしくは 4 つのバンクに分かれているので、1 つのバンクに READ または WRIT コマンドを発行した後、CAS レイテンシサイクルやデータ取り込みサイクル中、もしくはデータ書き込みサイクル中に PRE、ACTV 等のコマンドが発行でき、アクセスサイクルを短縮することができます。

リードアクセスに続くリードアクセスが同一ロウアドレスであれば READ コマンドの発行後、データ取り込みサイクルの終了前に続けて READ コマンドを発行し、データバス上で読み込みデータが連続します。異なるロウアドレスに対するアクセスでかつ異なるバンクの場合には PRE コマンドもしくは ACTV コマンドが CAS レイテンシサイクルもしくはデータ取り込みサイクル中に発行できます。同一バンクで異なるロウアドレスに対するアクセス要求が続いた場合には最終データ取り込みサイクルの 1 つ前のサイクルまで PRE コマンドは発行できません。リードアクセスの後にライトサイクルが続く場合にはバンク、ロウアドレスによって PRE、ACTV コマンドの発行はできますが、WRIT コマンドと同時にライトデータが出力されますのでデータバス上で自動的に 1 ~ 2 サイクルの空きサイクルがあらわれるように PRE、ACTV、WRIT コマンドを発行します。ライトアクセス後のリードアクセス、ライトアクセス後のライトアクセスも同様に PRE、ACTV、READ コマンドを前のアクセスのデータ書き込みサイクル中に発行しますが、同一バンクで、異なるロウアドレスの場合には PRE を発行できないので、最終データ書き込みサイクル終了後、MCR の TRWL で指定した Trwl サイクル後に PRE コマンドを発行します。

図 13.36 にバーストリードサイクル後の異なるバンク、異なるロウアドレスに対するバーストリードサイクルを示します。

パイプラインアクセスはエリア 3 に対するアクセスが続く限り有効であり、間に別のエリアに対するアクセスがあるとパイプラインアクセスは中断されます。またリフレッシュサイクルまたはバスアービトレーションによるバス解放の場合もパイプラインアクセスは中断されます。パイプラインアクセスの可能な場合を表 13.16 に示します。表中 DMAC dual は DMAC のデュアルアドレスモードによる転送、DMAC single は DMAC のシングルアドレスモードによる転送を示します。

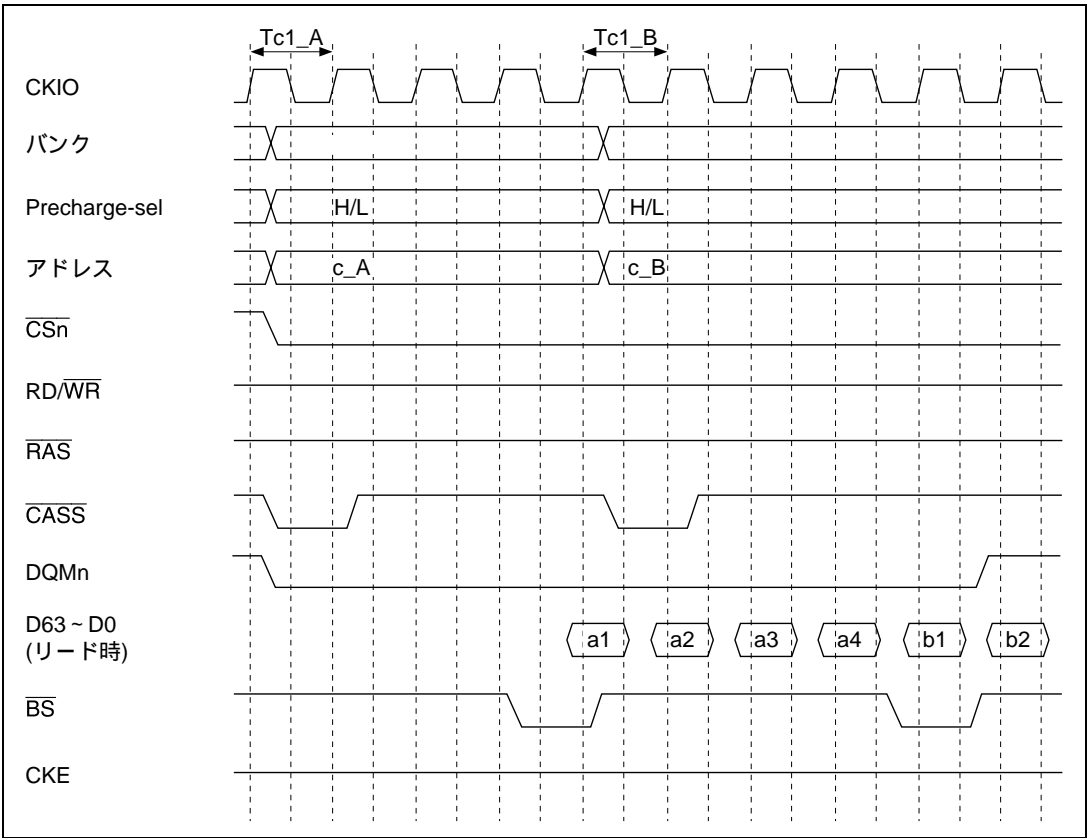


図 13.36 バーストリードサイクル後の異なるバンク、異なるロウアドレスに対するバーストリードサイクル

表 13.16 パイプラインアクセスが可能なサイクル一覧

| 前アクセス       |     | 後アクセス |     |           |     |             |     |
|-------------|-----|-------|-----|-----------|-----|-------------|-----|
|             |     | CPU   |     | DMAC dual |     | DMAC single |     |
|             |     | リード   | ライト | リード       | ライト | リード         | ライト |
| CPU         | リード | ×     | ×   |           | ×   |             |     |
|             | ライト | ×     | ×   |           | ×   |             |     |
| DMAC dual   | リード | ×     | ×   | ×         | ×   | ×           | ×   |
|             | ライト |       |     |           | ×   |             |     |
| DMAC single | リード |       |     | ×         | ×   |             |     |
|             | ライト |       |     |           | ×   |             |     |

：パイプラインアクセス可能

×：パイプラインアクセス不可能

## (9) リフレッシュ

バスステートコントローラはシンクロナス DRAM のリフレッシュを制御する機能を備えています。MCR の RMODE ビットを 0 に、RFSH ビットを 1 にセットすることによって、オートリフレッシュを行わせることができます。また、長時間シンクロナス DRAM にアクセスしないときには、RMODE ビットと RFSH ビットをともに 1 にすることによって、データ保持のための消費電力が少ないセルフリフレッシュモードを起動させることができます。

## (a) オートリフレッシュ

RTCSR の CKS2 ~ CKS0 ビットで選択した入力クロックと、RTCOR に設定した値とで決まる間隔でリフレッシュが行われます。使用するシンクロナス DRAM のリフレッシュ間隔規定を満たすように、RTCOR と CKS2 ~ CKS0 ビットの値を設定してください。最初に RTCOR、RTCNT と MCR の RMODE ビットおよび RFSH ビットの設定を行い、最後に CKS2 ~ CKS0 の設定を行ってください。CKS2 ~ CKS0 ビットによってクロックを選択すると、RTCNT はそのときの値からカウントアップを開始します。RTCNT の値は常に RTCOR の値と比較されており、両者の値が一致するとリフレッシュ要求が発生し、オートリフレッシュが行われます。同時に RTCNT はゼロクリアされ、カウントアップが再開されます。図 13.38 にオートリフレッシュサイクルのタイミングを示します。

まず、REF コマンドを TR<sub>r</sub> サイクルに発行します。TR<sub>r</sub> サイクル後、MCR の TRAS2 ~ TRAS0 ビットで指定されるサイクル数 + MCR の TRC2 ~ TRC0 ビットで指定されるサイクル数の間、新たなコマンドの出力は行いません。シンクロナス DRAM のリフレッシュサイクル時間の規定 (アクティブ・アクティブコマンド遅延時間) を満たすように TRAS2 ~ TRAS0、および TRC2 ~ TRC0 ビットを設定する必要があります。

オートリフレッシュは、通常動作時、スリープモード時およびマニュアルリセット時に行われます。

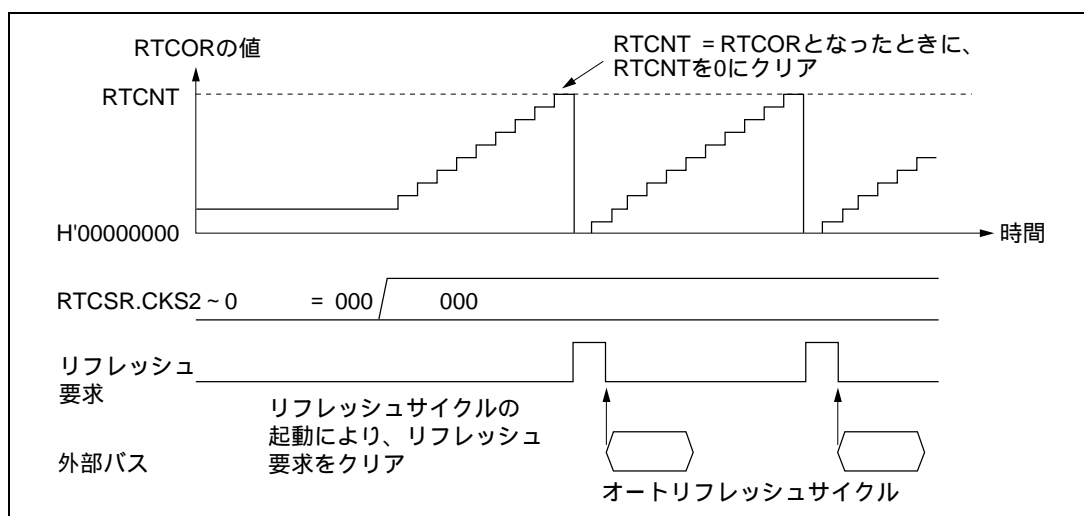


図 13.37 オートリフレッシュの動作

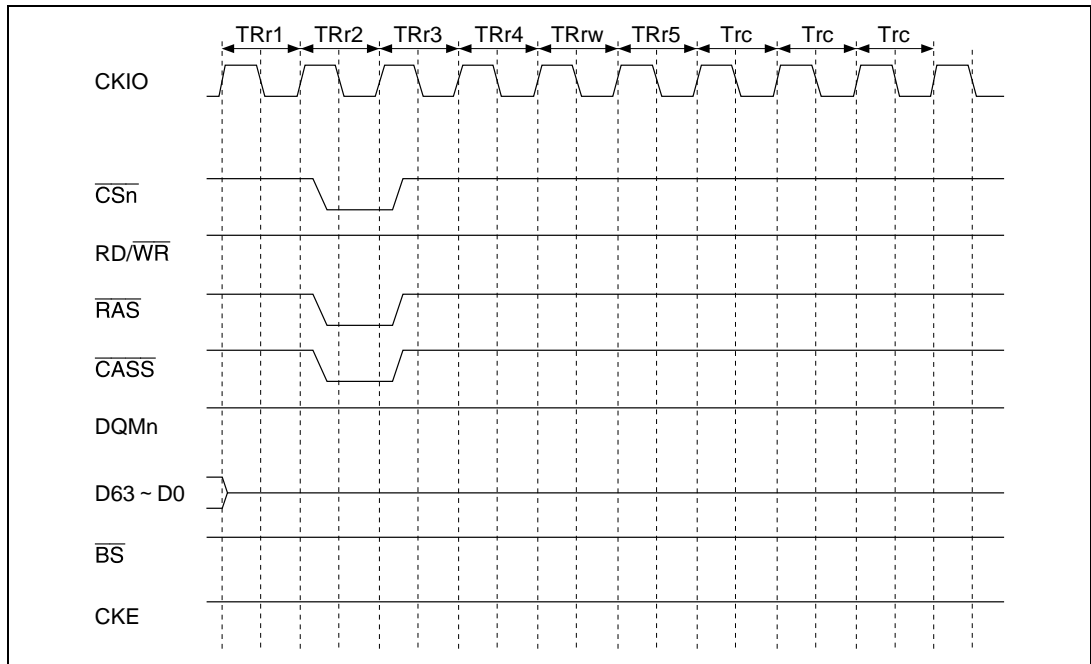


図 13.38 シンクロナス DRAM オートリフレッシュタイミング

## (b) セルフリフレッシュ

セルフリフレッシュのモードはシンクロナス DRAM の内部でリフレッシュタイミングとリフレッシュアドレスを生成する一種のスタンバイモードです。RMODE ビットと RFSH ビットをとともに 1 にすることによって起動します。CKE 信号が L レベルの間セルフリフレッシュ状態となっています。セルフリフレッシュの状態の間は、シンクロナス DRAM にアクセスすることができません。セルフリフレッシュの解除は RMODE ビットを 0 にすることによって行われます。セルフリフレッシュ解除後、MCR の TRC2 ~ TRC0 ビットで指定されるサイクル数の間はコマンドの発行が禁止されます。セルフリフレッシュのタイミングを図 13.39 に示します。セルフリフレッシュ解除、データ保持が正しく行われるように、また、オートリフレッシュが正しい間隔で行われるように設定を行ってください。オートリフレッシュの設定をしている状態からセルフリフレッシュにした場合、パワーオンリセット以外でスタンバイモードを脱出する場合、セルフリフレッシュ解除時に RFSH = 1、RMODE = 0 の設定にすればオートリフレッシュが再開されます。セルフリフレッシュ解除からオートリフレッシュ開始までに時間がかかる場合には、この時間を考慮して RTCNT の初期値の設定を行ってください。RTCNT の値を RTCOR の値 - 1 に設定すると直ちにリフレッシュを開始することができます。

セルフリフレッシュに設定した後、本 LSI のスタンバイ機能を使ってチップスタンバイ状態にした場合にもセルフリフレッシュ状態は継続され、パワーオンリセット以外でスタンバイモードから復帰する場合には復帰後もセルフリフレッシュ状態が保持されます。

パワーオンリセットの場合には、バスステートコントローラのレジスタが初期化されるため、セルフリフレッシュ状態が解除されます。

セルフリフレッシュは、スリープモード時、スタンバイモード時およびマニュアルリセットでも継続されます。

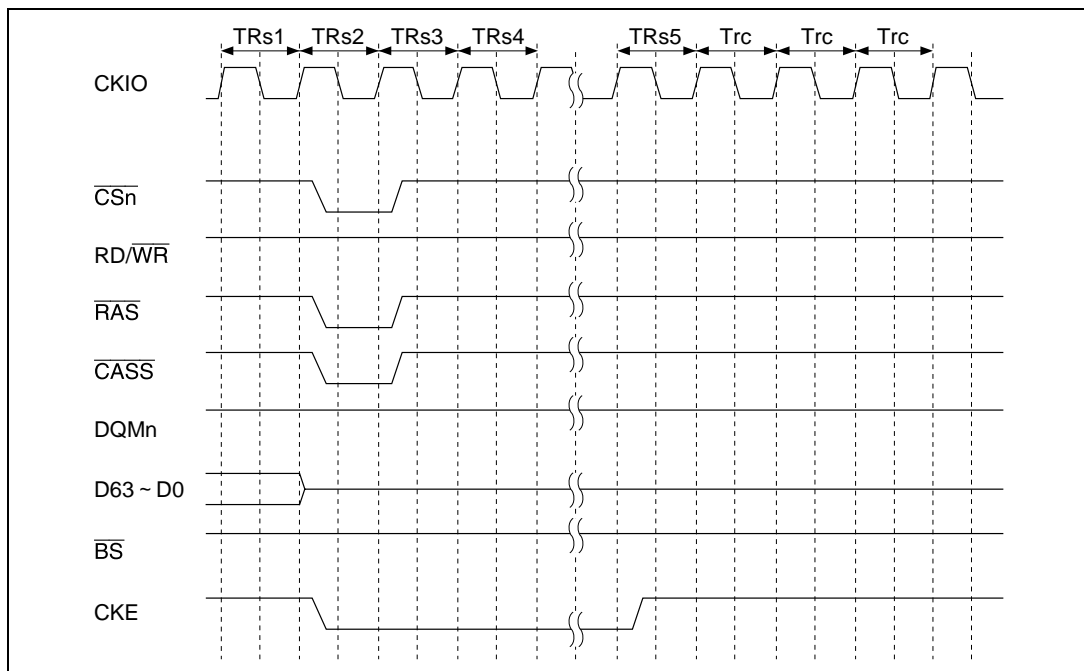


図 13.39 シンクロナス DRAM セルリフレッシュタイミング

## (c) リフレッシュ要求とバスサイクル要求の関係

バスサイクル実行中にリフレッシュ要求が生じた場合、リフレッシュの実行はバスサイクルの完了まで待たされます。バスアービトレーション機能でバスを解放しているときにリフレッシュ要求が生じた場合、バスを獲得するまでリフレッシュの実行は待たされます。リフレッシュの実行を待たされている状態で RTCNT と RTCOR の一致が起こり、新たなリフレッシュ要求が生じた場合には、前のリフレッシュ要求は消滅してしまいます。リフレッシュを正常に行うためには、リフレッシュ間隔よりも長いバスサイクルやバス権の占有が起こらないよう注意が必要です。なお、リフレッシュ要求が発生すると  $\overline{\text{BACK}}$  端子が H レベルにネゲートされます。このため、バス権を要求する本 LSI 以外のバスマスタやバス調停回路で  $\overline{\text{BACK}}$  端子を監視し、バス権を本 LSI に戻すことにより正常なリフレッシュが行えます。

## (10) パワーオンシーケンス

シンクロナス DRAM を使用するためには、パワーオン後、まずモードの設定を行う必要があります。シンクロナス DRAM の初期化を正しく行うためには、まず最初にバスステートコントローラのレジスタを設定した後、シンクロナス DRAM のモードレジスタに対する書き込みを行わなければなりません。シンクロナス DRAM のモードレジスタの設定は、 $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、 $\text{RD}/\overline{\text{WR}}$  信号の組み合わせで、その時点のアドレス信号の値が取り込まれます。バスステートコントローラは、設定したい値を X とすると、エリア 2 のシンクロナス DRAM に対しては  $\text{H'FF900000} + \text{X}$  番地に、またエリア 3 のシンクロナス DRAM に対しては  $\text{H'FF940000} + \text{X}$  に書き込みを行うことによって、値 X がシンクロナス DRAM のモードレジスタに書き込まれるように動作します。この際データは無視されますが、モードの書き込みはバイトサイズで行います。本 LSI でサポートしているバーストリード/ライト、CAS レイテンシ 1~3、ラップタイプ=シーケンシャル、バースト長 4 または 8 を設定するには以下のアドレスにバイトサイズで任意のデータを書き込みます。

| バス幅 | CAS レイテンシ | エリア 2      | エリア 3      |
|-----|-----------|------------|------------|
| 32  | 1         | H'FF90004C | H'FF94004C |
|     | 2         | H'FF90008C | H'FF94008C |
|     | 3         | H'FF9000CC | H'FF9400CC |
| 64  | 1         | H'FF900090 | H'FF940090 |
|     | 2         | H'FF900110 | H'FF940110 |
|     | 3         | H'FF900190 | H'FF940190 |

MCR.MRSET に設定された値によって全バンクプリチャージコマンドが発行されるかモードレジスタ設定コマンドが発行されるかが選択されます。全バンクプリチャージのタイミングを図 13.40 (1) に、またモードレジスタ設定タイミングを図 13.40 (2) に示します。

モードレジスタの設定に先立って、シンクロナス DRAM の要求する電源投入後 200  $\mu$ s のアイドル時間 (メモリメーカーによって異なる) を保証しなければなりません。リセット信号のパルス幅がこのアイドル時間より長い場合には、直ちに全バンクプリチャージの設定を行っても問題はありません。

まず、MCR.MRSET = 0 の状態で H'FF900000 + X もしくは H'FF940000 + X 番地への書き込みを行うことによって全バンクプリチャージコマンド (PALL) が TRp1 サイクルに発行されます。その後、ダミーのオートリフレッシュサイクルをメーカーの規定する回数 (通常 8 回) 以上実行する必要があります。これはオートリフレッシュの設定を行った後、種々の初期化を行っているうちに自然に実現されますが、より確実に行うためには、このダミーサイクルを実行する間だけ RTCOR レジスタの値を変更して、リフレッシュ要求の発生する間隔を短く設定しておく方法があります。単なるリードまたはライトアクセスではオートリフレッシュに使用するシンクロナス DRAM 内部のアドレスカウンタが初期化されないため、必ずオートリフレッシュサイクルでなければなりません。規定回数以上のオートリフレッシュが実行された後、MCR.MRSET = 1 に設定し、H'FF900000 + X もしくは H'FF940000 + X 番地への書き込みを行うことによって TMw1 サイクルにモードレジスタ書き込みコマンドが発行されます。

### 13. バスステートコントローラ (BSC)

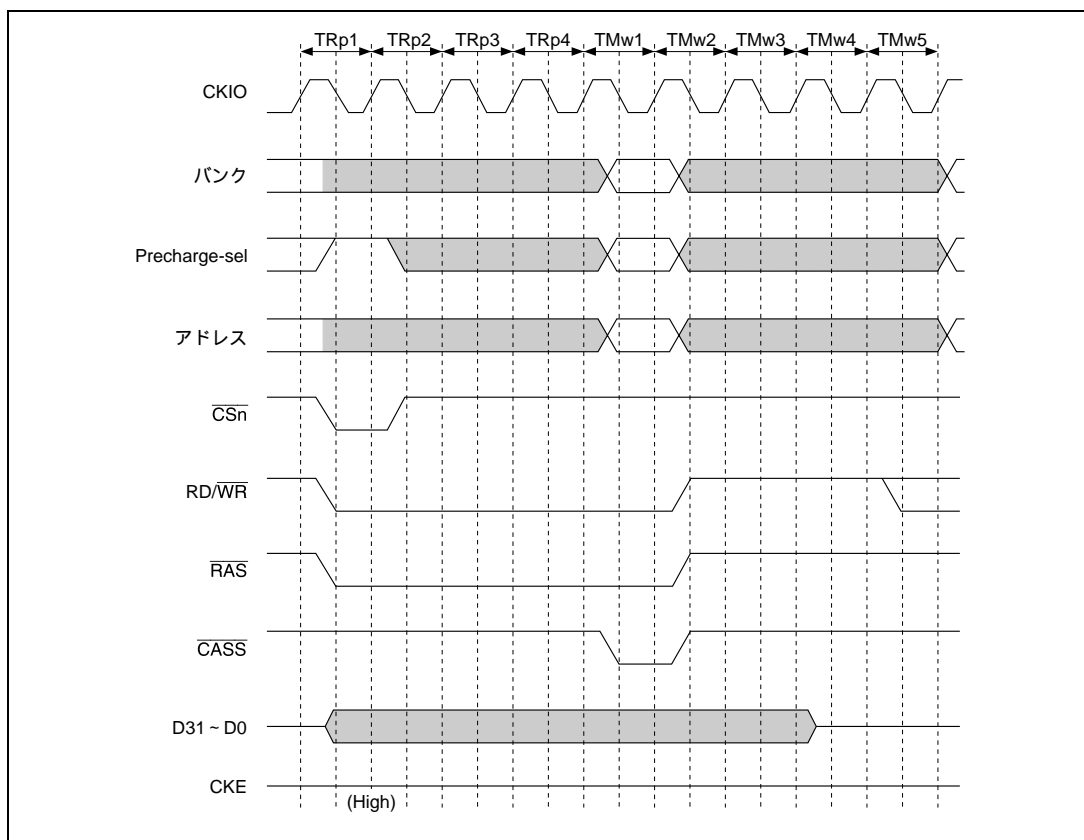


図 13.40 (1) シンクロナス DRAM モード書き込みタイミング

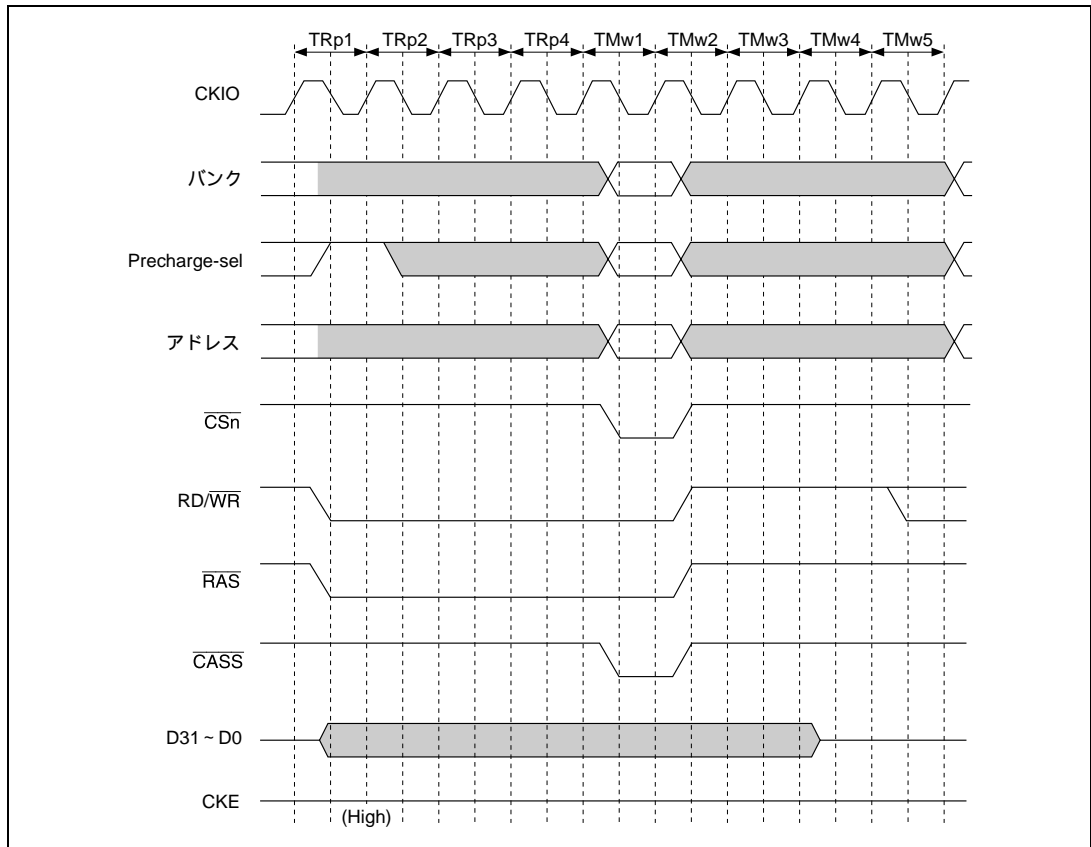


図 13.40 (2) シンクロナス DRAM モード書き込みタイミング

### 13.3.6 バースト ROM インタフェース

BCR1 の A0BST2 ~ A0BST0、A5BST2 ~ A5BST0、A6BST2 ~ A6BST0 ビットを各々 0 以外に設定することにより、エリア 0、エリア 5、エリア 6 にバースト ROM の接続が可能となります。バースト ROM インタフェースは、バーストアクセス機能を有する ROM に高速にアクセスするためのものです。バースト ROM に対するバーストアクセスのタイミングを図 13.41 に示します。ウェイトサイクルは 2 サイクルの設定です。基本的には通常空間と同じようなアクセスを行います。最初のサイクルを終了する際、アドレスのみを切り換えて、次のアクセスを行います。8 ビット幅の ROM を接続する場合には A0BST2 ~ A0BST0、A5BST2 ~ A5BST0、A6BST2 ~ A6BST0 ビットによって連続アクセスの回数を 4 回、8 回、16 回、32 回に設定できます。16 ビット幅の ROM を接続する場合には同じく 4 回、8 回、16 回に設定でき、32 ビット幅の ROM を接続する場合は 4 回、8 回に設定できます。

ウェイトステートを 1 以上に設定した場合、常に  $\overline{\text{RDY}}$  端子のサンプリングを行います。

バースト ROM の設定を行いウェイト指定を 0 にした場合も 2 回目以降のアクセスサイクルは 2 サイクルとなります。この場合のタイミングを図 13.42 に示します。

ROM に対するライト動作は、基本バスサイクル (ライト) が行われます。

キャッシュフィル / コピーバックのための読み出し / 書き込みは設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対して行われます。この途中ではバス権を解放しません。



### 13. バスステートコントローラ (BSC)

バースト ROM の設定を行い、WCR3 でセットアップ / ホールドを指定した場合のタイミングを図 13.43 に示します。

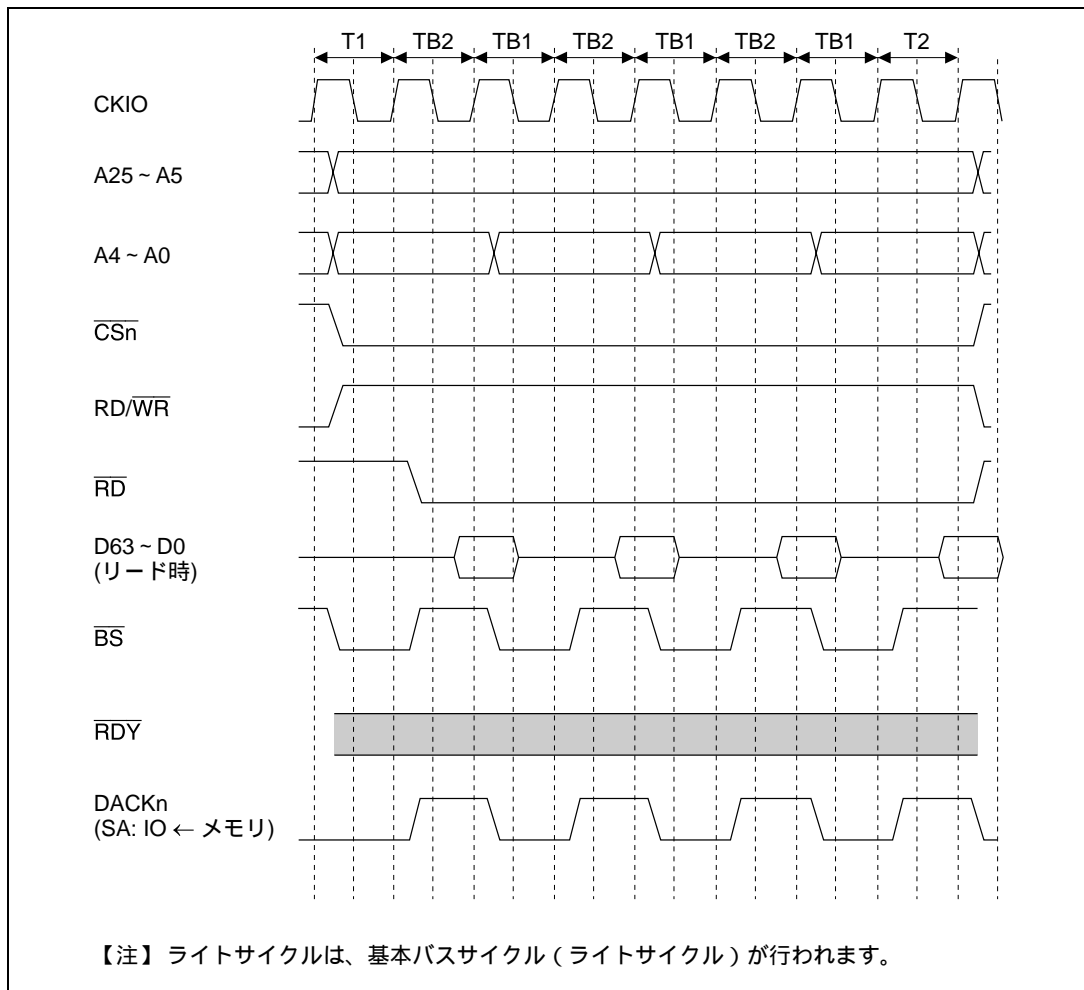


図 13.41 バースト ROM 基本アクセスタイミング

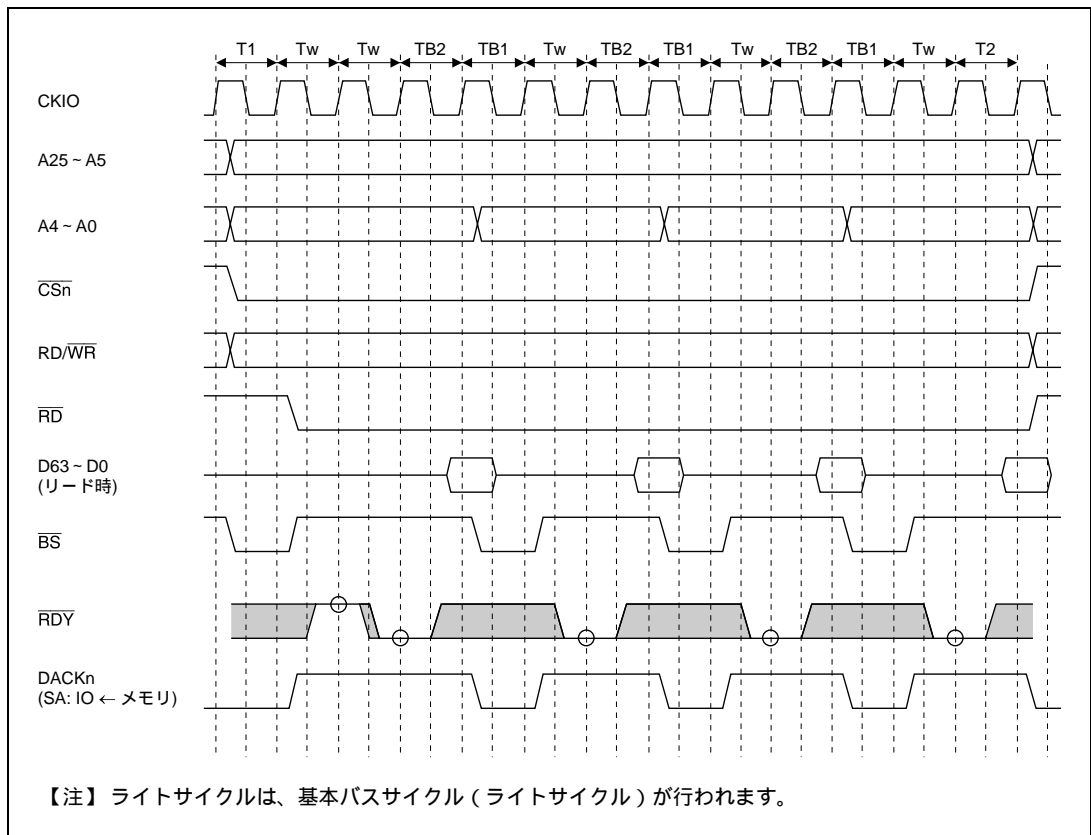


図 13.42 バースト ROM ウェイトアクセスタイミング

### 13. バスステートコントローラ (BSC)

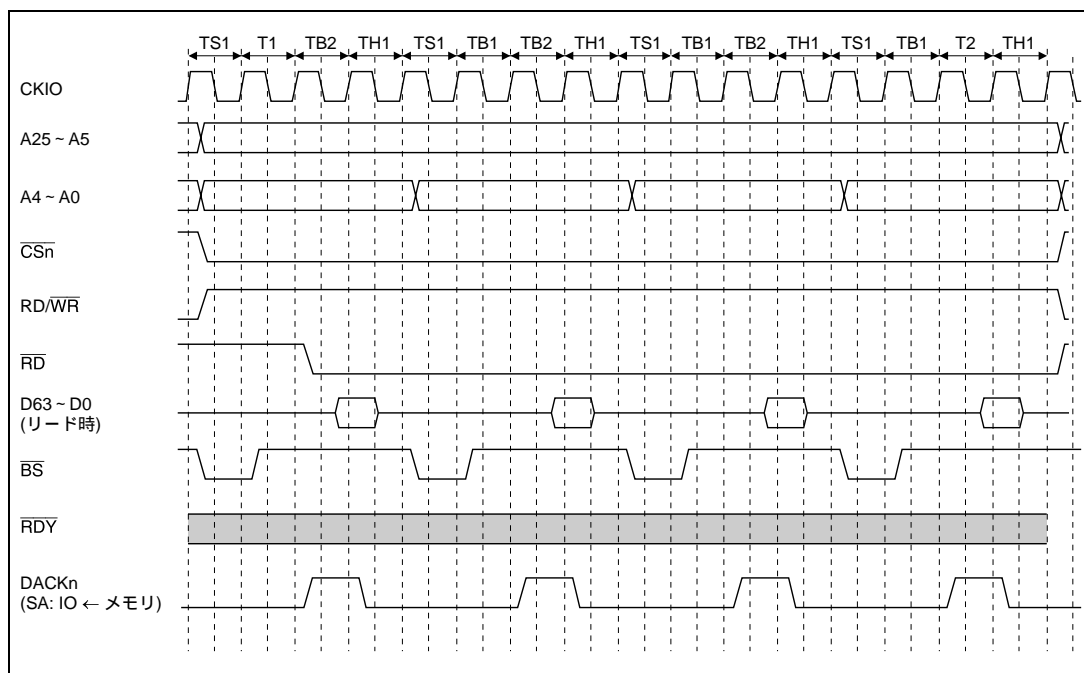


図 13.43 バースト ROM ウェイトアクセスタイミング

#### 13.3.7 PCMCIA インタフェース

本 LSI では BCR1 の A56PCM ビットを 1 に設定することにより、外部空間のエリア 5、6 のバスインタフェースが、JEIDA 仕様 Ver4.2 (PCMCIA2.1 以下略) で定める“IC メモリカードインタフェース”または“I/O カードインタフェース”になります。

図 13.44 に本 LSI と PCMCIA カードの接続例を示します。PCMCIA カードは活性挿入 (システムの電源を供給中にカードの抜き差しを行うこと) を行えるようにするために、本 LSI のバスインタフェースと PCMCIA カードの間にスリーステートバッファを接続する必要があります。

JEIDA/PCMCIA の規格では、ビッグエンディアンモードでの動作が明確に規定されていないため、本 LSI は、リトルエンディアンモードの PCMCIA インタフェースのみをサポートしています。

PCMCIA インタフェースは、MMU 使用時のみアクセスできます。PCMCIA メモリ空間は、MMU ページ単位で設定でき、8 ビット共有メモリ、16 ビット共有メモリ、8 ビットアトリビュートメモリ、16 ビットアトリビュートメモリ、8 ビット I/O 空間、16 ビット I/O 空間、またはダイナミックバスサイジングが選択できます。設定は、PTEA の SA2 ~ SA0 ビットで行います。

| SA2 | SA1 | SA0 | 説明                 |
|-----|-----|-----|--------------------|
| 0   | 0   | 0   | 予約 (設定禁止)          |
|     |     | 1   | ダイナミック I/O バスサイジング |
|     | 1   | 0   | 8 ビット I/O 空間       |
|     |     | 1   | 16 ビット I/O 空間      |
| 1   | 0   | 0   | 8 ビット共有メモリ         |
|     |     | 1   | 16 ビット共有メモリ        |
|     | 1   | 0   | 8 ビットアトリビュートメモリ    |
|     |     | 1   | 16 ビットアトリビュートメモリ   |

バスアクセス中のウェイトサイクルは、PTEA の TC ビットで選択できます。TC ビットが 0 のときは、ウェイトコントロールレジスタ 2 (WCR2) の A5W2 ~ A5W0、および PCMCIA コントロールレジスタ (PCR) の A5PCW1 ~ A5PCW0、A5TED2 ~ A5TED0、A5TEH2 ~ A5TEH0 ビットが選択されます。TC が 1 にセットされると、ウェイトコントロールレジスタ 2 (WCR2) の A6W2 ~ A6W0、および PCMCIA コントロールレジスタ (PCR) の A6PCW1 ~ A6PCW0、A6TED2 ~ A6TED0、A6TEH2 ~ A6TEH0 ビットが選択されます。

低速バスサイクルに挿入するウェイトステート数は、AnPCW1、AnPCW0 ビットにより、0、15、30、または 50 に設定できます。この値は、WCR2 で指定された挿入ウェイトステート数に加算されます。 $\overline{RD}$  および  $\overline{WE1}$  信号のアドレス、 $\overline{CS}$ 、 $\overline{CE2A}$ 、 $\overline{CE2B}$ 、REG セットアップ時間は、AnTED2 ~ AnTED0 ビット (0 ~ 15 に設定可能) により、保持することができます。また、 $\overline{RD}$  および  $\overline{WE1}$  信号のアドレス、 $\overline{CS}$ 、 $\overline{CE2A}$ 、 $\overline{CE2B}$ 、REG ライトデータホールド時間は、AnTEH2 ~ AnTEH0 ビット (0 ~ 15 に設定可能) により、保持することができます。

また、サイクル間ウェイトサイクルは、ウェイトコントロールレジスタ 1 (WCR1) の A5IW2 ~ A5IW0、A6IW2 ~ A6IW0 ビットにより設定します。選択されるサイクル間ウェイトサイクルは、アクセスされるエリア (エリア 5 またはエリア 6) のみに依存し、エリア 5 のアクセス時には、A5IW2 ~ A5IW0 ビットが、エリア 6 のアクセス時には、A6IW2 ~ A6IW0 ビットが、それぞれ選択されます。

キャッシュフィル / コピーバックのための読み出し / 書き込みは設定したバス幅に従い、合計 32 k バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対して行われます。この途中ではバス権を解放しません。

### 13. バスステートコントローラ (BSC)

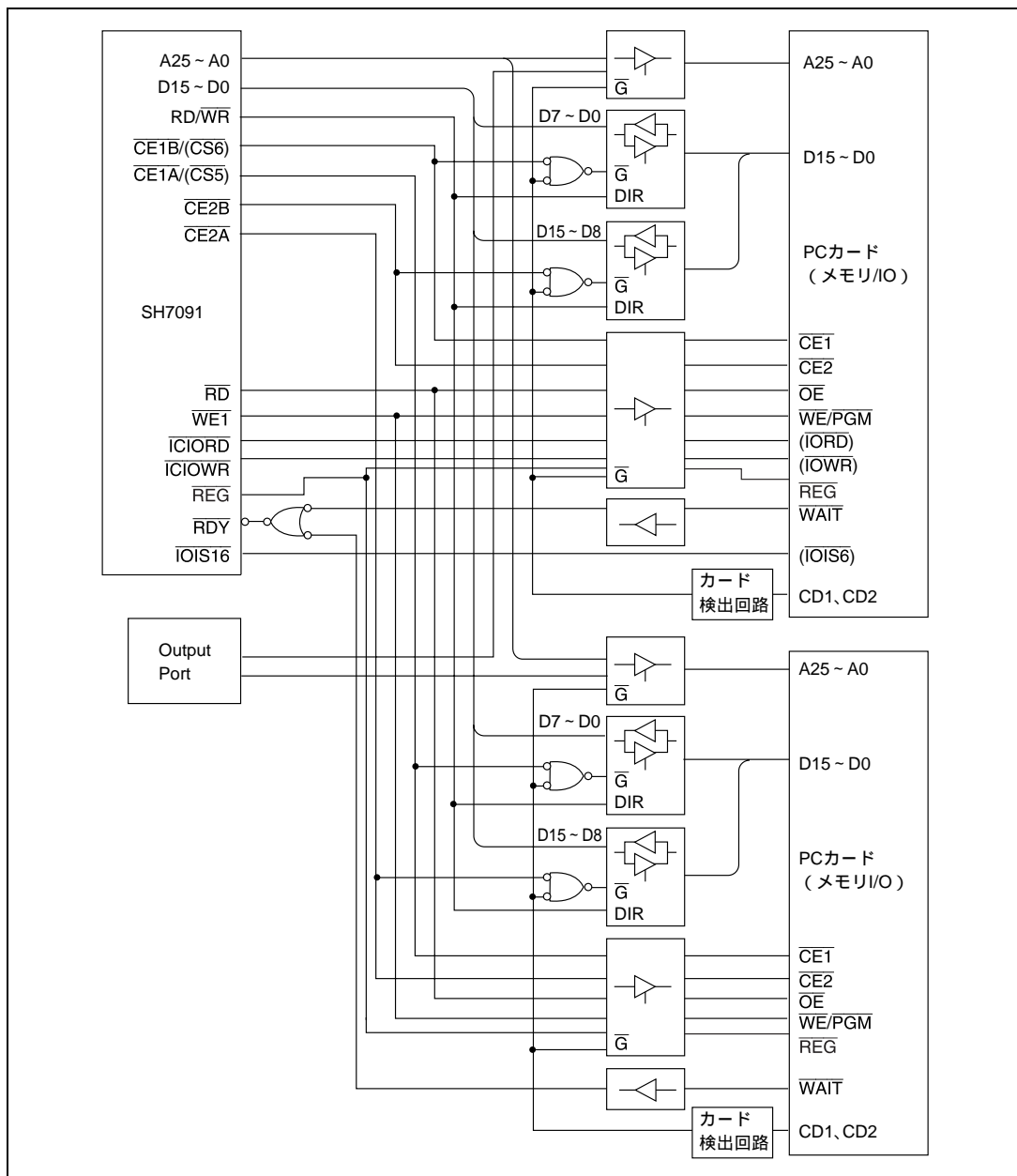


図 13.44 PCMCIA インタフェース例

## (1) メモリカードインタフェース基本タイミング

図 13.45 に PCMCIA の “ IC メモリカードインタフェース ” の基本タイミングを、図 13.46 に PCMCIA メモリバスウェイトタイミングを、それぞれ示します。

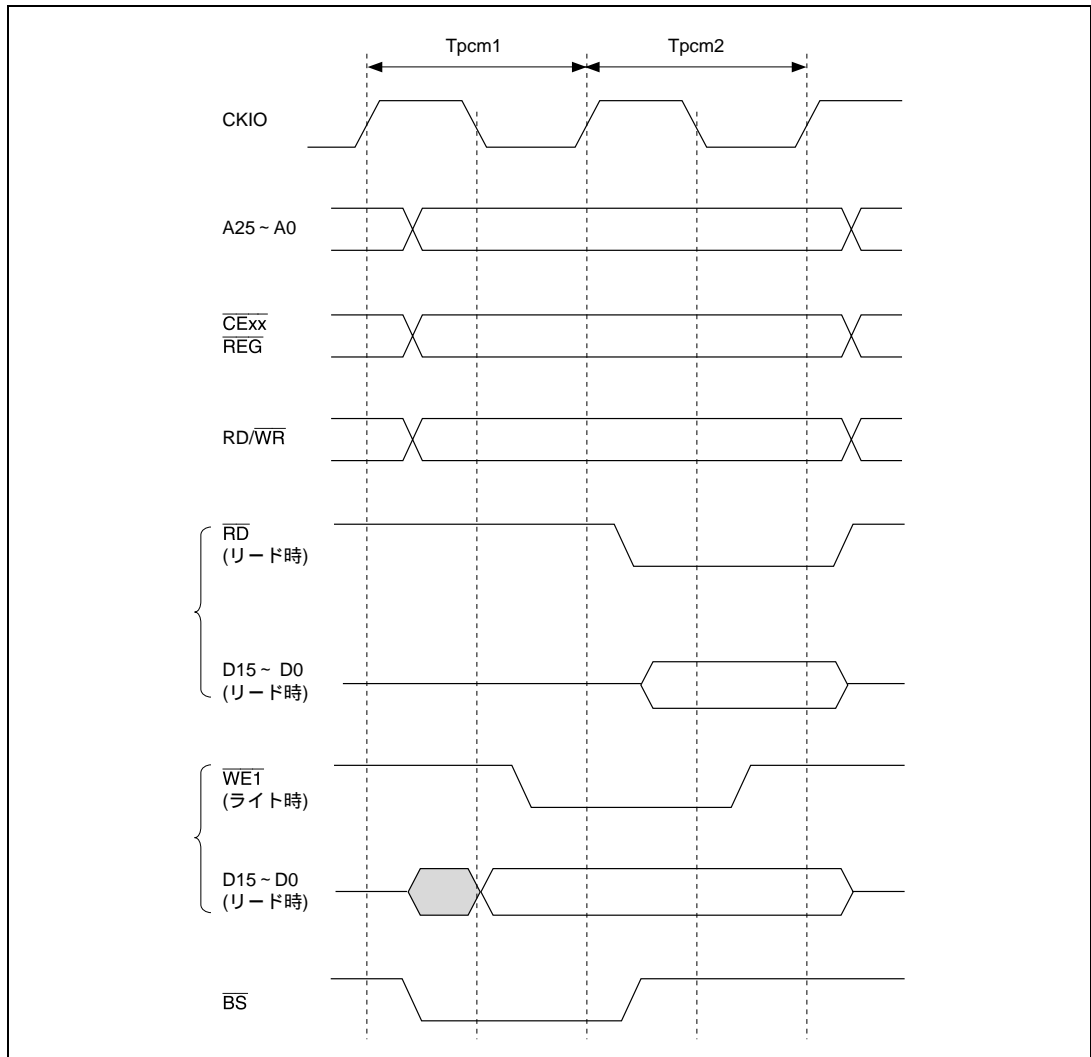


図 13.45 PCMCIA メモリカードインタフェース基本タイミング

### 13. バスステートコントローラ (BSC)

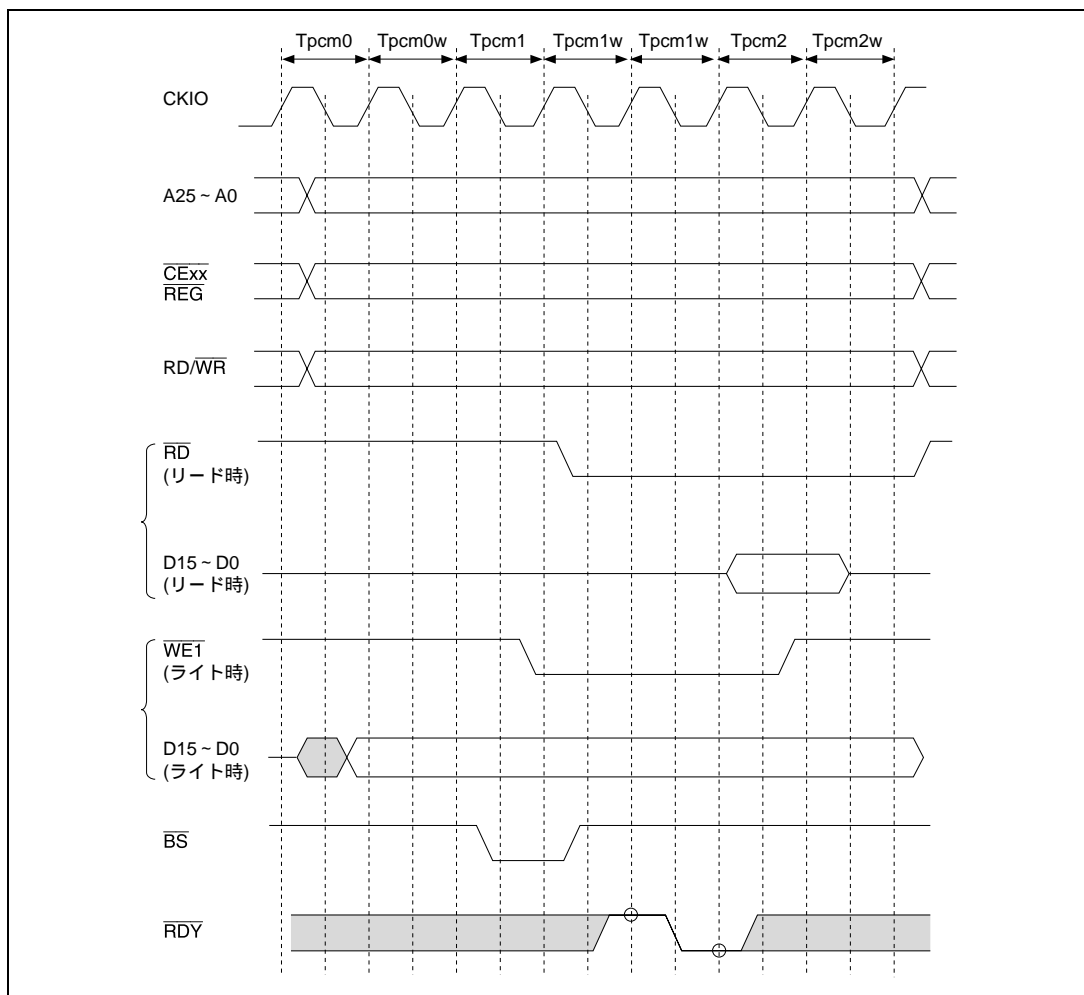


図 13.46 PCMCIA メモリカードインタフェースウェイトタイミング

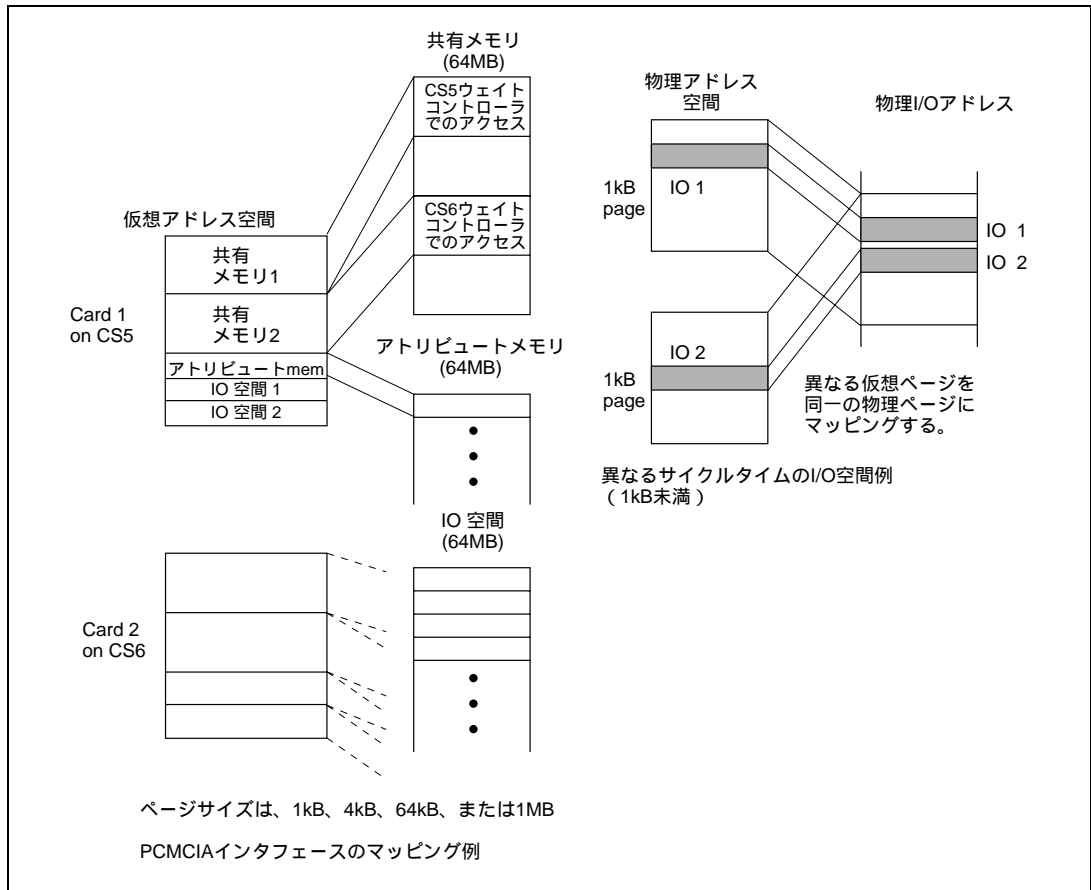


図 13.47 PCMCIA 空間割り付け

## (2) I/O カードインタフェースタイミング

図 13.48、図 13.49 に PCMCIA の “I/O カードインタフェース” のタイミングを示します。

リトルエンディアンモードで PCMCIA カードを I/O カードインタフェースとしてアクセスする場合、 $\overline{\text{IOIS16}}$  端子を使って、I/O バス幅のダイナミックバスサイジングが行えます。バス幅を 16 ビットに設定している場合に、ワードサイズの I/O バスサイクル中に  $\overline{\text{IOIS16}}$  信号が “H” の場合、その I/O ポートは 8 ビット幅であると認識され、実行中の I/O バスサイクル中では 8 ビット分しかデータアクセスを行わず、自動的に続けて残りの 8 ビット分のデータアクセスを行います。

ダイナミックバスサイジングの基本タイミングを図 13.50 に示します。



### 13. バスステートコントローラ (BSC)

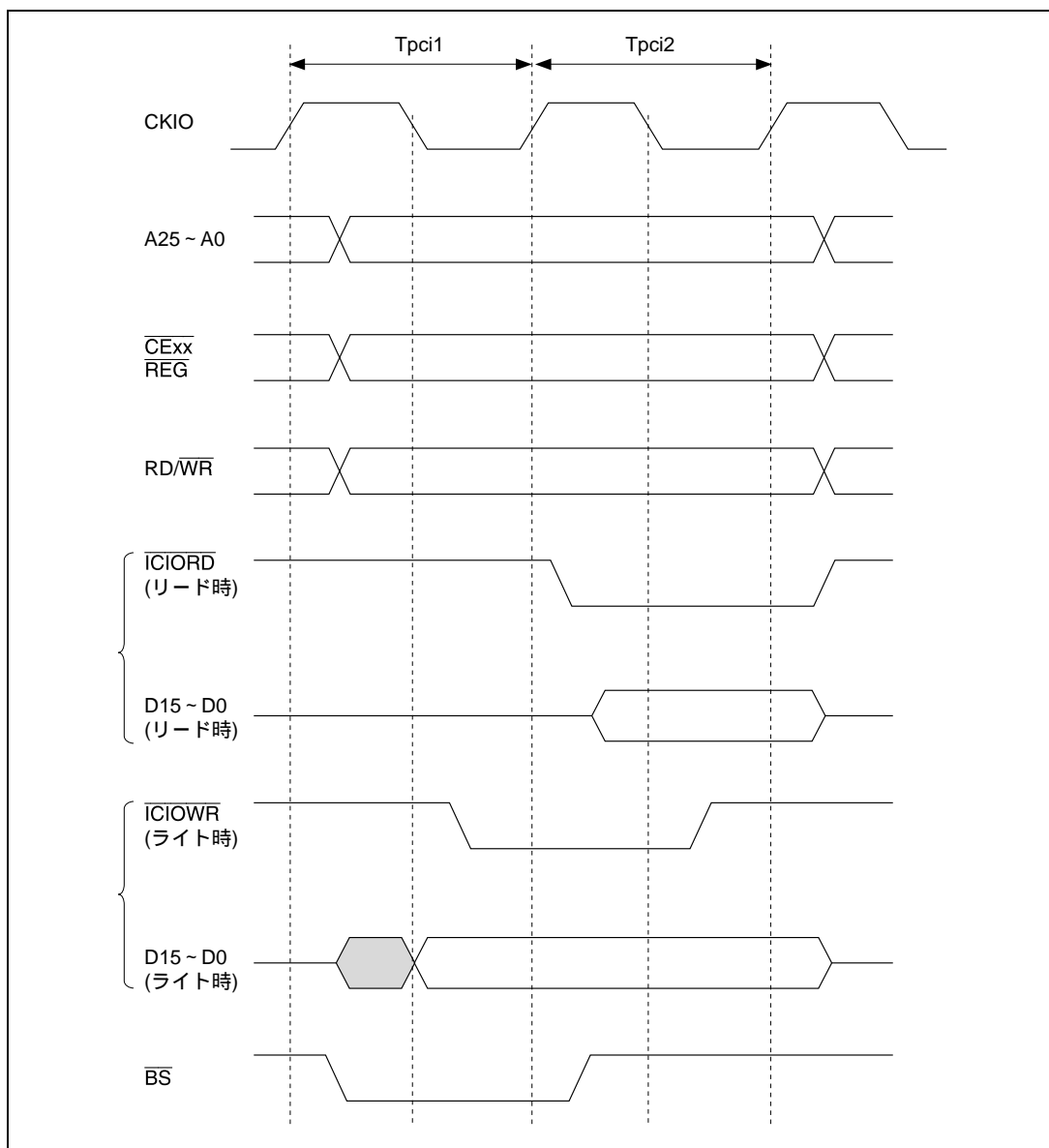


図 13.48 PCMCIA I/O カードインタフェース基本タイミング

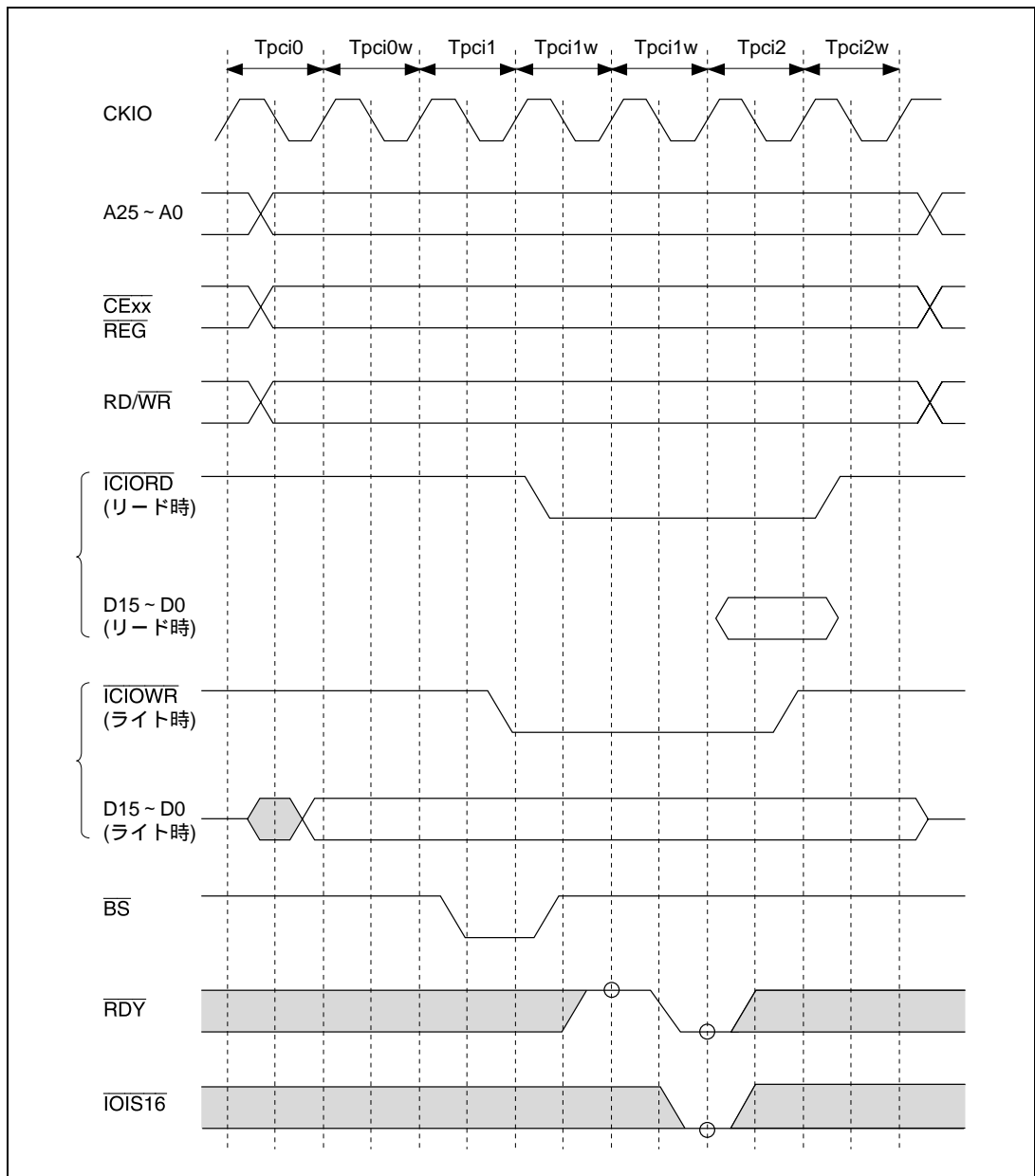


図 13.49 PCMCIA I/O カードインタフェースウェイトタイミング

### 13. バスステートコントローラ (BSC)

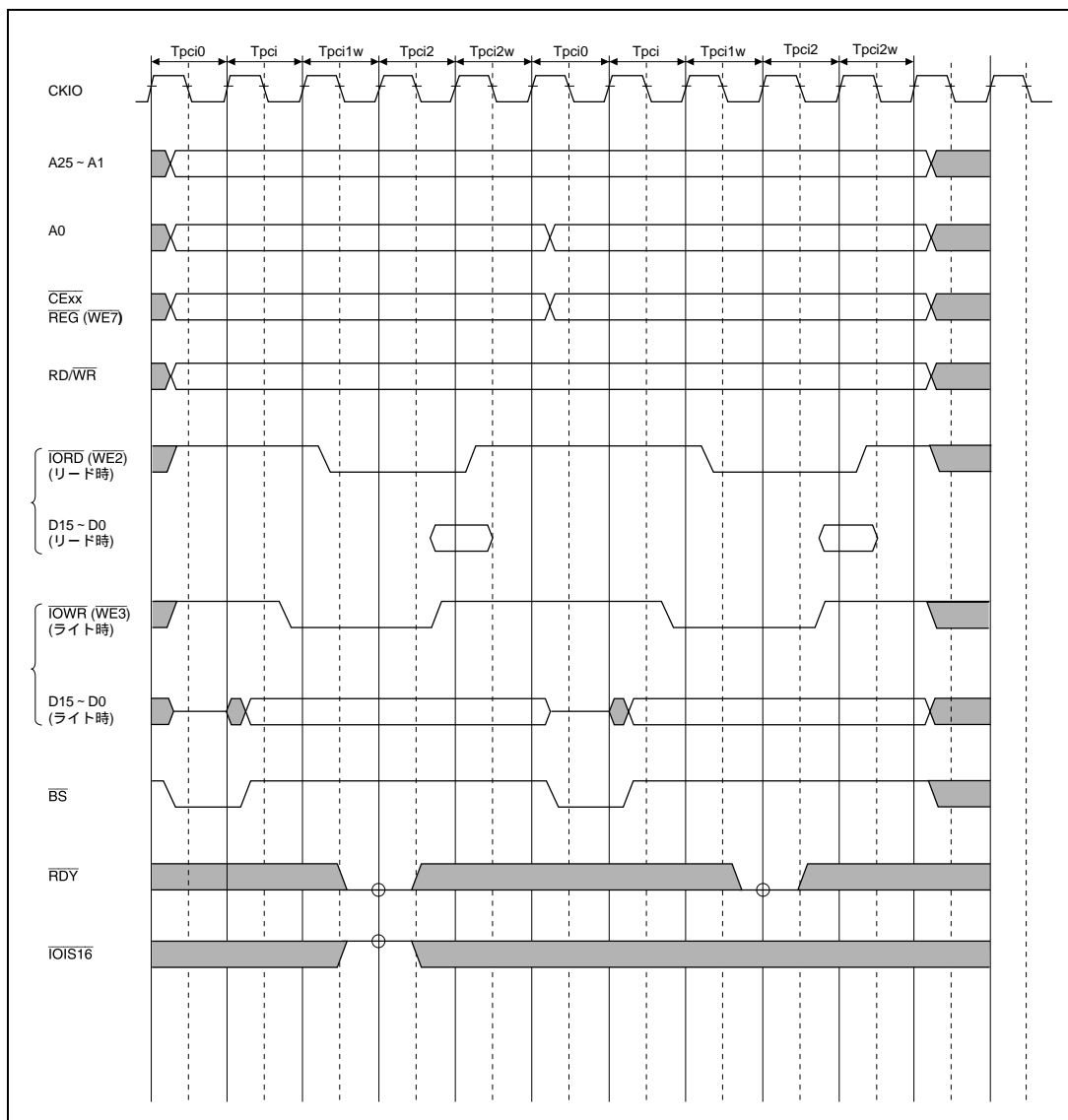


図 13.50 PCMCIA I/O カードインタフェースダイナミックバスサイジングタイミング

13.3.8 MPX インタフェース

パワーオンリセット時 MD6 端子を 0 に設定すると、通常メモリに対してエリア 0 は MPX インタフェースが選択されます。BCR1 の MPX ビットにより、エリア 1～6 に対して、MPX インタフェースが選択されます。MPX インタフェースは、アドレス / データマルチプレクス形式のバスプロトコルを提供し、アドレス / データマルチプレクス形式の 32 ビットシングルバスを使用した外部メモリコントローラチップとの接続を容易に行えます。アドレスは D25～D0 に出力されます。アクセスサイズは D63～D61 に出力されます。アクセスサイズとデータアライメントについては「13.3.1 エンディアン / アクセスサイズとデータアライメント」を参照してください。

アドレスピン A25～A0 に出力される値は保証されません。  
キャッシュフィル / コピーバックのための読み出し / 書き込みは設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対して行われます。この途中ではバス権を解放しません。

| D63 | D62 | D61 | アクセスサイズ    |
|-----|-----|-----|------------|
| 0   | 0   | 0   | バイト        |
|     |     | 1   | ワード        |
|     | 1   | 0   | ロングワード     |
|     |     | 1   | クワッドワード    |
| 1   | x   | x   | 32 バイトバースト |

X : don't care

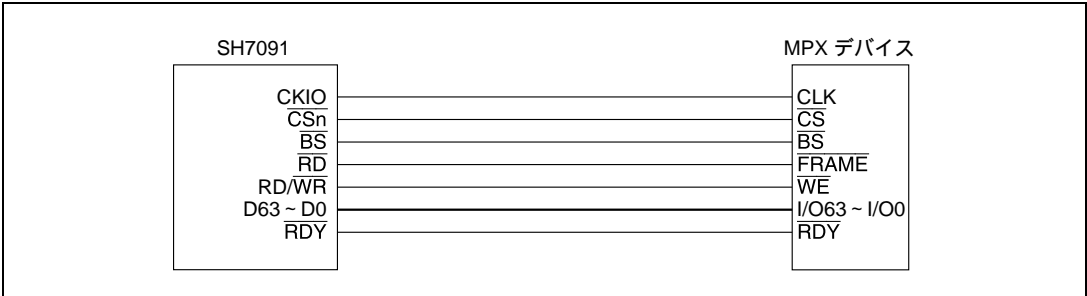


図 13.51 64 ビットデータ幅 MPX の接続例

### 13. バスステートコントローラ (BSC)

次に MPX インタフェースタイミングを示します。

エリア 1～6 で MPX インタフェースを使用する場合、BCR2 によるバスサイズ指定は 32 または 64 ビットとしてください。

なお、ウェイト制御は WCR2 によるウェイトと  $\overline{\text{RDY}}$  端子によるウェイト挿入が可能です。

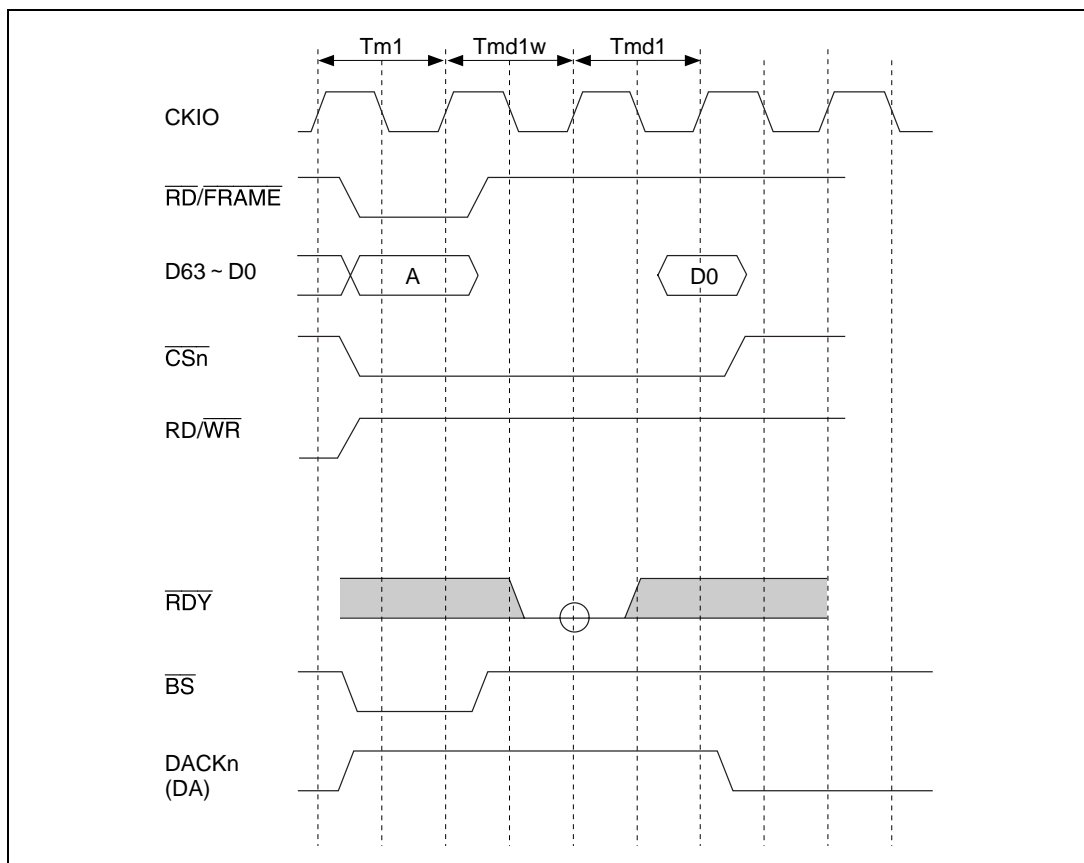


図 13.52 MPX インタフェースタイミング 1 (シングルリードサイクル、ウェイトなし)

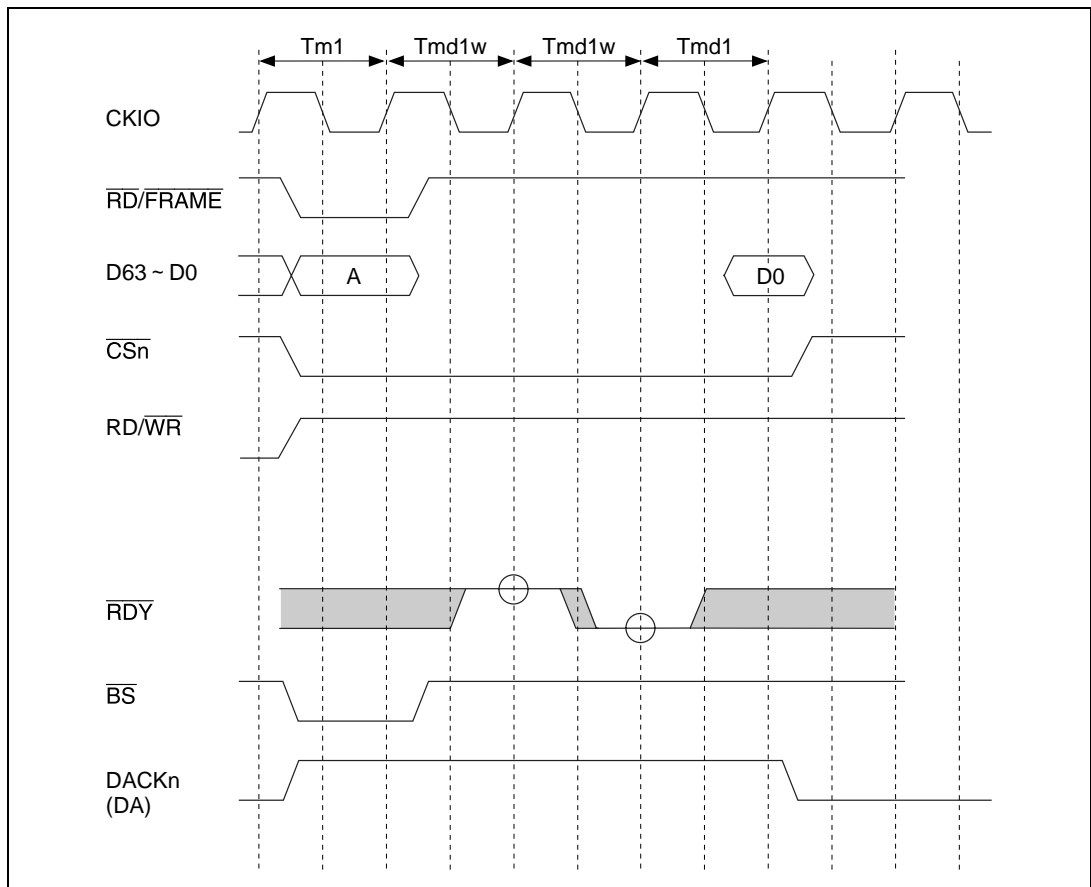


図 13.53 MPX インタフェースタイミング 2 (シングルリード、内部ウェイト 1 挿入)

### 13. バスステートコントローラ (BSC)

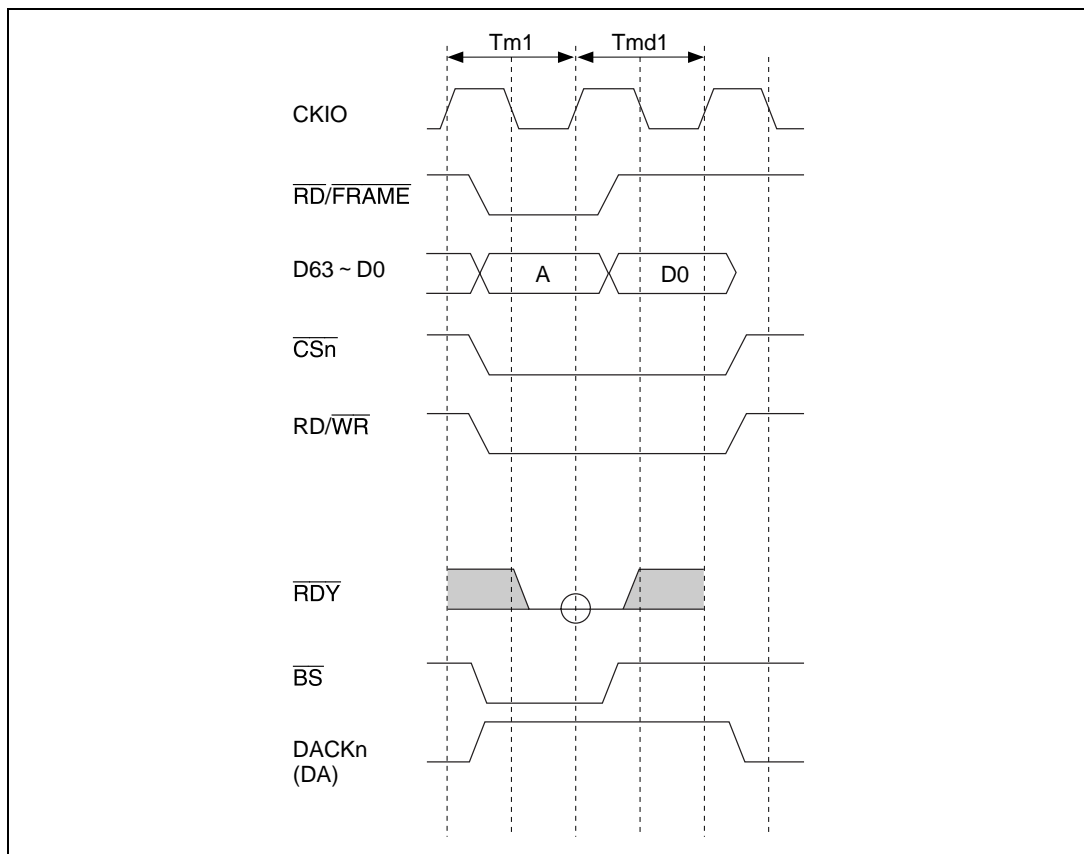


図 13.54 MPX インタフェースタイミング 3 (シングルライトサイクル、ウェイトなし)

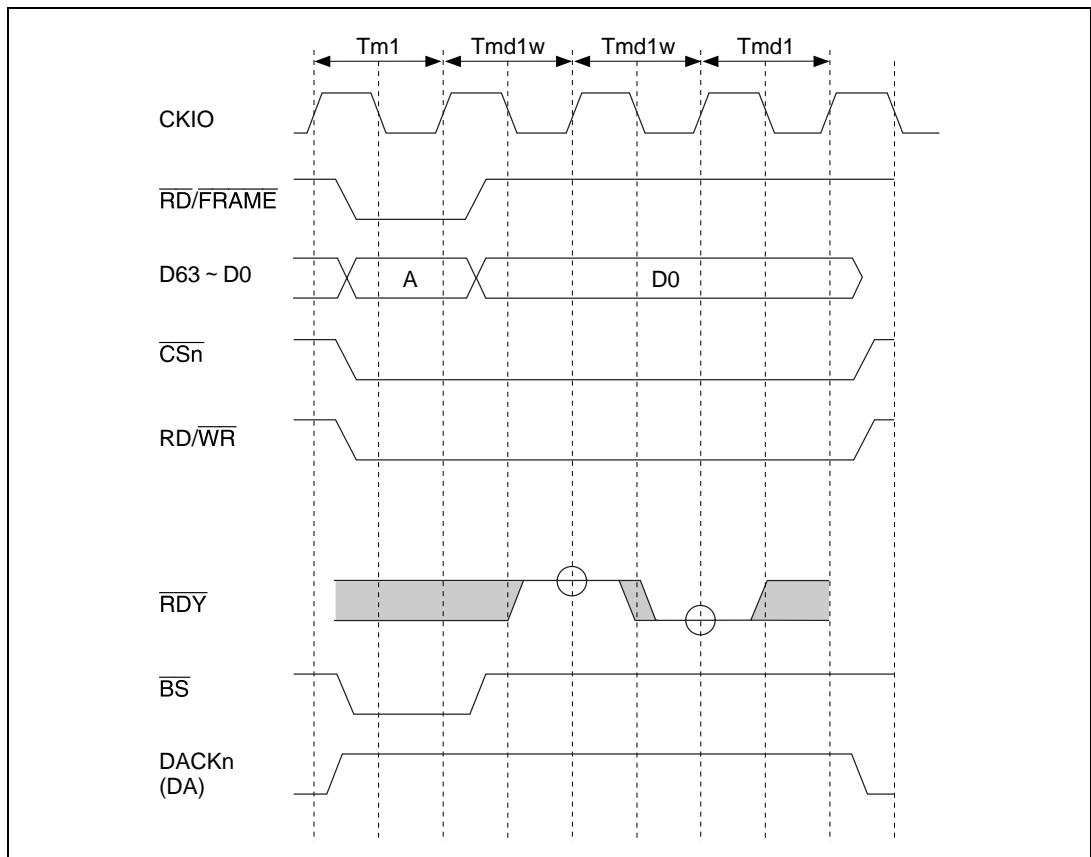


図 13.55 MPX インタフェースタイミング 4 (シングルライト、内部ウェイト 1 挿入)



### 13. バスステートコントローラ (BSC)

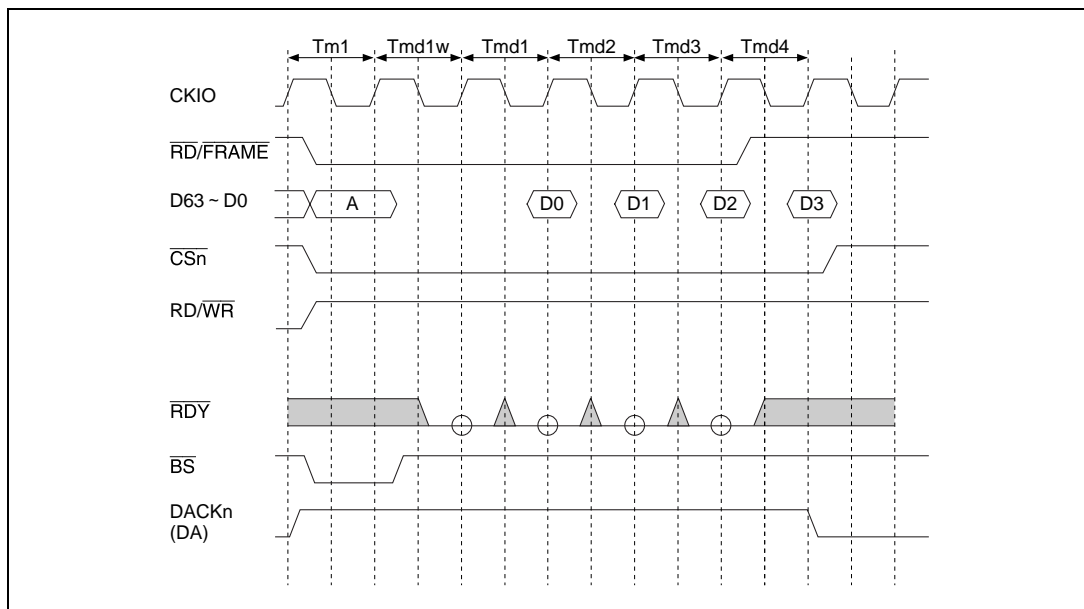


図 13.56 MPX インタフェースタイミング 5 (バーストリードサイクル、ウェイトなし)

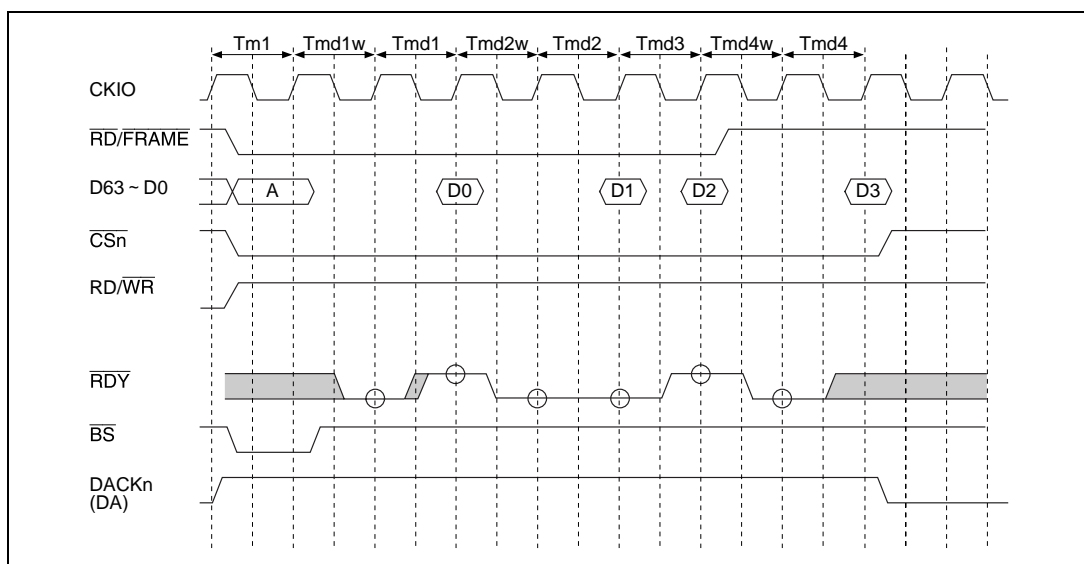


図 13.57 MPX インタフェースタイミング 6 (バーストリードサイクル、内部ウェイト 1 挿入)

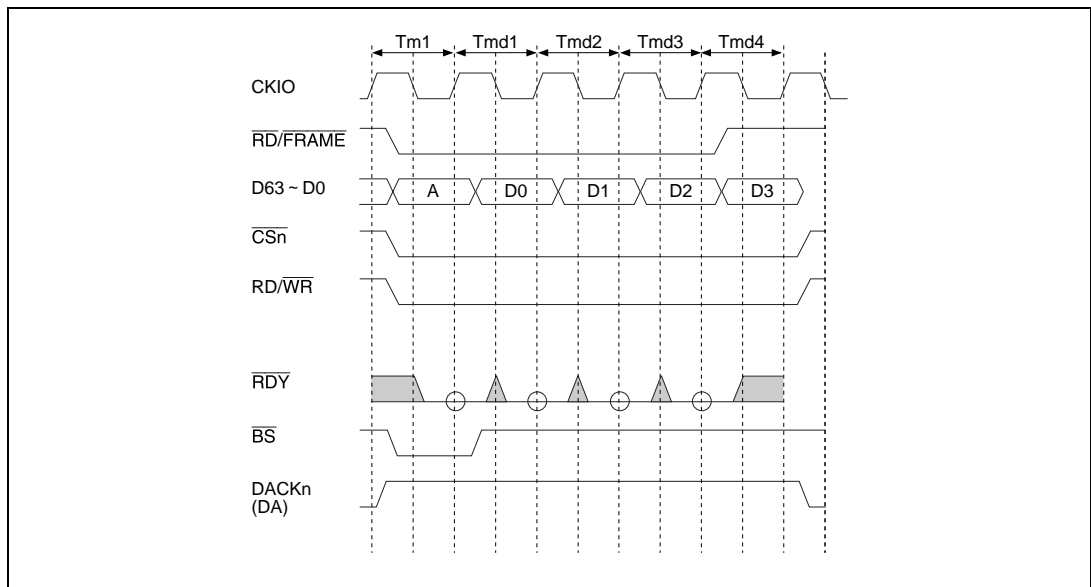


図 13.58 MPX インタフェースタイミング 7 (バーストライツサイクル、ウェイトなし)

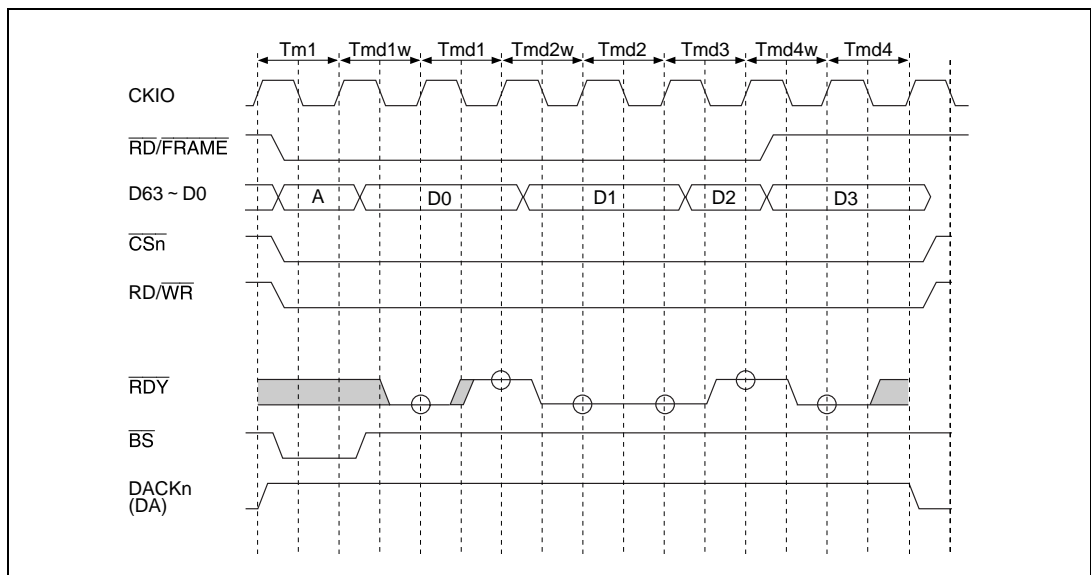


図 13.59 MPX インタフェースタイミング 8 (バーストライツサイクル、第 1 データのみ内部ウェイト 1 挿入)

## 13.3.9 バイト制御 SRAM

バイト制御 SRAM インタフェースは、リード/ライトいずれのバスサイクルでもバイトセレクトストロブ ( $\overline{\text{WE}}_n$ ) を出力するメモリインタフェースです。このインタフェースは 16 ビットのデータ端子をもち、UB あるいは LB のような上位バイトセレクトストロブ、下位バイトセレクトストロブ機能のある SRAM に直接接続することができます。

エリア 1 および 4 が、バイト制御 SRAM に指定できます。ただし、これらのエリアが MPX モードに設定されると、MPX モードに優先権があります。

バイト制御 SRAM のライトタイミングは、通常の SRAM インタフェースと同じです。

一方、リード動作では、 $\overline{\text{WE}}_n$  端子のタイミングが異なります。リードアクセス時、読み込むバイトの  $\overline{\text{WE}}$  信号だけがアサートされます。アサートは  $\overline{\text{WE}}$  信号と同じく、CKIO クロックの立ち下がりに同期して行われますが、ネゲートは、CKIO クロックの立ち上がりに同期して行われ、これは、 $\overline{\text{RD}}$  信号と同じタイミングになります。

キャッシュフィル/コピーバックのための読み出し/書き込みは設定したバス幅に従い、合計 32 バイトを連続して行います。先頭のアクセスはアクセス要求があったデータに対して行われ、残りのアクセスは 32 バイト境界のデータに対して行われます。この途中ではバス権を解放しません。

図 13.60 にバイト制御 SRAM の接続例を、図 13.61 ~ 図 13.63 にバイト制御 SRAM のバスタイミング例をそれぞれ示します。

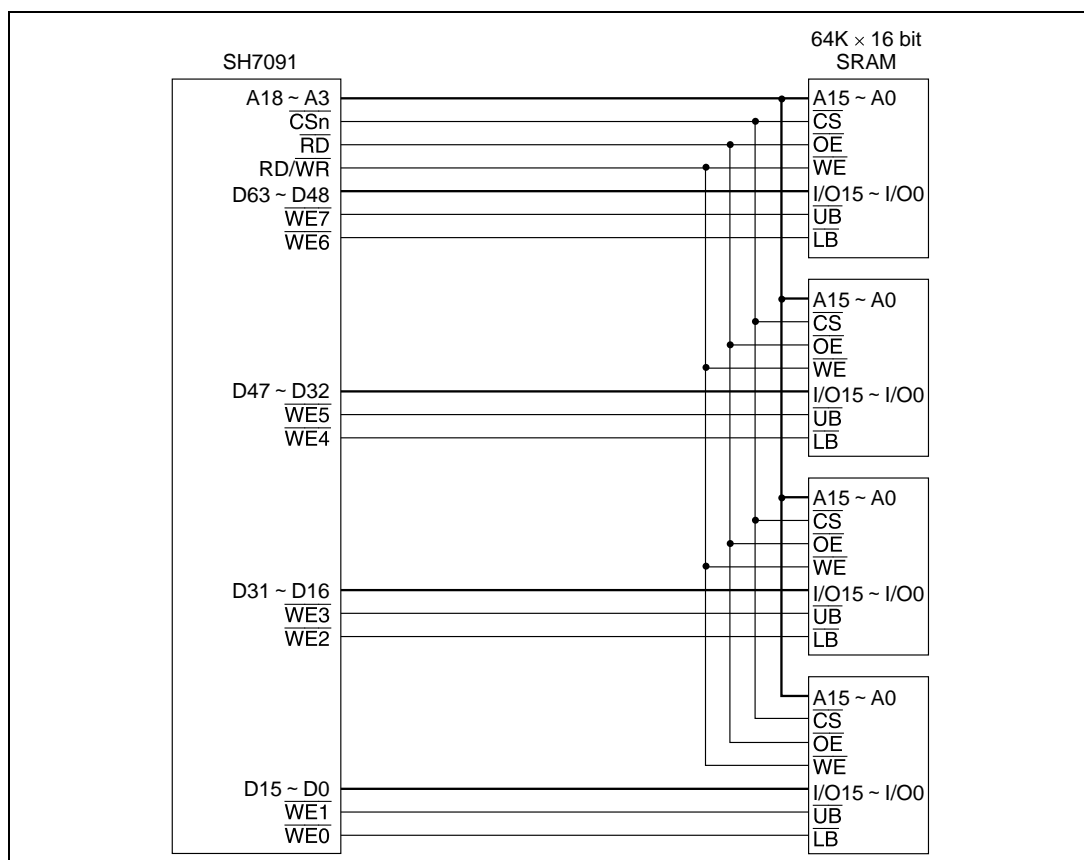


図 13.60 64 ビットデータ幅バイト制御 SRAM の例

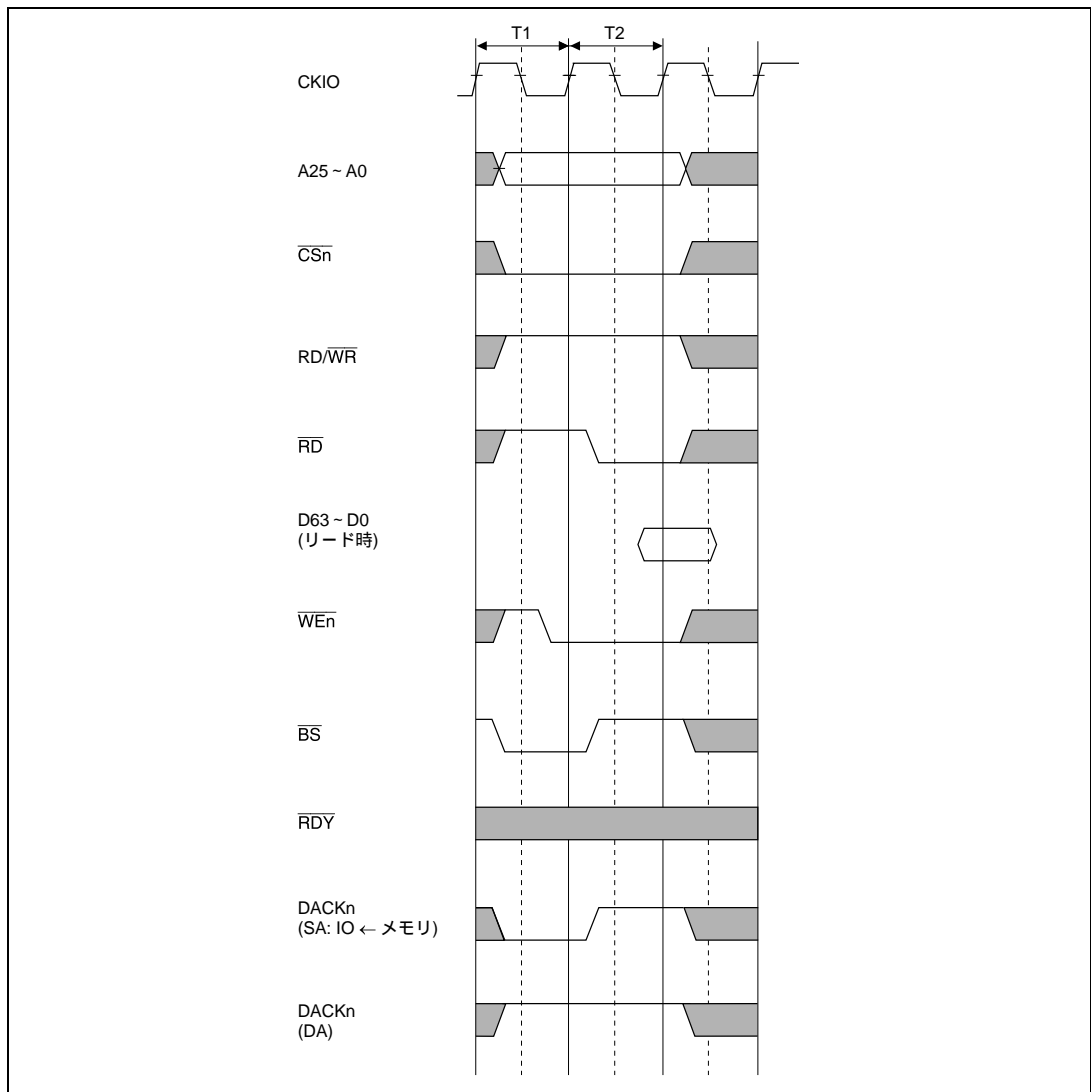


図 13.61 バイト制御 SRAM 基本リードサイクル (ウェイトなし)

### 13. バスステートコントローラ (BSC)

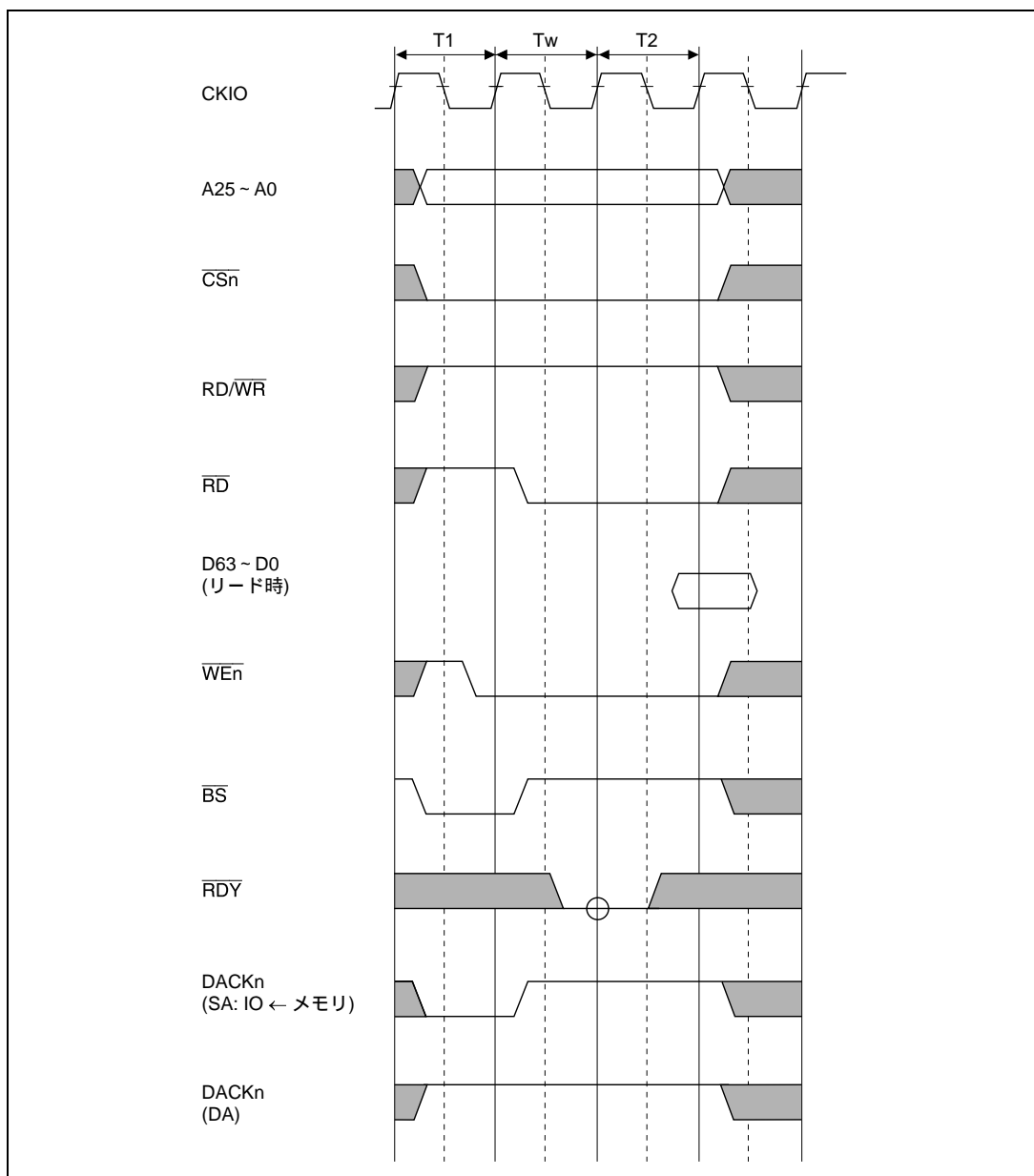


図 13.62 バイト制御 SRAM 基本リードサイクル (内部ウェイト 1 サイクル)

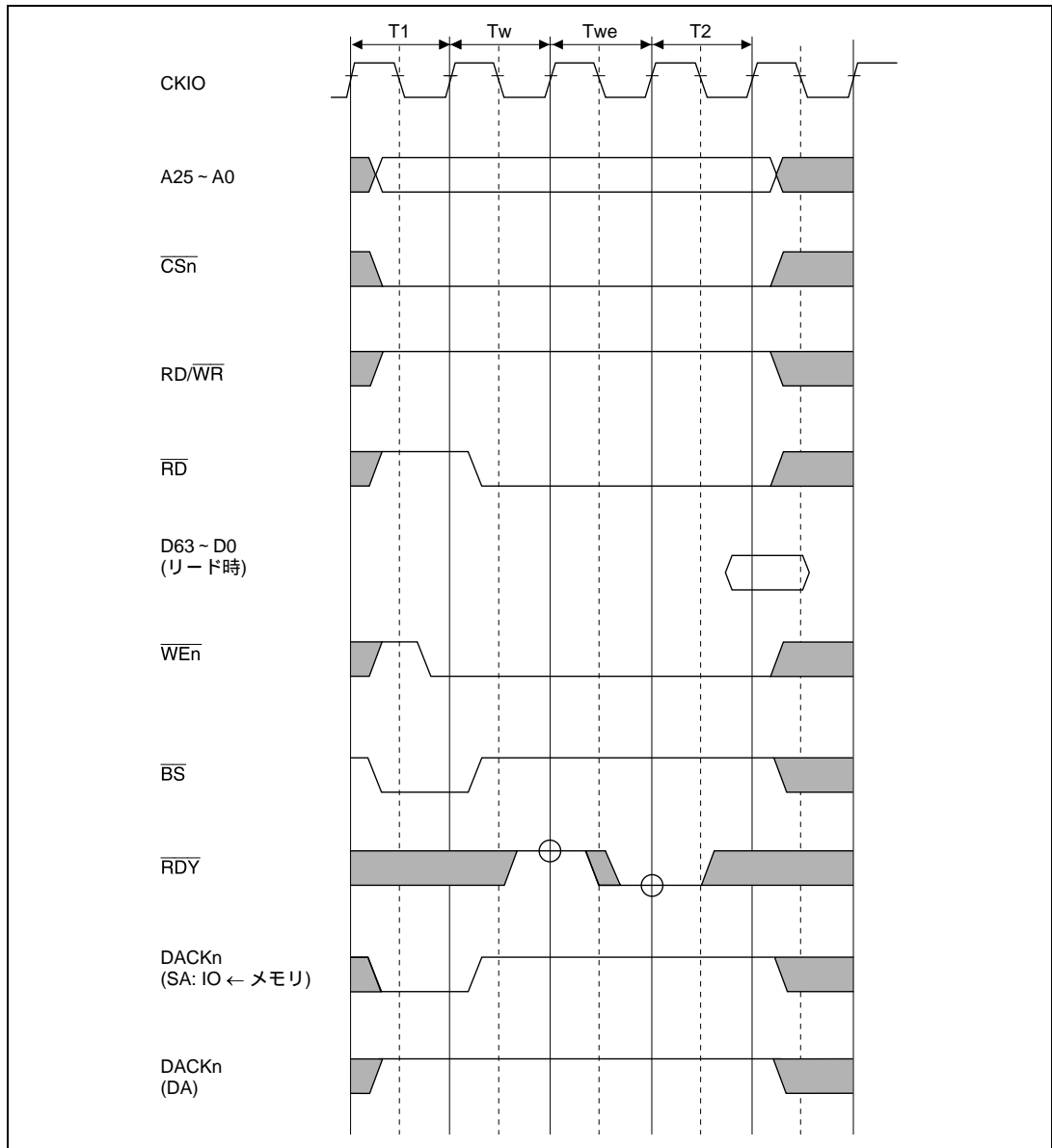


図 13.63 バイト制御 SRAM 基本リードサイクル (内部 1 ウェイト + 外部 1 ウェイト)

### 13.3.10 アクセスサイクル間ウェイト

外部メモリバスの動作周波数が高くなってきたため、低速なデバイスからの読み出しが完了した際のデータバッファのターンオフが間に合わず、次のアクセスのデータと衝突してデバイスの信頼度を低下させたり、誤動作を引き起こすという事象が起こるようになってきました。これを防止するため、直前のアクセスのエリアと読み出し / 書き込みの種類を記憶しておき、次のアクセスを起動する際にバスが衝突する可能性があるケースではアクセスサイクルの前にウェイトサイクルを挿入して、データの衝突を回避する機能を設けました。ウェイトサイクル挿入のケースとしては、

### 13. バスステートコントローラ (BSC)

「13.2.3 ウェイトコントロールレジスタ 1 (WCR1)」に示されるように、アクセスサイクル間にアイドルサイクルが挿入されます。本 LSI がライトサイクルを連続している場合には、データの転送方向は常に本 LSI から他のメモリという形で統一されており、特に問題とはなりません。同一のエリアに対するリードアクセスも、原則として同一のデータバッファからデータが出力されるものとして、ウェイトサイクルの挿入は行いません。WCR1 の AnIW2 ~ AnIW0 ビット ( $n=0\sim6$ ) によって、アクセス間に空きがある場合には、指定されたアイドル数からその空きサイクル数を除いたサイクルだけ、アイドルサイクルの挿入を行います。

バスアービトレーションを行う場合には、サイクル間ウェイトが挿入された後、バスが解放されます。

シングルアドレスモードの DMA 転送では、I/O デバイスからメモリへの転送時には、バス上のデータは、I/O デバイスのスピードによって決定されます。低速な I/O デバイスを使用する場合、出力バッファのターンオフ時間に相当するサイクル間ウェイトの挿入が必要になることがあります。また、高速なメモリを使用しても、DMA 転送を考慮すると、低速デバイスのスピードに合わせるためにサイクル間、ウェイトの挿入が必要になることがあり、そのメモリ本来のスピードが使用できないこともあります。

ウェイトコントロールレジスタ 1 (WCR1) の DMAIW2 ~ DMAIW0 ビットを使用すると、I/O デバイスからメモリへの DMA 転送をシングルアドレスモードで行うとき、サイクル間ウェイト挿入の設定を行うことができます。挿入できるウェイト数は 0 ~ 15 です。DMAIW2 ~ DMAIW0 ビットで指定されたウェイト数が、全エリアでのシングルアドレスモード DMA 転送時に挿入されます。

なお、デュアルアドレスモードでの DMA 転送の場合には、AnIW2 ~ AnIW0 ビット ( $n$  は 0 ~ 6) によって指定された通常のサイクル間ウェイトが挿入されます。

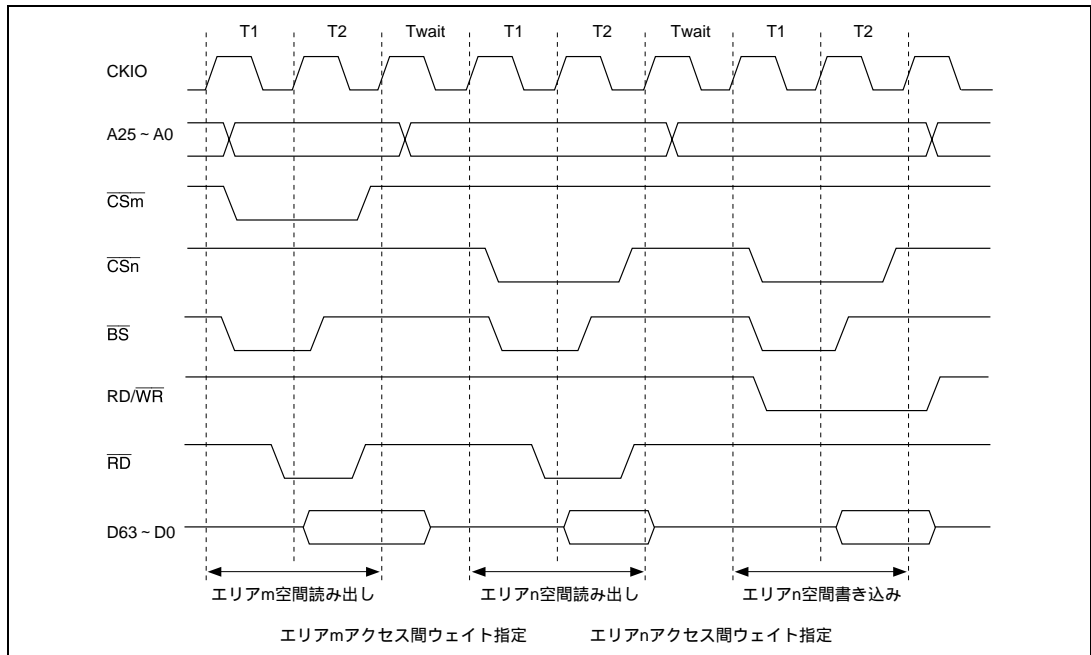


図 13.64 アクセスサイクル間ウェイト

### 13.3.11 バスアービトレーション

本 LSI には、外部デバイスからバス権の要求があると、そのデバイスにバス権を与えるバスアービトレーション機能が備わっています。これに加え、2つのプロセッサの接続をサポートするためのバスアービトレーション機能が付加されています。これは互いをバスアービトレーションのマスタとスレーブとして接続することによって、最小のハードウェア量でマルチプロセッサシステムを実現するための機能です。

バスアービトレーションには、マスタモード、部分共有マスタモード、スレーブモードの3つのモードがあります。マスタモードは定常状態でバス権を有し、他のデバイスからのバス権使用要求を受けてバスの解放を行い、バスの使用許諾を行うモードです。スレーブモードは定常状態でバス権を有しておらず、外部バスアクセスサイクルが発生するごとにバス権の要求を行い、アクセス終了後はバスを再び解放するモードです。部分共有マスタモードは外部デバイスとエリア2のみを共有し、エリア2に関してはスレーブモード、それ以外の空間に対してはバスアービトレーションを行わず、常にバス権を保持しているモードです。部分共有マスタモードのチップのエリア2を、マスタモードのチップのどのエリアに割り当ててかは、外付け回路によって決められます。

マスタモードとスレーブモードは外部モードピンの設定によって指定できます。部分共有マスタモードはマスタモードからソフトウェアの設定で移行します。外部モードピンの設定は「付録C モード端子の設定」を参照してください。マスタモードとスレーブモードでは、バス権を所有していないときにはバスをハイインピーダンス状態とするので、直接マスタモードのチップとスレーブモードのチップを接続することができます。部分共有マスタモードでは、バスを常にドライブしているため、マスタのバスに接続するためには外付けのバッファが必要です。マスタモードでは、スレーブモードのチップの代わりに、バス権要求を行う外部デバイスを接続することができます。以下の説明ではバス権要求を行う外部デバイスもスレーブと呼びます。

本 LSI の内部には CPU と DMAC という2つのバスマスタがあります。また、シンクロナス DRAM、DRAM を接続して、リフレッシュ制御を行わせる場合、リフレッシュ要求は第3のバスマスタとなります。これらに加え、マスタモードのときには外部デバイスからのバス権要求が加わります。同時に要求が発生した場合のバス権要求についての優先順位は、高い方から順に、外部デバイスによるバス権要求、リフレッシュ要求、DMAC、CPU の順となります。

マスタとスレーブとの間でバスを受け渡す際、接続されているデバイスの誤動作を防ぐため、バス解放に先立ってすべてのバス制御信号はネゲート状態とします。バス権を受け取る場合にも、バス制御信号はネゲート状態からバスのドライブを開始します。バス権を受け渡すマスタとスレーブで同じ値に信号をドライブするので、出力バッファの衝突は回避できます。

バス権の委譲はバスサイクルの切れ目で行われます。

バス解放要求信号 ( $\overline{\text{BREQ}}$ ) がアサートされると、本 LSI は実行中のバスサイクルが終わり次第バスの解放を行い、バス使用許可 ( $\overline{\text{BACK}}$ ) を出力します。ただし、キャッシュフィルやライトバックのためのバースト転送途中や、TAS 命令実行中のリードサイクルとライトサイクルの間でのバス権の解放は行いません。また、データバス幅がアクセスサイズより小さいことによって生じる複数バスサイクル、例えば8ビット幅のメモリにロングワードアクセスを行う場合のバスサイクル間にもバスアービトレーションは行いません。 $\overline{\text{BREQ}}$  がネゲートされると  $\overline{\text{BACK}}$  をネゲートし、バスの使用を再開します。バス解放時の端子状態は、「付録E 端子機能」を参照してください。

本 LSI 内部の CPU は、キャッシュメモリとの間を専用の内部バスで接続されているため、LSI 内部または外部の他のバスマスタがバスを使用しているも、キャッシュメモリからの読み出しを行うことができます。CPU からの書き込みの場合、本 LSI のキャッシュでライトスルー方式を設定した場合または、キャッシュオフエリアへのアクセスを行った場合、外部に対する書き込みサイクルが生じます。このためバス権が返還されるまで待たされます。

本 LSI では、内部でメモリリフレッシュ要求によりバス権を取り戻したい場合は、本 LSI は  $\overline{\text{BACK}}$  をネゲートします。外部バス解放要求をアサートしているデバイスは、 $\overline{\text{BACK}}$  のネゲートを受けてバス権を解放するために  $\overline{\text{BREQ}}$  をネゲートします。これによりバス権が本 LSI に戻り本 LSI が処理を行います。



### 13. バスステートコントローラ (BSC)

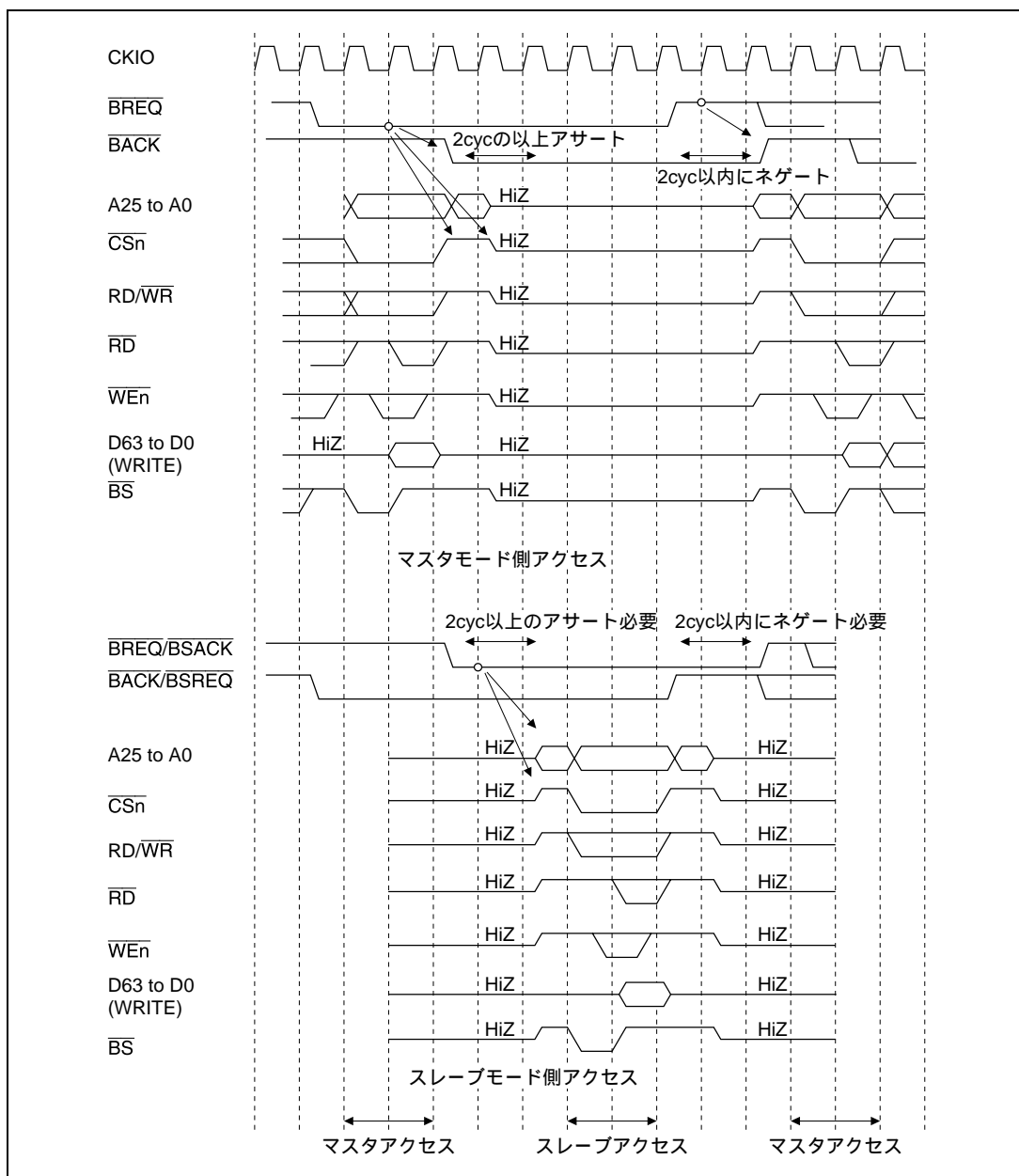


図 13.65 アービトレーションシーケンス

### 13.3.12 マスタモード

マスタモードのプロセッサはバス権要求を受けない限り自分でバスを保有しています。

外部からのバス権要求 ( $\overline{\text{BREQ}}$ ) のアサート (L レベル) を受け、実行中のバスサイクルが終わり次第バスの解放を行い、バス使用許可 ( $\overline{\text{BACK}}$ ) をアサート (L レベル) にします。リフレッシュ要求によるバス権要求が出ていない場合は、スレーブがバスを解放したことを示す  $\overline{\text{BREQ}}$  のネゲート (H レベル) を受けて  $\overline{\text{BACK}}$  をネゲート (H レベル) し、バスの使用を再開します。

バス権解放状態でメモリリフレッシュ要求によるバス権要求が出た場合、バス使用許可 ( $\overline{\text{BACK}}$ ) をネゲートし、スレーブがバスを解放したことを示す  $\overline{\text{BREQ}}$  のネゲートを受けて、バスの使用を再開します。

バス解放時はシンクロナス DRAM インタフェースの CKE とバスアービトレーションの  $\overline{\text{BACK}}$ 、および DMA 転送を制御する  $\overline{\text{DACK0}}$ 、 $\overline{\text{DACK1}}$  を除き、バスインタフェースに関連するすべてのバス制御出力信号および入出力信号をハイインピーダンスとします。

DRAM はプリチャージを完了させてからバスを解放します。シンクロナス DRAM も、アクティブとなっているバンクに対してプリチャージコマンドを発行し、これを完了させた後バスの解放を行います。

具体的なバス解放シーケンスは次の通りです。まず、バス使用許可信号をクロックの立ち上がり同期してアサートします。この  $\overline{\text{BACK}}$  アサートの次のクロックの立ち上がり同期してアドレスバスおよびデータバスをハイインピーダンスにします。同時に、バス制御信号 ( $\overline{\text{BS}}$ 、 $\overline{\text{CSn}}$ 、 $\overline{\text{RAS1}}$ 、 $\overline{\text{RAS2}}$ 、 $\overline{\text{WE}}_n$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{RD/WR}}$ 、 $\overline{\text{RD2}}$ 、 $\overline{\text{RD/WR2}}$ 、 $\overline{\text{CE2A}}$ 、 $\overline{\text{CE2B}}$ ) をハイインピーダンスにします。これらのバス制御信号は遅くともハイインピーダンスにする 1 サイクル前にはネゲートされています。バス権要求信号のサンプリングはクロックの立ち上がりで行います。

スレーブからバス権を再獲得するときのシーケンスは次の通りです。

$\overline{\text{BREQ}}$  のネゲートをクロックの立ち上がりで検出すると、直ちに  $\overline{\text{BACK}}$  をネゲートするとともにバス制御信号のドライブを開始します。アドレスバスおよびデータバスのドライブを開始するのも同相のクロックの立ち上がりです。バス制御信号をアサートしてバスサイクルを実際に開始するのは、最も早い場合にはバス制御信号のドライブを開始した次のクロックの立ち上がりからです。

バス権を再獲得してリフレッシュ動作、バスアクセスの実行を開始するためには、2 サイクル以上の  $\overline{\text{BREQ}}$  信号のネゲートが必要です。

$\overline{\text{BACK}}$  をアサートしバスを解放している状態でリフレッシュ要求が発生した場合、バス権の放棄をスレーブに要求するために、 $\overline{\text{BREQ}}$  信号がアサートされている状態でも  $\overline{\text{BACK}}$  信号をネゲートします。本 LSI をマスタモードで使用し、ユーザが個別に設計したスレーブの場合アービトレーションによるオーバーヘッドを減少させるため、連続して複数回のバスアクセスを発生しようとする場合があります。連続した複数回のアクセスの合計時間がリフレッシュ周期を超えるスレーブを接続する場合には、 $\overline{\text{BACK}}$  信号のネゲートを検出したとき、できるだけ速やかにバス権を解放するように設計を行ってください。

### 13.3.13 スレーブモード

スレーブモードでは通常、バスは解放状態となっており、バスアービトレーションシーケンスを行ってバス権を獲得しない限り、外部デバイスにアクセスすることはできません。リセット時もバス解放状態であり、リセットベクタのフェッチからバスアービトレーションシーケンスが開始されます。

バス権獲得のためにクロックの立ち上がり同期して  $\overline{\text{BSREQ}}$  信号をアサート (L レベル) にします。バス使用許可である  $\overline{\text{BSACK}}$  信号のアサート (L レベル) をクロック立ち上がりでサンプリングします。 $\overline{\text{BSACK}}$  のアサートを検出すると、直ちにバス制御信号とアドレスをネゲートレベルでドライブします。これに続くクロックの立ち上がりで、バスサイクルを開始します。アクセスサイクルの終了時に最後にネゲートされる信号はクロック立ち上がり同期しています。バスサイクル終

了と同時に  $\overline{\text{BSREQ}}$  信号をネゲートしバスの解放をマスタに通知します。次のクロックの立ち上がりで、制御信号をハイインピーダンスにします。

スレーブモードのプロセッサがアクセスを開始するためには、2 サイクル以上の  $\overline{\text{BSACK}}$  信号のアサートが必要です。

スレーブのアクセスサイクルが DRAM、シンクロナス DRAM の場合、マスタ同様にメモリのプリチャージが完了した時点でバス権の解放を行います。

リフレッシュ制御はマスタモードのデバイスに任せるため、スレーブモードでリフレッシュ制御の設定を行っても無視されます。

スレーブモードでは DRAM/シンクロナス DRAM の RAS ダウンモードは使用しないでください。

シンクロナス DRAM のモードレジスタ設定はマスタモードのデバイスで行ってください。

スレーブモードでは DMAC の DDT モードは使用しないでください。

#### 13.3.14 部分共有マスタモード

部分共有マスタモードでは、エリア 2 のみを他のデバイスと共有しており、それ以外のエリアについては常時アクセス可能となっています。部分共有マスタモードに設定するためには、外部モードピンによってマスタモードに設定を行い、パワーオンリセット時の初期化手順の中で、BCR1 の PSHR ビットを 1 に設定することによって部分共有マスタモードとすることができます。この設定を行うまでエリア 2 をアクセスしないでください。マニュアルリセットの際にはバスステートコントローラの設定レジスタの値は保存されるので、再度設定する必要はありません。

部分共有マスタモードはマスタモードのチップと組み合わせることを前提として設計されています。部分共有マスタはエリア 2 を介してマスタ側のデバイスにアクセスすることができますが、マスタは部分共有マスタ側のデバイスにアクセスすることはできません。

部分共有マスタとマスタの間にはアドレス、制御信号のバッファとデータのバッファを置き、バッファコントロール回路による制御が必要とされます。

部分共有マスタモードのプロセッサがエリア 2 にアクセスを行う場合、次の手順で行います。クロック立ち上がりで  $\overline{\text{BSREQ}}$  をアサートし、マスタにバス権の要求を行います。クロック立ち上がりごとに  $\overline{\text{BSACK}}$  をサンプリングし、 $\overline{\text{BSACK}}$  のアサートを受けて次のクロック立ち上がりからアクセスサイクルを開始します。アクセス終了後、クロック立ち上がりで  $\overline{\text{BSREQ}}$  をネゲートします。部分共有マスタからエリア 2 のデバイスをアクセスするときのバッファの制御は、部分共有マスタ側の  $\overline{\text{CS2}}$  もしくは  $\overline{\text{BSREQ}}$  信号と  $\overline{\text{BSACK}}$  信号を参照して行います。部分共有マスタに接続される  $\overline{\text{BSACK}}$  によってバス権の使用許可が通知されますが、バスを使っている最中でもリフレッシュなどをサービスするため、マスタがバスを緊急に必要とする場合は  $\overline{\text{BSACK}}$  信号はネゲートされることがあります。このため、 $\overline{\text{BSACK}}$  のアサートを検出した以降部分共有マスタがバスを使い続けているかどうかは、 $\overline{\text{BSREQ}}$  信号を監視している必要があります。アドレスバッファの場合  $\overline{\text{BSACK}}$  のアサート検出によってアドレスバッファをオンにした後は、 $\overline{\text{BSREQ}}$  がネゲートになるまでバッファをオンし、 $\overline{\text{BSREQ}}$  のネゲートとともにオフにします。使用するバッファのオフが遅くマスタ側のアクセスサイクル開始と衝突する場合には、バッファ制御回路の一部として部分共有マスタから出力される  $\overline{\text{BSREQ}}$  信号を遅延回路を介して、マスタの  $\overline{\text{BREQ}}$  信号に入力する必要があります。

部分共有マスタモードのプロセッサがエリア 2 のアクセスを開始するためには、2 サイクル以上の  $\overline{\text{BSACK}}$  信号のアサートが必要です。

部分共有マスタモードでエリア 2 をアクセスした後バス権を解放する際、エリア 2 が DRAM、シンクロナス DRAM であった場合には、オートプリチャージに必要な時間を待ってからバス権の解放を行います。

部分共有マスタモードはエリア 2 に対するリフレッシュは行いません（無視されます）。

部分共有マスタモードでは DRAM、シンクロナス DRAM の RAS ダウンモードは使用しないでください。

エリア 2 のシンクロナス DRAM のモードレジスタ設定はマスタモードのデバイスで行ってください。

い。エリア 3 のシンクロナス DRAM のモードレジスタ設定が終了してから部分共有マスタモードに設定 (BCR1 の PSHR ビットを 1 に設定) してください。

部分共有マスタモードでは、エリア 2 に対する DMA 転送は使用しないでください。また部分共有マスタモードでは、DMAC の DDT モードは使用しないでください。

### 13.3.15 マスタとスレーブの協調

マスタとスレーブで矛盾なくシステムリソースを制御するために、役割分担をきちんとする必要があります。DRAM、シンクロナス DRAM は使用に先立って初期化動作を行わなければなりません。また、低消費電力を実現するためのスタンバイ動作を行う場合にも分担を行わないといけません。

本 LSI の設計にあたっては初期化、リフレッシュ、スタンバイ制御などのすべての制御をマスタモードのデバイスが行うように考えてあります。2 プロセッサ構成のマスタ・スレーブ直接接続のときはメモリへの直接アクセスを除くすべての処理をマスタが分担します。マスタモードと部分共有マスタモードの組み合わせの場合、部分共有マスタモードのプロセッサはエリア 2 を除く自分に接続されたエリアの初期化、リフレッシュ、スタンバイコントロールの制御を行い、マスタは、マスタ自身に接続されたメモリの初期化を行います。

本 LSI は、パワーオンリセット時に、マスタ指定された場合、 $\overline{\text{BREQ}}$  イネーブルビット (BCR1.BREQEN) を 1 に設定するまで、スレーブからのバス権要求を受け付けません。

スレーブ側のプロセッサが DRAM、シンクロナス DRAM のように使用に先立って初期化が必要なメモリを初期化が完了する前にアクセスしないように、初期化終了後に、 $\overline{\text{BREQ}}$  イネーブルビットに 1 を書き込んでください。

スタンバイモード等でセルフリフレッシュモードにする場合、セルフリフレッシュモードにする前に、 $\overline{\text{BREQ}}$  イネーブルビットに 0 を書き込んで、スレーブからの  $\overline{\text{BREQ}}$  を無効化してください。 $\overline{\text{BREQ}}$  イネーブルビットに 1 を書き込むのは、リフレッシュの設定などセルフリフレッシュモードからの解除時に必要な処理をマスタが行ってからにしてください。

### 13.3.16 使用上の注意

#### (1) リフレッシュ

スタンバイモード、ディープスリープモードに遷移させると、オートリフレッシュは実行されなくなります。リフレッシュが必要なメモリシステムの場合はメモリをセルフリフレッシュ状態にしてからスタンバイモード、ディープスリープモードに遷移してください。

#### (2) バスアービトレーション

スタンバイモード、ディープスリープモードに遷移させると、マスタモードのプロセッサはバス権を解放しなくなります。バスアービトレーションを行うシステムではマスタモードのプロセッサのバス権解放イネーブルビット (BCR1.BREQEN) を 0 に設定してからスタンバイモード、ディープスリープモードに遷移してください。バス権解放イネーブルビットを 1 に設定したままでスタンバイ、ディープスリープモードに遷移した場合の動作は保証されません。

---

## 14. ダイレクトメモリアクセスコントローラ (DMAC)

---

### 14.1 概要

本 LSI は、4 チャンネルのダイレクトメモリアクセスコントローラ (DMAC) を内蔵しています。DMAC は、DACK (DMA 転送終了通知) 付き外部デバイス、外部メモリ、メモリマップト外部デバイス、内蔵周辺モジュール (DMAC、BSC、UBC を除く) 間のデータ転送を、CPU に代わって高速に行うことができます。DMAC を使うと CPU の負担を減らすとともに本 LSI の動作効率を上げることができます。

#### 14.1.1 特長

DMAC には次のような特長があります。

- チャンネル数：4 チャンネル
- アドレス空間：物理アドレス空間
- 転送データ長：8 ビット、16 ビット、32 ビット、64 ビット、32 バイトの中から選択可能
- 最大転送回数：16M (16,777,216 回)
- アドレスモード：デュアルアドレスモード、シングルアドレスモードの選択可能
  - シングルアドレスモード  
転送元か転送先の周辺デバイスを DACK 信号でアクセスし、もう一方をアドレスアクセスします。一回のデータ転送が 1 バスサイクルで終了します。
  - デュアルアドレスモード  
転送元、転送先双方をアドレスアクセスします。  
転送元、転送先共、DMAC 内部のレジスタに設定された値がアクセス対象のアドレスを指しています。一回のデータ転送に 2 バスサイクルを必要とします。
- チャンネル機能：各チャンネルごとに、設定可能な転送モードが異なります。
  - チャンネル 0  
デュアルアドレスモード、シングルアドレスモード対応。外部リクエスト受け付け可能
  - チャンネル 1  
デュアルアドレスモード、シングルアドレスモード対応。外部リクエスト受け付け可能
  - チャンネル 2  
デュアルアドレスモードのみ対応
  - チャンネル 3  
デュアルアドレスモードのみ対応
- 転送要求：DMAC の転送起動要求には以下の種類があります。
  - 外部リクエスト  
DREQ 端子 2 本。ローレベル検出または立ち下がりエッジ検出の指定が可能。外部リクエスト要求が受け付けられるのはチャンネル 0 とチャンネル 1 の 2 チャンネルのみ
  - 内蔵周辺モジュール  
SCI、TMU など内蔵モジュールの転送要求です。すべてのチャンネルが受け付け可能です。
  - オートリクエスト  
転送要求を DMAC 内部で自動的に発生させます。
- バスモード：サイクルスチールモードとバーストモードの選択が可能です。

## 14. ダイレクトメモリアクセスコントローラ (DMAC)

---

- 優先順位：DMAC のチャンネル優先順位には以下の 2 つの種類があります。
  - － 優先順位固定モード　チャンネル優先順位は常に固定
  - － ラウンドロビンモード　実行要求を受け付けたチャンネルの優先順位を最低にします。
- 割り込み要求：指定した転送回数終了後、CPU に割り込み要求発生可能
- オンデマンドデータ転送モード(DDT モード)：  
DBREQ、BAVL、TR、TDACK、ID[1:0]端子を使用して、外部デバイスとDMAC間のインタフェースを行うものです。4 チャンネルとも外部リクエスト受け付け可能です。  
チャンネル 0 については、転送モード、転送回数、転送アドレス（シングルのみ）などを外部デバイス側から指定してデータ転送を行うことができます。  
チャンネル 1～3 については内部リクエストによる転送を行う場合は、通常モードと同一です。チャンネル 1～3 では、外部リクエストによるデータ転送が可能です。
  - － チャンネル 0  
シングルアドレスモード対応。外部リクエスト受け付け可能
  - － チャンネル 1  
デュアルアドレスモード、シングルアドレスモード対応。外部リクエスト受け付け可能
  - － チャンネル 2  
デュアルアドレスモード、シングルアドレスモード対応。外部リクエスト受け付け可能
  - － チャンネル 3  
デュアルアドレスモード、シングルアドレスモード対応。外部リクエスト受け付け可能DDTモード時は、DBREQ、BAVL、TR、TDACK、ID[1:0]の信号を使用して、外部デバイスとDMACの間でハンドシェークを行いながらデータ転送を行います。

## 14.1.2 DMAC ブロック図

図 14.1 に DMAC のブロック図を示します。

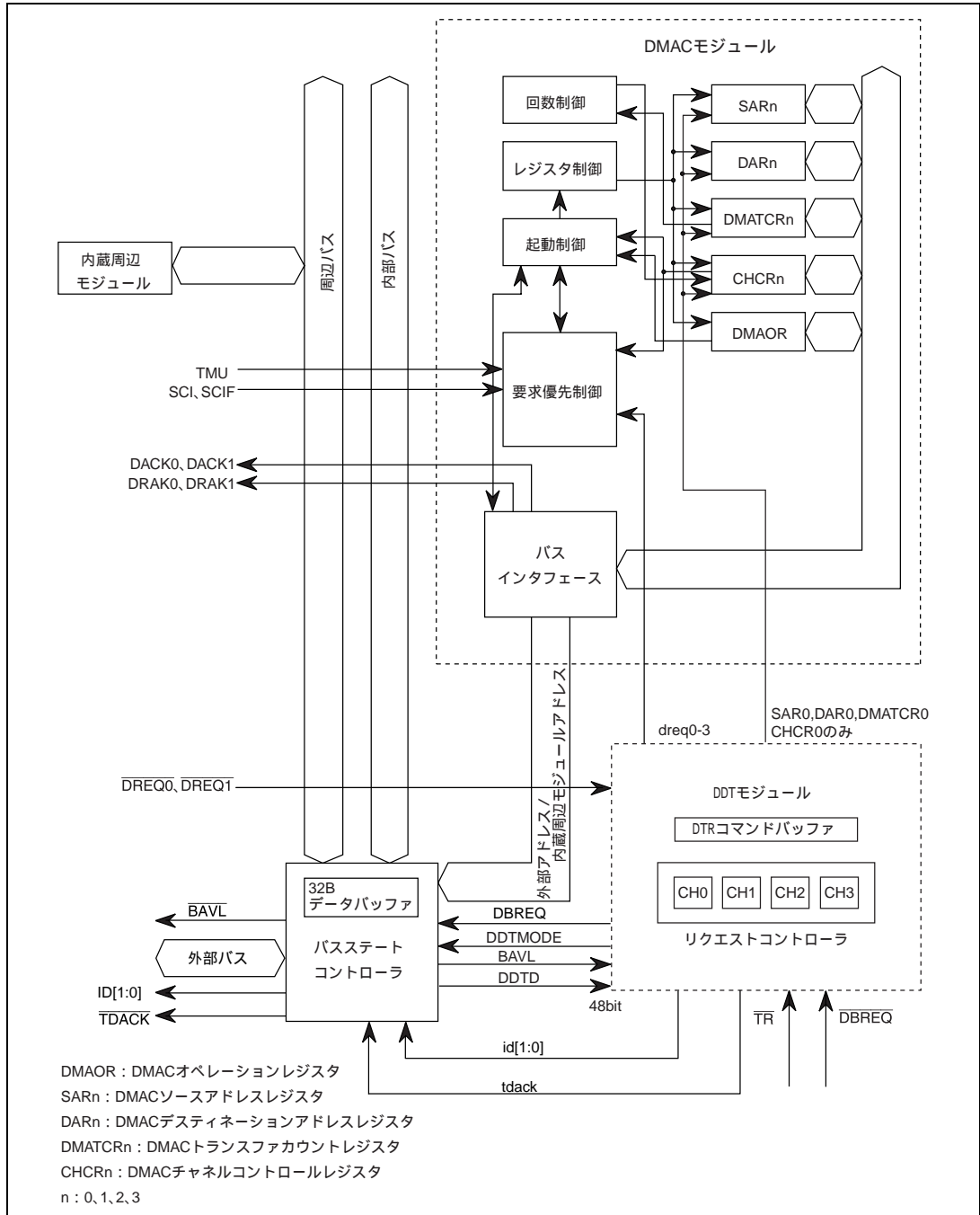


図 14.1 DMAC ブロック図

## 14. ダイレクトメモリアクセスコントローラ (DMAC)

### 14.1.3 端子構成

DMAC の端子構成を表 14.1、表 14.2 に示します。

表 14.1 DMAC 端子構成

| チャンネル | 名称          | 略称    | 入出力 | 機能  |
|-------|-------------|-------|-----|---|
| 0     | DMA 転送要求    | DREQ0 | 入力  | 外部デバイスからチャンネル 0 への DMA 転送要求入力                   |
|       | DREQ 受け付け確認 | DRAK0 | 出力  | チャンネル 0 から外部デバイスへの DMA 転送要求受付、実行開始を外部デバイスへ通知    |
|       | DMA 転送終了通知  | DACK0 | 出力  | 外部デバイスからチャンネル 0 への DMA 転送要求に対する外部デバイスへのストローブを出力 |
| 1     | DMA 転送要求    | DREQ1 | 入力  | 外部デバイスからチャンネル 1 への DMA 転送要求入力                   |
|       | DREQ 受け付け確認 | DRAK1 | 出力  | チャンネル 1 から外部デバイスへの DMA 転送要求受付、実行開始を外部デバイスへ通知    |
|       | DMA 転送終了通知  | DACK1 | 出力  | 外部デバイスからチャンネル 1 への DMA 転送要求に対する外部デバイスへのストローブを出力 |

表 14.2 DDT モードにおける DMAC 端子構成

| 名称         | 略称                                   | 入出力 | 機能   |
|------------|--------------------------------------|-----|--|
| データバス要求    | $\overline{\text{DBREQ}}$<br>(DREQ0) | 入力  | 外部デバイスからの DTR フォーマット入力のためのデータバス解放要求  |
| データバス使用許可  | $\overline{\text{BAVL}}$<br>(DRAK0)  | 出力  | データバス解放通知。BAVL アサートの 2 サイクル後にデータバスを使用可能  |
| 転送要求信号     | $\overline{\text{TR}}$<br>(DREQ1)    | 入力  | BAVL アサートの 2 サイクル後アサートの場合、DTR フォーマット送出。TR のみアサートは DMA リクエスト。DBREQ、TR 同時アサートの場合はチャンネル 2 への直接リクエスト |
| DMAC ストローブ | $\overline{\text{TDACK}}$<br>(DACK0) | 出力  | DMAC から外部デバイスに対する応答ストローブ信号   |
| チャンネル番号通知  | ID [1:0]<br>(DRAK1,<br>DACK1)        | 出力  | TDACK 出力時にチャンネル番号を同時に外部デバイスへ通知<br>(ID [1] = DRAK1, ID [0] = DACK1)                               |



## 14.1.4 レジスタ構成

表 14.3 にレジスタ構成を示します。DMAC では 1 チャンネルにつき 4 本のレジスタが割り当てられている他、DMAC 全体の制御用のレジスタが 1 本で、計 17 本のレジスタがあります。

表 14.3 レジスタ構成

| チャネル | 名 称                         | 略称      | R/W                 | 初期値        | P4<br>アドレス  | エリア 7<br>アドレス | アクセス<br>サイズ |
|------|-----------------------------|---------|---------------------|------------|-------------|---------------|-------------|
| 0    | DMA ソースアドレス<br>レジスタ 0       | SAR0    | R/W <sup>*2</sup>   | 不定         | H'FFFA00000 | H'1FA00000    | 32          |
|      | DMA デスティネーション<br>アドレスレジスタ 0 | DAR0    | R/W <sup>*2</sup>   | 不定         | H'FFFA00004 | H'1FA00004    | 32          |
|      | DMA トランスファカウン<br>トレジスタ 0    | DMATCR0 | R/W <sup>*2</sup>   | 不定         | H'FFFA00008 | H'1FA00008    | 32          |
|      | DMA チャンネルコントロ<br>ールレジスタ 0   | CHCR0   | R/W <sup>*1*2</sup> | H'00000000 | H'FFFA0000C | H'1FA0000C    | 32          |
| 1    | DMA ソースアドレス<br>レジスタ 1       | SAR1    | R/W                 | 不定         | H'FFFA00010 | H'1FA00010    | 32          |
|      | DMA デスティネーション<br>アドレスレジスタ 1 | DAR1    | R/W                 | 不定         | H'FFFA00014 | H'1FA00014    | 32          |
|      | DMA トランスファカウン<br>トレジスタ 1    | DMATCR1 | R/W                 | 不定         | H'FFFA00018 | H'1FA00018    | 32          |
|      | DMA チャンネルコントロ<br>ールレジスタ 1   | CHCR1   | R/W <sup>*1</sup>   | H'00000000 | H'FFFA0001C | H'1FA0001C    | 32          |
| 2    | DMA ソースアドレス<br>レジスタ 2       | SAR2    | R/W                 | 不定         | H'FFFA00020 | H'1FA00020    | 32          |
|      | DMA デスティネーション<br>アドレスレジスタ 2 | DAR2    | R/W                 | 不定         | H'FFFA00024 | H'1FA00024    | 32          |
|      | DMA トランスファカウン<br>トレジスタ 2    | DMATCR2 | R/W                 | 不定         | H'FFFA00028 | H'1FA00028    | 32          |
|      | DMA チャンネルコントロ<br>ールレジスタ 2   | CHCR2   | R/W <sup>*1</sup>   | H'00000000 | H'FFFA0002C | H'1FA0002C    | 32          |
| 3    | DMA ソースアドレス<br>レジスタ 3       | SAR3    | R/W                 | 不定         | H'FFFA00030 | H'1FA00030    | 32          |
|      | DMA デスティネーション<br>アドレスレジスタ 3 | DAR3    | R/W                 | 不定         | H'FFFA00034 | H'1FA00034    | 32          |
|      | DMA トランスファカウン<br>トレジスタ 3    | DMATCR3 | R/W                 | 不定         | H'FFFA00038 | H'1FA00038    | 32          |
|      | DMA チャンネルコントロ<br>ールレジスタ 3   | CHCR3   | R/W <sup>*1</sup>   | H'00000000 | H'FFFA0003C | H'1FA0003C    | 32          |
| 共通   | DMA オペレーション<br>レジスタ         | DMAOR   | R/W <sup>*1</sup>   | H'00000000 | H'FFFA00040 | H'1FA00040    | 32          |

【注】 各制御レジスタへのアクセスは、すべてロングワードを指定してください。それ以外でアクセスした場合、リード時にはオール 0 が読み出されます。ライト時には書き込み不可になります。

\*1 CHCR0～3 のビット 1 および DMAOR のビット 2、1 は、フラグをクリアするための 1 リード後の 0 ライトのみ可能です。

\*2 DDT モード時、CPU からの書き込みはマスクされます。外部 I/O からの DTR フォーマットによって書き込み可能です。

14-6

## 14.2.3 DMA トランスファカウントレジスタ 0～3 (DMATCR0～3)

|      |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| ビット: | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|      |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

初期値: 0 0 0 0 0 0 0 0

R/W: R R R R R R R R R/W R/W R/W R/W R/W R/W R/W R/W

|      |    |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |
|------|----|----|----|----|----|----|---|---|---|---|---|---|---|---|---|---|
| ビット: | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|      |    |    |    |    |    |    |   |   |   |   |   |   |   |   |   |   |

初期値:

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

DMA トランスファカウントレジスタ 0～3 (DMATCR0～3) は読み出し／書き込み可能な 32 ビットのレジスタで、そのチャンネルの転送回数（バイト数、ワード数、ロングワード数、クワッドワード数、32 バイト数）を指定します。転送回数は H'000001 を設定した場合 1 回ですが、H'000000 を設定すると最大値を設定したことになり、16,777,216 回(16M回) 実行されます。DMAC 動作中は、残りの転送回数を示しています。

本レジスタのビット 31～24 は予約ビットです。読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

パワーオンリセット、マニュアルリセット時には、値は不定です。スタンバイモード、ディープスリープモード時には、値は保持されます。

DDT モードの場合、DMATCR0 [7:0] へは、DTR フォーマット [55:48] が設定されます。

## 14.2.4 DMA チャンネルコントロールレジスタ 0～3 (CHCR0～3)

|      |      |      |      |     |      |      |      |     |    |    |    |    |    |    |    |    |
|------|------|------|------|-----|------|------|------|-----|----|----|----|----|----|----|----|----|
| ビット: | 31   | 30   | 29   | 28  | 27   | 26   | 25   | 24  | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|      | SSA2 | SSA1 | SSA0 | STC | DSA2 | DSA1 | DSA0 | DTC |    |    |    |    | DS | RL | AM | AL |

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R R R R R/W (R/W) R/W (R/W)

|      |     |     |     |     |     |     |     |     |    |     |     |     |   |    |    |    |
|------|-----|-----|-----|-----|-----|-----|-----|-----|----|-----|-----|-----|---|----|----|----|
| ビット: | 15  | 14  | 13  | 12  | 11  | 10  | 9   | 8   | 7  | 6   | 5   | 4   | 3 | 2  | 1  | 0  |
|      | DM1 | DM0 | SM1 | SM0 | RS3 | RS2 | RS1 | RS0 | TM | TS2 | TS1 | TS0 |   | IE | TE | DE |

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R R/W R(W) R/W

【注】TEビットは、フラグをクリアするための1リード後の0ライトのみ可能です。

RL、AM、AL、DSビットは、チャンネルにより存在しないビットがあります。

DMA チャンネルコントロールレジスタ 0～3 (CHCR0～3) は読み出し／書き込み可能な 32 ビットのレジスタで、各チャンネルの動作モード、転送方法などを指定します。ビット 31～28、ビット 27～24 は、それぞれソースアドレス、デスティネーションアドレスが、CS5 または CS6 空間でかつ当該空間が PCMCIA インタフェースに指定されているときのみ有効です。そうでない場合は、書き込む値は 0 にしてください。PCMCIA インタフェースについては、「第 13 章 バスステートコントローラ」の「13.3.7 PCMCIA インタフェース」を参照してください。

#### 14. ダイレクトメモリアクセスコントローラ (DMAC)

DDT モードの場合、CHCR0 は DTR フォーマットにより設定されます。(ただし、CHCR0[ 31:24 ] = 0、[ 18:16 ] = 0、[ 2 ] = 0、[ 1 ] = 0、[ 0 ] = 1)

ビット 18、16 は CHCR2、3 には存在しません。CHCR2、3 の場合、このビットへの書き込みは無効ですが、書き込む値は常に 0 にしてください。読み出すと常に 0 が読み出されます。

パワーオンリセット、マニュアルリセット時には、H'00000000 に初期化されます。スタンバイモード、ディープスリープモード時には値は保持されます。

##### ビット31～29：ソースアドレス側空間属性指定 (SSA2～SSA0)

PCMCIA へのアクセス時に空間属性を指定するビットです。本ビットは、エリア 5、6 に接続する PCMCIA にページマッピングする場合にのみ有効です。

| ビット 31 | ビット 30 | ビット 29 | 説 明                     |
|--------|--------|--------|-------------------------|
| SSA2   | SSA1   | SSA0   |                         |
| 0      | 0      | 0      | PCMCIA アクセス時、リザーブ (初期値) |
|        |        | 1      | ダイナミックバスサイジング I/O 空間    |
|        | 1      | 0      | 8 ビット I/O 空間            |
|        |        | 1      | 16 ビット I/O 空間           |
| 1      | 0      | 0      | 8 ビットコモンメモリ空間           |
|        |        | 1      | 16 ビットコモンメモリ空間          |
|        | 1      | 0      | 8 ビットアトリビュートメモリ空間       |
|        |        | 1      | 16 ビットアトリビュートメモリ空間      |

##### ビット28：ソースアドレス側ウェイト制御セレクト (STC)

PCMCIA へのアクセス時に CS5 または CS6 空間のウェイトサイクル制御を指定するビットです。このビットは、エリア 5、6 のウェイトサイクル制御を行う BSC 内のウェイトコントロールレジスタを選択します。

| ビット 28 | 説 明   |
|--------|---|
| STC    |   |
| 0      | CS5 空間ウェイトサイクルセレクト (初期値)<br>ウェイトコントロールレジスタ 2 (WCR2) の A5W2～A5W0 ビット、および PCMCIA コントロールレジスタ (PCR) の A5PCW1～A5PCW0、A5TED2～A5TED0、A5TEH2～A5TEH0 ビットの設定を選択します。 |
| 1      | CS6 空間ウェイトサイクルセレクト<br>ウェイトコントロールレジスタ 2 (WCR2) の A6W2～A6W0 ビット、および PCMCIA コントロールレジスタ (PCR) の A6PCW1～A6PCW0、A6TED2～A6TED0、A6TEH2～A6TEH0 ビットの設定を選択します。       |

【注】 詳細は、「13.3.7 PCMCIA インタフェース」を参照してください。

## ビット27～25：デスティネーションアドレス側空間属性指定 (DSA2～DSA0)

PCMCIA へのアクセス時に空間属性を指定するビットです。本ビットは、エリア 5、6 に接続する PCMCIA にページマッピングする場合にのみ有効です。

| ビット 27 | ビット 26 | ビット 25 | 説 明                     |
|--------|--------|--------|-------------------------|
| DSA2   | DSA1   | DSA0   |                         |
| 0      | 0      | 0      | PCMCIA アクセス時、リザーブ (初期値) |
|        |        | 1      | ダイナミックバスサイジング I/O 空間    |
|        | 1      | 0      | 8 ビット I/O 空間            |
|        |        | 1      | 16 ビット I/O 空間           |
| 1      | 0      | 0      | 8 ビット共通メモリ空間            |
|        |        | 1      | 16 ビット共通メモリ空間           |
|        | 1      | 0      | 8 ビットアトリビュートメモリ空間       |
|        |        | 1      | 16 ビットアトリビュートメモリ空間      |

## ビット24：デスティネーションアドレス側ウェイト制御セレクト (DTC)

PCMCIA へのアクセス時に CS5 または CS6 空間のウェイトサイクル制御を指定するビットです。このビットは、エリア 5、6 のウェイトサイクル制御を行う BSC 内のウェイトコントロールレジスタを選択します。

| ビット 24 | 説 明   |
|--------|---|
| DTC    |   |
| 0      | CS5 空間ウェイトサイクルセレクト (初期値)<br>ウェイトコントロールレジスタ 2 (WCR2) の A5W2～A5W0 ビット、および PCMCIA コントロールレジスタ (PCR) の A5PCW1～A5PCW0、A5TED2～A5TED0、A5TEH2～A5TEH0 ビットの設定を選択します。 |
| 1      | CS6 空間ウェイトサイクルセレクト<br>ウェイトコントロールレジスタ 2 (WCR2) の A6W2～A6W0 ビット、および PCMCIA コントロールレジスタ (PCR) の A6PCW1～A6PCW0、A6TED2～A6TED0、A6TEH2～A6TEH0 ビットの設定を選択します。       |

【注】詳細は、「13.3.7 PCMCIA インタフェース」を参照してください。

## ビット23～20：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## ビット19：DREQセレクト (DS)

外部リクエストモードで使用する  $\overline{\text{DREQ}}$  端子のサンプリング方法を、ローレベル検出にするか、立ち下がりエッジ検出にするかを指定するビットです。

このビットは、ノーマル DMA モードでは CHCR0、CHCR 1 でのみ有効です。DDT モードでは、CHCR0～3 で有効です。

| ビット 19 | 説 明           |
|--------|---------------|
| DS     |               |
| 0      | ローレベル検出 (初期値) |
| 1      | 立ち下がりエッジ検出    |

#### 14. ダイレクトメモリアクセスコントローラ (DMAC)

##### ビット18：リクエストチェックレベルビット (RL)

$\overline{\text{DREQ}}$ を受け取ったことを外部に知らせる信号 (DRAK) をハイアクティブで出力するか、ローアクティブで出力するかを選択ビットです。

このビットは CHCR0、1 でのみ有効です。

| ビット 18 | 説 明                    |
|--------|------------------------|
| RL     |                        |
| 0      | DRAK をハイアクティブで出力 (初期値) |
| 1      | DRAK をローアクティブで出力       |

##### ビット17：アクノリッジモードビット (AM)

デュアルアドレスモードで、DACK をデータの読み出しサイクルに出力するか、書き込みサイクルに出力するかを選択します。

シングルアドレスモードでは、このビットの指定に関係なく、DACK は常に出力されます。

このビットは、ノーマル DMA モードでは CHCR0、1 でのみ有効です。DDT モードでは、CHCR1 ~ 3 において有効です。

| ビット 17 | 説 明                      |
|--------|--------------------------|
| AM     |                          |
| 0      | 読み出しサイクルで DACK を出力 (初期値) |
| 1      | 書き込みサイクルで DACK を出力       |

##### ビット16：アクノリッジレベル (AL)

DACK (アクノリッジ) 信号をハイアクティブにするかローアクティブにするかを指定します。

このビットは CHCR0、1 でのみ有効です。

| ビット 16 | 説 明              |
|--------|------------------|
| AL     |                  |
| 0      | ハイアクティブで出力 (初期値) |
| 1      | ローアクティブで出力       |

##### ビット15、14：デスティネーションアドレスモード1、0 (DM1、DM0)

DMA 転送先アドレスの増減を指定します。シングルアドレスモードで外部メモリから外部デバイスにデータ転送する場合は、このビットの指定は無視されます。チャンネル 0 は、DDT モードでは DM1 = 0、DM0 = 1 に固定されます。

| ビット 15 | ビット 14 | 説 明   |
|--------|--------|---|
| DM1    | DM0    |   |
| 0      | 0      | デスティネーションアドレスは固定 (初期値)  |
|        | 1      | デスティネーションアドレスは増加<br>(8 ビット転送時 + 1、16 ビット転送時 + 2、32 ビット転送時 + 4、<br>64 ビット転送時 + 8、32 バイトバースト転送時 + 32) |
| 1      | 0      | デスティネーションアドレスは減少<br>(8 ビット転送時 - 1、16 ビット転送時 - 2、32 ビット転送時 - 4、<br>64 ビット転送時 - 8、32 バイトバースト転送時 - 32) |
|        | 1      | (設定禁止)  |

ビット13、12：ソースアドレスモード1、0 (SM1、SM0)

DMA 転送元アドレスの増減を指定します。シングルアドレスモードで外部デバイスから外部メモリにデータ転送する場合は、このビットの指定は無視されます。チャンネル0は、DDTモードではSM1=0、SM0=1に固定されます。

| ビット13 | ビット12 | 説明   |
|-------|-------|--|
| SM1   | SM0   |  |
| 0     | 0     | ソースアドレスは固定 (初期値)   |
|       | 1     | ソースアドレスは増加<br>(8ビット転送時+1、16ビット転送時+2、32ビット転送時+4、<br>64ビット転送時+8、32バイトバースト転送時+32) |
| 1     | 0     | ソースアドレスは減少<br>(8ビット転送時-1、16ビット転送時-2、32ビット転送時-4、<br>64ビット転送時-8、32バイトバースト転送時-32) |
|       | 1     | (設定禁止)   |

ビット11～8：リソースセレクト3～0 (RS3～RS0)

転送要求元を指定します。

| ビット11 | ビット10 | ビット9 | ビット8 | 説明  |
|-------|-------|------|------|---|
| RS3   | RS2   | RS1  | RS0  |   |
| 0     | 0     | 0    | 0    | 外部リクエスト、デュアルアドレスモード*1<br>(外部アドレス空間同士) (初期値)           |
|       |       |      | 1    | (設定禁止)  |
|       |       | 1    | 0    | 外部リクエスト、シングルアドレスモード<br>外部アドレス空間 外部デバイス *1*3 *4        |
|       |       |      | 1    | 外部リクエスト、シングルアドレスモード<br>外部デバイス 外部アドレス空間 *1*3 *4        |
|       | 1     | 0    | 0    | オートリクエスト (外部アドレス空間同士) *2                              |
|       |       |      | 1    | オートリクエスト (外部アドレス空間 内蔵周辺モジュール) *2                      |
|       |       | 1    | 0    | オートリクエスト (内蔵周辺モジュール 外部アドレス空間) *2                      |
|       |       |      | 1    | (設定禁止)  |
| 1     | 0     | 0    | 0    | SCIの送信データエンプティ割込転送要求<br>(外部アドレス空間 SCTDR1) *2          |
|       |       |      | 1    | SCIの受信データフル割込転送要求<br>(SCRDR1 外部アドレス空間) *2             |
|       |       | 1    | 0    | SCIFの送信データエンプティ割込転送要求<br>(外部アドレス空間 SCFTDR2) *2        |
|       |       |      | 1    | SCIFの受信データフル割込転送要求<br>(SCFRDR2 外部アドレス空間) *2           |
|       | 1     | 0    | 0    | TMUチャンネル2 (インプットキャプチャ割り込み、<br>外部アドレス空間同士) *2          |
|       |       |      | 1    | TMUチャンネル2 (インプットキャプチャ割り込み)<br>(外部アドレス空間 内蔵周辺モジュール) *2 |
|       |       | 1    | 0    | TMUチャンネル2 (インプットキャプチャ割り込み)<br>(内蔵周辺モジュール 外部アドレス空間) *2 |
|       |       |      | 1    | (設定禁止)  |

## 14. ダイレクトメモリアクセスコントローラ (DMAC)

- 【注】 \*1 外部リクエストの指定はチャンネル0、1のみ有効です。チャンネル2、3の場合、ノーマルDMAモード時には要求は受け付けられません。
- \*2 デュアルアドレスモード
- \*3 DDTモードの場合、チャンネル0のみDTRフォーマット[60] (R/Wビット)の指定で選択可能です。
- \*4 DDTモードの場合、外部リクエストの指定はチャンネル1、2、3に対して行ってください。チャンネル0へはDTRフォーマットでのみ設定できます。

### ビット7: トランスミットモード (TM)

転送時のバスモードを指定するビットです。

| ビット7 | 説 明               |
|------|-------------------|
| TM   |                   |
| 0    | サイクルスチールモード (初期値) |
| 1    | バーストモード           |

DTRフォーマット[57:55] (MDビット)で設定可能

### ビット6~4: トランスミットサイズ2~0 (TS2~TS0)

転送するデータのサイズを指定するビットです。

| ビット6 | ビット5 | ビット4 | 説 明                         |
|------|------|------|-----------------------------|
| TS2  | TS1  | TS0  |                             |
| 0    | 0    | 0    | クワッドワードサイズ (64ビット) 指定 (初期値) |
|      |      | 1    | バイトサイズ (8ビット) 指定            |
|      | 1    | 0    | ワードサイズ (16ビット) 指定           |
|      |      | 1    | ロングワードサイズ (32ビット) 指定        |
| 1    | 0    | 0    | 32バイトブロック転送指定               |

DTRフォーマット[63:61] (SZビット)で設定可能

### ビット3: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

### ビット2: インタラプトイネーブル (IE)

このビットに1をセットしておくと、DMATCRに指定した回数のデータ転送が終了したとき (TE = 1のとき) 割り込み要求 (DMTE) を発生します。

| ビット2 | 説 明  |
|------|--|
| IE   |  |
| 0    | DMATCR 指定転送回数終了時、割り込み要求を発生しない<br>(初期値) (DDTモード時 CHCR0のみ固定) |
| 1    | DMATCR 指定転送回数終了時、割り込み要求を発生する                               |



## ビット1: トランスファエンド (TE)

DMATCR で指定した回数の転送が終了したとき 1 にセットされるビットです。このとき IE ビットが 1 にセットされている場合、割り込み要求 (DMTE) を発生します。

TE が 1 にセットされる前に NMI 割り込み、アドレスエラーの発生、DE ビットまたは DMAOR の DME ビットのクリアなどで転送が終了させられた場合は、TE ビットは 1 にセットされません。このビットが 1 にセットされた状態で DE ビットを 1 にセットしても、転送許可状態には入りません。

| ビット 1 | 説 明  |
|-------|--|
| TE    |  |
| 0     | DMATCR 指定回数転送未終了 (初期値)<br>[クリア条件]<br>(1) TE=1 のリード後の 0 ライト<br>(2) パワーオンリセット、マニュアルリセット、またはスタンバイモード時 |
| 1     | DMATCR 指定回数転送終了  |

## ビット0: DMACイネーブル (DE)

対応するチャンネルの動作を許可するビットです。

| ビット 0 | 説 明                |
|-------|--------------------|
| DE    |                    |
| 0     | 対応チャンネルの動作禁止 (初期値) |
| 1     | 対応チャンネルの動作許可       |

オートリクエストを指定 (RS3~RS0 で指定) した場合、このビットに 1 をセットすると転送に入ります。外部リクエスト、内蔵周辺モジュールリクエストではこのビットに 1 をセットした後に転送要求が発生すると転送に入ります。転送途中でこのビットをクリアすると、転送を中断できます。

DE ビットをセットしても TE が 1 の場合、DMAOR の DME が 0 の場合、DMAOR の NMIF ビットまたは AE ビットが 1 の場合は転送許可状態には入りません。

チャンネル 0 は DDT モードの場合、DTR フォーマットを受け付けると 1 にセットされます。TE が 1 にセットされても DE は 1 のままです。DDT モードからノーマル DMA モード (DMAOR の DDT ビット=0) に切り換えたときは、必ず DE ビットを 0 にクリアしてください。

## 14.2.5 DMA オペレーションレジスタ (DMAOR)

|      |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| ビット: | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|      |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R R R R R R R R R R R R R R R R

|      |     |    |    |    |    |    |     |     |   |   |   |   |   |    |      |     |
|------|-----|----|----|----|----|----|-----|-----|---|---|---|---|---|----|------|-----|
| ビット: | 15  | 14 | 13 | 12 | 11 | 10 | 9   | 8   | 7 | 6 | 5 | 4 | 3 | 2  | 1    | 0   |
|      | DDT |    |    |    |    |    | PR1 | PR0 |   |   |   |   |   | AE | NMIF | DME |

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R R R R R R/W R/W R R R R R R/W R/W R/W

【注】 AE、NMIF ビットは、フラグクリアのための 1 リード後の 0 ライトのみ可能です。

#### 14. ダイレクトメモリアクセスコントローラ (DMAC)

DMAOR は読み出し / 書き込み可能な 32 ビットのレジスタで、DMAC の転送モードを指定します。

パワーオンリセット、マニュアルリセット時には、H'00000000 に初期化されます。スタンバイモード、ディープスリープモード時には、値は保持されます。

##### ビット31～16：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

##### ビット15：オンデマンドデータ転スファ (DDT)

オンデマンドデータ転スファモードを指定するビットです。この DDT ビットが 1 にセットされている場合、CPU から SAR0、DAR0、DMATCR0、CHCR0 への書き込みはマスクされます。

| ビット 15 | 説 明                |
|--------|--------------------|
| DDT    |                    |
| 0      | ノーマル DMA モード (初期値) |
| 1      | オンデマンドデータ転スファモード   |

【注】 BAVL (DRAK0) は、ノーマル DMA モード時はアクティブハイ出力になります。DDT ビットが 1 のとき、BAVL 端子機能が有効となり、本端子はアクティブロー出力になります。

##### ビット14～10：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

##### ビット9、8：プライオリティモード1、0 (PR1、PR0)

同時に複数のチャンネルに転送要求があった場合に、実行するチャンネルの優先順位を決定するビットです。

| ビット 9 | ビット 8 | 説 明                         |
|-------|-------|-----------------------------|
| PR1   | PR0   |                             |
| 0     | 0     | CH0 > CH1 > CH2 > CH3 (初期値) |
| 0     | 1     | CH0 > CH2 > CH3 > CH1       |
| 1     | 0     | CH2 > CH0 > CH1 > CH3       |
| 1     | 1     | ラウンドロビンモード                  |

##### ビット7～3：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## ビット2: アドレスエラーフラグ (AE)

DMA 転送中にアドレスエラーが発生したことを示すフラグです。転送途中にこのビットがセットされると、全チャンネルの転送が中断され、同時に割り込み要求 (DMAE) を発生します。CPU から AE に 1 をライトすることはできません。クリアする場合は、一度 AE=1 を読み出した後、AE=0 を書き込んでください。

| ビット 2<br>AE | 説 明   |
|-------------|---|
| 0           | アドレスエラーなし。DMA 転送許可状態<br>[ クリア条件 ] AE = 1 リード後の AE = 0 ライト (初期値) |
| 1           | アドレスエラーあり。DMA 転送禁止状態<br>[ セット条件 ] DMAC によるアドレスエラーの発生            |

## ビット1: NMIフラグ (NMIF)

NMI が入力されたことを示すフラグです。このビットのセットは DMAC 動作中、停止中を問わず行われます。転送途中にこのビットがセットされると、全チャンネルの転送が中断されます。CPU から NMIF に 1 をライトすることはできません。クリアする場合は、一度 NMIF = 1 を読み出した後、NMIF = 0 を書き込んでください。

| ビット 1<br>NMIF | 説 明  |
|---------------|--|
| 0             | NMI 入力なし。DMA 転送許可状態<br>[ クリア条件 ] NMIF = 1 リード後の NMIF = 0 ライト (初期値) |
| 1             | NMI 入力あり。DMA 転送禁止状態<br>[ セット条件 ] NMI 割り込みの発生                       |

## ビット0: DMACマスタイネーブル (DME)

DMAC 全体の起動許可ビットです。DME ビットおよび各チャンネルに対応する CHCR の DE ビットを 1 にセットすると、そのチャンネルの転送が許可されます。転送途中でこのビットをクリアすると、全チャンネルの転送を中断できます。

DME ビットをセットしても CHCR の TE が 1 または、DE が 0 の場合、DMAOR の NMI または AE ビットが 1 の場合は転送許可状態には入りません。

| ビット 0<br>DME | 説 明               |
|--------------|-------------------|
| 0            | 全チャンネルの動作禁止 (初期値) |
| 1            | 全チャンネルの動作許可       |

### 14.3 動作説明

DMAC は DMA 転送要求があると決められたチャネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの 3 種類のモードがあります。DMA 転送には、シングルアドレスモードとデュアルアドレスモードがあります。バスモードはバーストモードとサイクルスチールモードを選択することができます。

#### 14.3.1 動作説明

DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスファカウントレジスタ (DMATCR)、DMA チャネルコントロールレジスタ (CHCR)、DMA オペレーションレジスタ (DMAOR) に目的の転送条件設定後、DMAC は以下の手順でデータ転送を実行します。

- (1) 転送許可状態かどうか (DE = 1、DME = 1、TE = 0、NMIF = 0、AE = 0) をチェックします。
- (2) 転送許可状態で転送要求が発生すると、1 転送単位のデータ (TS2 ~ TS0 の設定により決定) を転送します。オートリクエストモードの場合は、DE および DME が 1 にセットされると自動的に転送を開始します。一回の転送を行うごとに DMATCR の値を 1 デクリメントします。具体的な転送フローは、アドレスモード、バスモードにより異なります。
- (3) 指定された回数の転送を終える (DMATCR の値が 0 になる) と、転送を正常に終了します。このとき CHCR の IE ビットに 1 がセットしてあれば、CPU に DMTE 割り込みを発生します。
- (4) DMAC によるアドレスエラーか NMI 割り込みが発生した場合には、転送を中断します。また CHCR の DE ビットか DMAOR の DME ビットが 0 にされても転送を中断します。アドレスエラーの場合は、強制的に CPU に DMAE 割り込みを発生します。

図 14.2 に上記のフローチャートを示します。

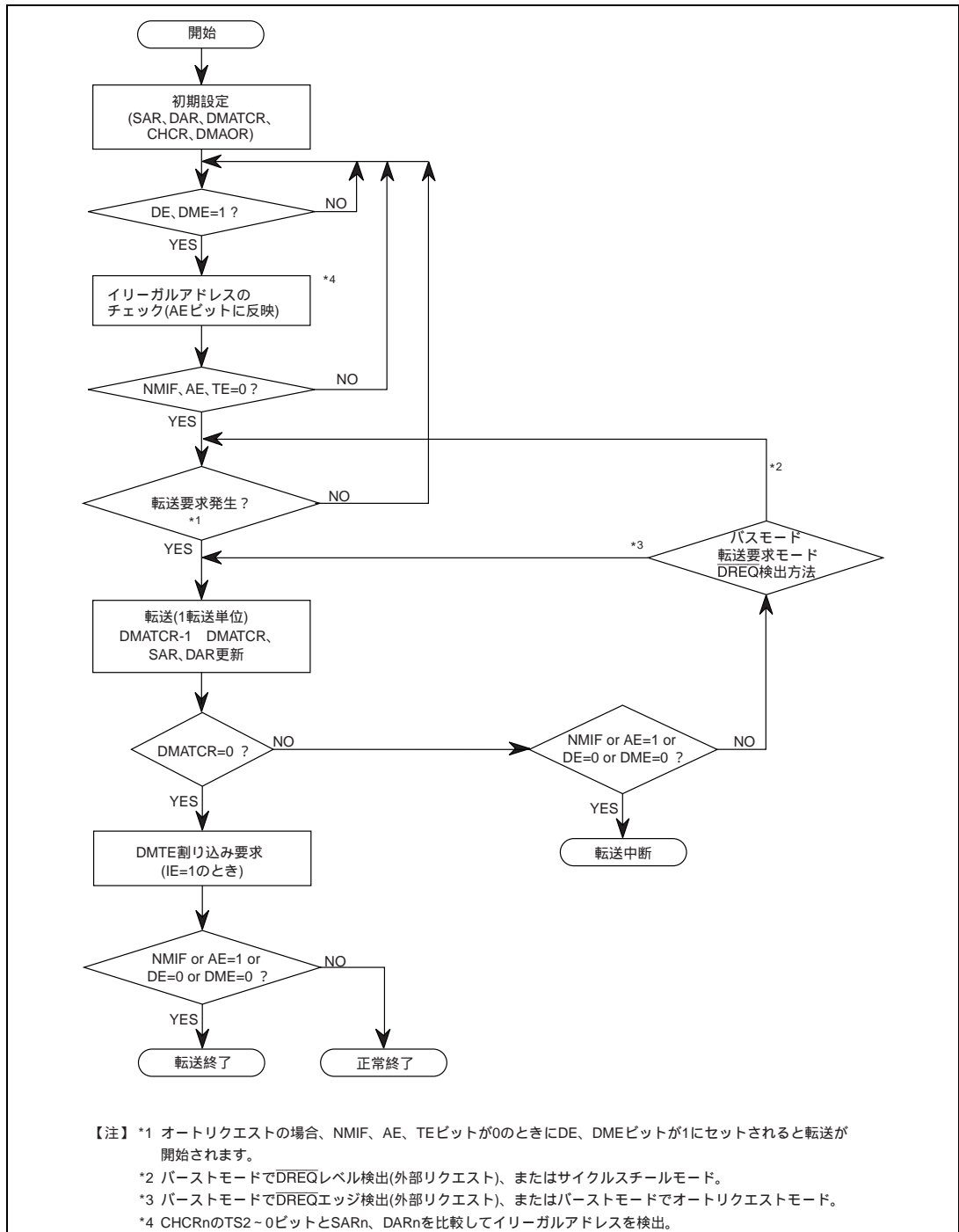


図 14.2 DMAC 転送フローチャート

## 14.3.2 DMA 転送要求

DMA 転送要求はデータの転送元または転送先に発生させるのが基本的な使い方ですが、転送元でも転送先でもない外部デバイスや内蔵周辺モジュールに発生させる使い方もできます。

転送要求にはオートリクエスト、外部リクエスト、内蔵周辺モジュールリクエストの 3 種類があります。転送要求の選択は DMA チャンネルコントロールレジスタ 0~3 (CHCR0~CHCR3) の RS3~RS0 ビットによって行います。

## (1) オートリクエストモード

オートリクエストモードはメモリ同士の転送や、転送要求を発生できない内蔵周辺モジュールとメモリとの転送のように、転送要求信号が外部から来ない場合に、DMAC 内部で自動的に転送要求信号を発生するモードです。CHCR0~CHCR3 の DE ビットおよび DMA オペレーションレジスタ (DMAOR) の DME ビットを 1 にセットすると転送が開始されます。ただし CHCR0~CHCR3 の TE ビット、DMAOR の NMIF ビット、AE ビットがすべて 0 である必要があります。

## (2) 外部リクエストモード

外部リクエストモードは本 LSI の外部デバイスからの転送要求信号 ( $\overline{\text{DREQ}}$ ) によって転送を開始させるモードです。応用システムに応じて、表 14.4 に示すモードの中から 1 つを選んで使います。DMA 転送が許可されているとき (DE = 1、DME = 1、TE = 0、NMIF = 0、AE = 0) に  $\overline{\text{DREQ}}$  が入力されると DMA 転送が開始されます。 $\overline{\text{DREQ}}$  を立ち下がりエッジで検出するかローレベルで検出するかは、CHCR0、CHCR1 の DS ビットで選びます (DS = 0 はレベル検出、DS = 1 はエッジ検出)。

転送要求元は必ずしもデータの転送元が転送先である必要はありません。

表 14.4 RS ビットによる外部リクエストモードの選択

| RS3 | RS2 | RS1 | RS0 | アドレスモード         | 転送元                            | 転送先                            |
|-----|-----|-----|-----|-----------------|--------------------------------|--------------------------------|
| 0   | 0   | 0   | 0   | デュアル<br>アドレスモード | 外部メモリまたは、<br>メモリマップト外部<br>デバイス | 外部メモリまたは、<br>メモリマップト外部<br>デバイス |
| 0   | 0   | 1   | 0   | シングル<br>アドレスモード | 外部メモリまたはメモリ<br>マップト外部デバイス      | DACK 付き外部デバイ<br>ス              |
| 0   | 0   | 1   | 1   | シングル<br>アドレスモード | DACK 付き外部デバイス                  | 外部メモリまたはメモリ<br>マップト外部デバイ<br>ス  |

## (3) 内蔵周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードは、本 LSI の内蔵周辺モジュールからの転送要求信号 (割り込み要求信号) によって転送を開始させるモードです。転送要求信号には表 14.5 に示すように、タイマユニット (TMU) からのインプットキャプチャ割り込み、2 つのシリアルコミュニケーションインタフェース (SCI、SCIF) からの受信データフル要求 (RXI)、送信データエンプティ要求 (TXI)、の計 7 本があります。DMA 転送が許可されているとき (DE = 1、DME = 1、TE = 0、NMIF = 0、AE = 0) に転送要求信号が入力されると DMA 転送が開始されます。

転送要求元は必ずしもデータの転送元が転送先である必要はありません。しかし転送要求を RXI (SCI、SCIF の受信データフルによる転送要求) に設定した場合は転送元は SCI、SCIF のレシーブデータレジスタ (SCRDR1、SCFRDR2) でなければなりません。転送要求を TXI (SCI、SCIF の送信データエンプティによる転送要求) に設定した場合は、転送先は SCI、SCIF のトランスミットデータレジスタ (SCTDR1、SCFTDR2) でなければなりません。

表 14.5 RS ビットによる内蔵周辺モジュールリクエストモードの選択

| RS3 | RS2 | RS1 | RS0 | DMAC<br>転送要求元  | DMAC 転送要求信号                          | 転送元      | 転送先         | バスモード                    |
|-----|-----|-----|-----|----------------|--------------------------------------|----------|-------------|--------------------------|
| 1   | 0   | 0   | 0   | SCI 送信部        | SCTDR1 (SCI 送信データエン<br>プティによる転送要求)   | 外部*      | SCTDR1      | サイクルスチ<br>ールモード          |
|     |     |     | 1   | SCI 受信部        | SCRDR1 (SCI 受信データフル<br>による転送要求)      | 外部*      | SCRDR1      | サイクルスチ<br>ールモード          |
|     |     | 1   | 0   | SCIF 送信部       | SCFTDR2 (SCIF 送信データエン<br>プティによる転送要求) | 外部*      | SCFTDR<br>2 | サイクルスチ<br>ールモード          |
|     |     |     | 1   | SCIF 受信部       | SCFRDR2 (SCIF 受信データフル<br>による転送要求)    | 外部*      | SCFRD<br>R2 | サイクルスチ<br>ールモード          |
|     | 1   | 0   | 0   | TMU<br>チャンネル 2 | インプットキャプチャ発生                         | 外部*      | 外部*         | バースト/サイ<br>クルスチールモ<br>ード |
|     |     |     | 1   | TMU<br>チャンネル 2 | インプットキャプチャ発生                         | 外部*      | 内蔵<br>周辺    | バースト/サイ<br>クルスチールモ<br>ード |
|     |     | 1   | 0   | TMU<br>チャンネル 2 | インプットキャプチャ発生                         | 内蔵<br>周辺 | 外部*         | バースト/サイ<br>クルスチールモ<br>ード |

TMU : タイマユニット

SCI : シリアルコミュニケーションインタフェース

SCIF : FIFO 内蔵シリアルコミュニケーションインタフェース

【注】 \* 外部メモリ、メモリマップト外部デバイス

【注】 SCI、SCIF バースト転送設定禁止

内蔵周辺モジュールから転送要求を出力させるためには、その各モジュールの該当する DMA 転送要求許可ビットをセットして、転送要求信号を出力させてください。

詳細は、「第 12 章 タイマユニット」、「第 15 章 シリアルコミュニケーションインタフェース」、「第 16 章 FIFO 内蔵シリアルコミュニケーションインタフェース」を参照してください。

表 14.5 に示す内蔵周辺モジュールからの転送要求信号は、対応する DMA 転送が行われると、自動的に取り下げられます。これはサイクルスチールモードの場合 1 回の転送で、バーストモードの場合最後の転送時に行われます。

### 14.3.3 チャンネルの優先順位

DMAC は、同時に複数のチャンネルに対して転送要求があった場合には、決められた優先順位に従って転送を行います。チャンネルの優先順位は固定、ラウンドロビンの 2 つのモードから選べます。モードの選択は、DMA オペレーションレジスタ (DMAOR) の PR1、PR0 ビットによって行います。

#### (1) 固定モード

固定モードでは、チャンネルの優先順位は決まっています。固定モードには以下に示す 3 種類があります。

- CH0 > CH1 > CH2 > CH3
- CH0 > CH2 > CH3 > CH1
- CH2 > CH0 > CH1 > CH3

これらの選択は DMA オペレーションレジスタ (DMAOR) の PR1、PR0 ビットにより行います。

#### (2) ラウンドロビンモード

ラウンドロビンモードでは、1 つのチャンネルで、1 転送単位 (バイト、ワード、ロングワード、ク

## 14. ダイレクトメモリアクセスコントローラ (DMAC)

ワード、または 32 バイト) の転送が終了するごとにそのチャンネルの優先順位が一番低くなるように優先順位を変更します。この動作を図 14.3 に示します。なお、リセット直後のラウンドロビンモードの優先順位は、CH0 > CH1 > CH2 > CH3 です。

【注】 ラウンドロビンモードでは、DMAC があるチャンネルの DMA 転送の間にどのチャンネルに対しても転送要求を受け付けなかった場合、優先順位は CH0 > CH1 > CH2 > CH3 になります。

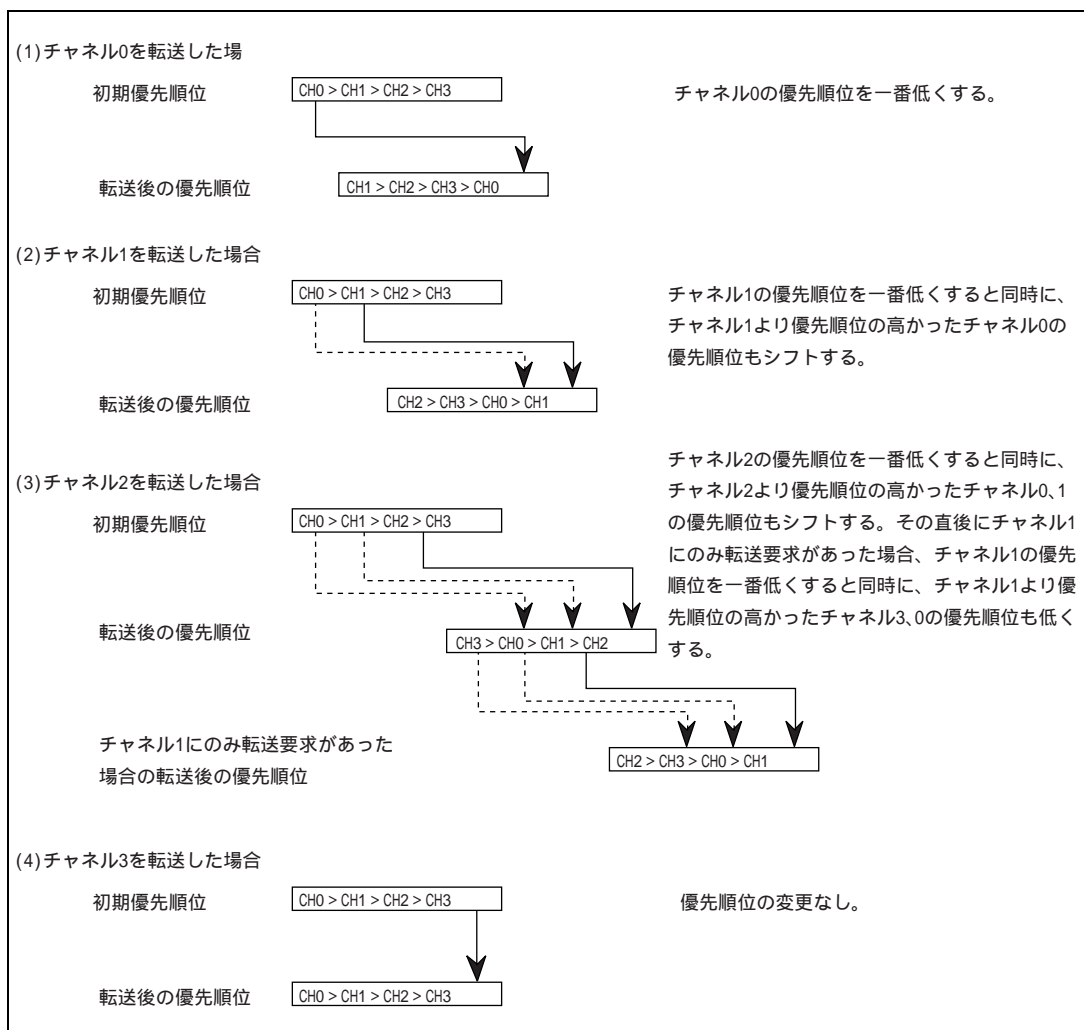


図 14.3 ラウンドロビンモード

図 14.4 にチャンネル0 とチャンネル3 に同時に転送要求が発生し、チャンネル0 の転送中にチャンネル1 の転送要求が発生した場合のチャンネルの優先順位の変化を示します。この場合の DMAC の動作は以下ようになります。



- (1) チャンネル0とチャンネル3に同時に転送要求が発生します。
- (2) チャンネル0の方がチャンネル3より優先順位が高いので、チャンネル0の転送を開始します(チャンネル3は転送待ち)。
- (3) チャンネル0の転送中にチャンネル1に転送要求が発生します(チャンネル1とチャンネル3は転送待ち)。
- (4) チャンネル0の転送を終了すると、チャンネル0の優先順位を一番低くします。
- (5) この時点でチャンネル1のほうがチャンネル3より優先順位が高いので、チャンネル1の転送を開始します(チャンネル3は転送待ち)。
- (6) チャンネル1の転送を終了すると、チャンネル1の優先順位を一番低くします。
- (7) チャンネル3の転送を開始します。
- (8) チャンネル3の転送を終了すると、チャンネル3の優先順位が一番低くなるように、チャンネル3と一緒にチャンネル2の優先順位を低くします。

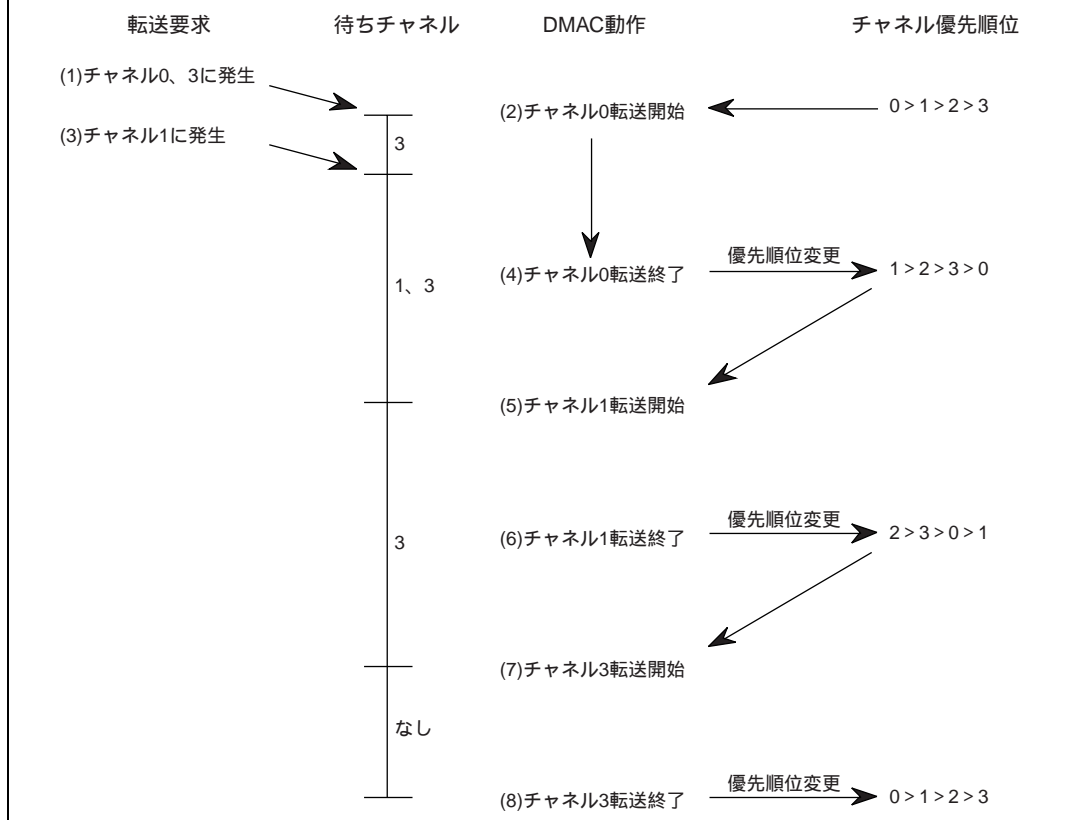


図 14.4 ラウンドロビンモードでのチャンネル優先順位変更例

## 14.3.4 DMA 転送の種類

DMAC がサポートできる転送は表 14.6 に示すとおりで、転送元か転送先いずれか一方をアクノリッジ信号でアクセスするシングルアドレスモードと、転送元と転送先の両方のアドレスを出力するデュアルアドレスモードに分類されます。具体的な転送動作タイミングはバスモードにより異なります。バスモードには、サイクルスチールモードとバーストモードがあります。

表 14.6 サポートできる DMA 転送

| 転送元               | 転送先              |                 |                   |                 |
|-------------------|------------------|-----------------|-------------------|-----------------|
|                   | DACK 付<br>外部デバイス | 外部メモリ           | メモリマップト<br>外部デバイス | 内蔵周辺<br>モジュール   |
| DACK 付<br>外部デバイス  | 不可               | シングル<br>アドレスモード | シングル<br>アドレスモード   | 不可              |
| 外部メモリ             | シングル<br>アドレスモード  | デュアル<br>アドレスモード | デュアル<br>アドレスモード   | デュアル<br>アドレスモード |
| メモリマップト<br>外部デバイス | シングル<br>アドレスモード  | デュアル<br>アドレスモード | デュアル<br>アドレスモード   | デュアル<br>アドレスモード |
| 内蔵周辺<br>モジュール     | 不可               | デュアル<br>アドレスモード | デュアル<br>アドレスモード   | 不可              |

## (1) アドレスモード

## (a) シングルアドレスモード

シングルアドレスモードは、転送元と転送先がともに外部で、そのうちの一方を DACK 信号によってアクセスし、もう一方をアドレスによってアクセスする場合に使うモードです。このモードでは DMAC は、外部デバイスへのストローブ信号 (DACK) を、転送元か転送先いずれか一方の外部デバイスに出力してアクセスすると同時に、もう一方の転送相手にアドレスを出してアクセスします。これにより、1 つのバスサイクルで DMA 転送を行うことができます。たとえば図 14.5 に示すような外部メモリと DACK 付き外部デバイスとの転送では、外部デバイスがデータバスにデータを出力するのと同じバスサイクルでそのデータが外部メモリに書き込まれます。

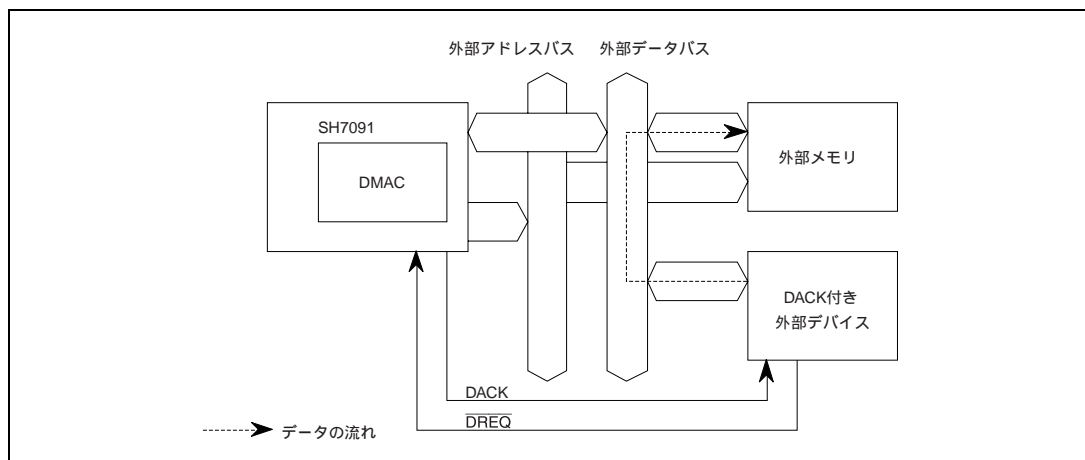


図 14.5 シングルアドレスモードでのデータの流れ

シングルアドレスモードで可能な転送は、

- (1) DACK 付き外部デバイスとメモリマップト外部デバイス間転送
- (2) DACK 付き外部デバイスと外部メモリ間転送

です。いずれの場合も転送要求は、外部リクエスト ( $\overline{\text{DREQ}}$ ) のみです。

図 14.6 にシングルアドレスモードでの DMA 転送タイミングを示します。

各種外部メモリ毎にアクセスタイミングが異なります。詳細は、「第 13 章 バスステートコントローラ」の各メモリインタフェースを参照してください。

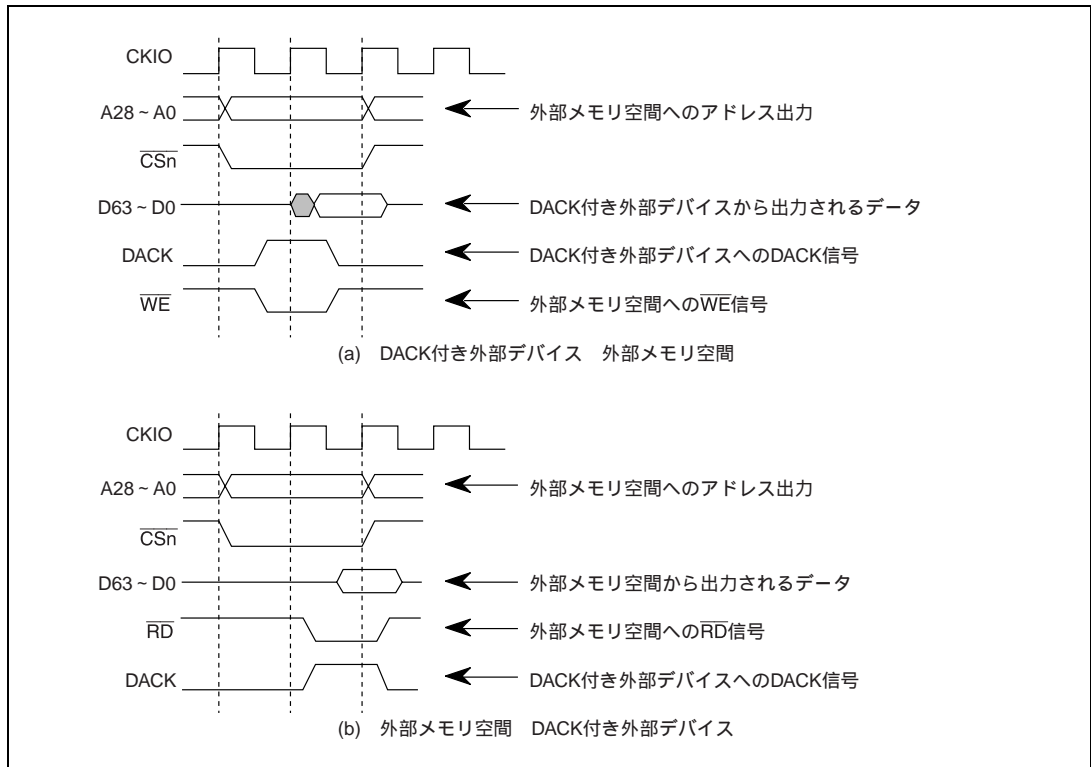


図 14.6 シングルアドレスモードでの DMA 転送タイミング

#### (b) デュアルアドレスモード

デュアルアドレスモードは転送元と転送先をともにアドレスによってアクセスする場合に使うモードです。転送元と転送先は内蔵周辺モジュールでも外部アドレスでもかまいません。

デュアルアドレスモードではデータ読み出しサイクルで転送元からデータを読み出し、データ書き込みサイクルで転送先にデータを書き込むため、2 つのバスサイクルで転送を行います。このとき転送データは一時的に BSC 内のデータバッファに格納されます。

図 14.7 のような外部メモリ同士の転送では、読み出しサイクルで一方の外部メモリからデータが BSC 内のデータバッファに読み出され、続く書き込みサイクルでそのデータがもう一方の外部メモリに書き込まれます。また、図 14.8 にこの場合のタイミング例を示します。

## 14. ダイレクトメモリアクセスコントローラ (DMAC)

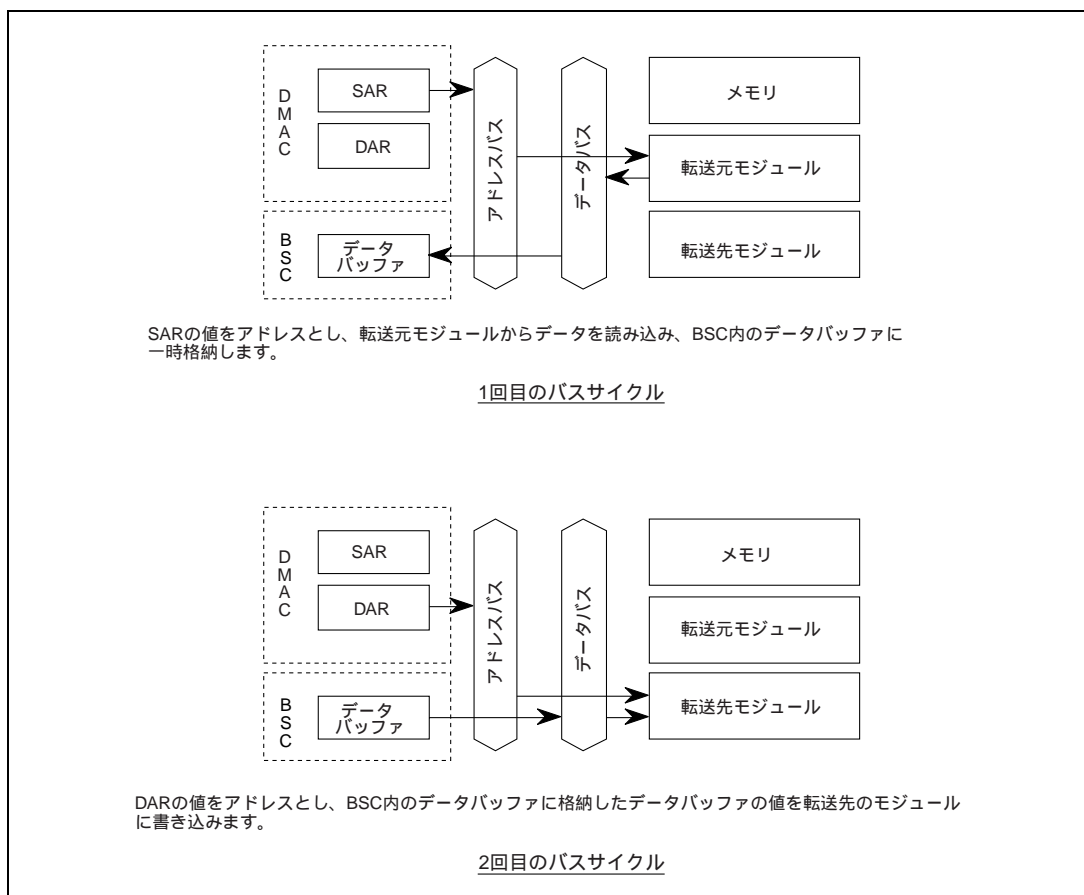


図 14.7 デュアルアドレスモードの動作説明

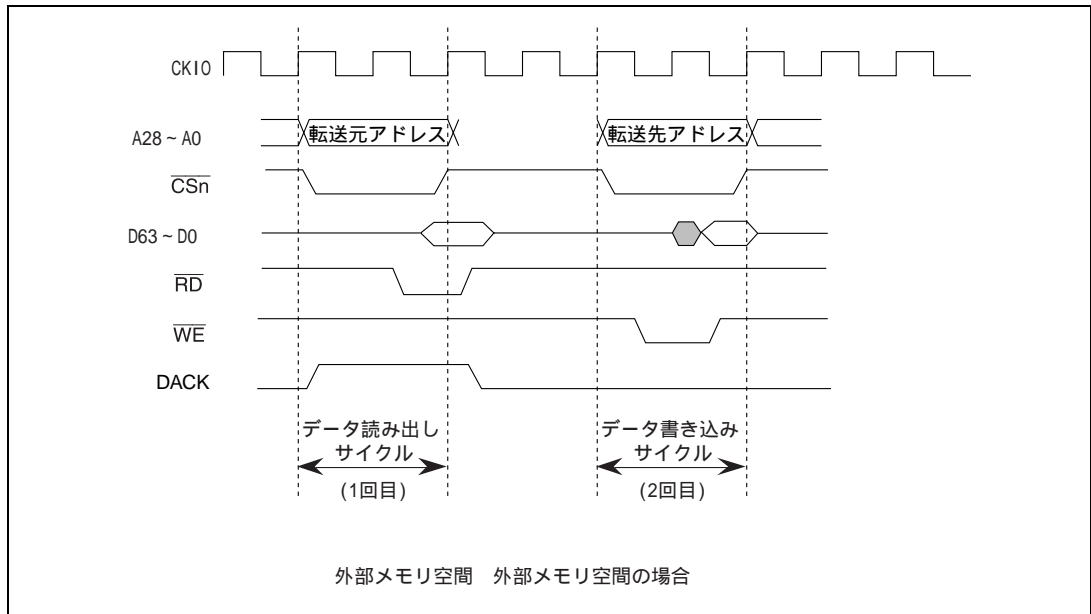


図 14.8 デュアルアドレスモードの転送タイミング例

## (2) バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。モードの選択は CHCR0 ~ CHCR3 の TM ビットによって行います。

### (a) サイクルスチールモード

サイクルスチールモードでは、DMAC は一回の転送単位 (8 ビット、16 ビット、32 ビット、64 ビット、32 バイト) の転送を終了するたびにバス権を CPU に渡します。その後転送要求があれば、CPU からバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権を CPU に渡します。これを転送終了条件が満たされるまで繰り返します。

サイクルスチールモードは、転送要求元、転送元、転送先の設定によって、転送可能領域が制限を受けることはありません。

図 14.9 にサイクルスチールモードでの DMA 転送タイミング例を示します。図の例での転送条件は以下のとおりです。

- デュアルアドレスモード
- DREQ レベル検出

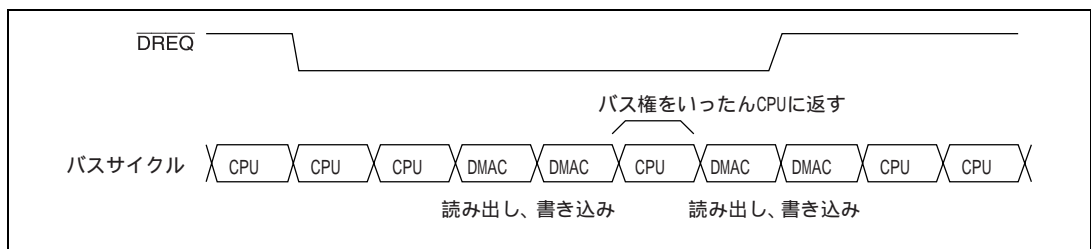


図 14.9 サイクルスチールモードでの DMA 転送例

## 14. ダイレクトメモリアクセスコントローラ (DMAC)

### (b) バーストモード

バーストモードでは DMAC は一度バス権を取ると、転送終了条件が満たされるまでバス権を開放せずに転送を続けます。ただし外部リクエストモードで、 $\overline{\text{DREQ}}$  をローレベルで検出する場合には、 $\overline{\text{DREQ}}$  がハイレベルになると、転送終了条件が満たされていなくても、すでに要求を受け付けた DMAC 転送要求を終了後に他のバスマスタにバス権を渡します。

図 14.10 にバーストモードでの DMA 転送タイミングを示します。図の例での転送条件は以下のとおりです。

- シングルアドレスモード
- $\overline{\text{DREQ}}$  レベル検出

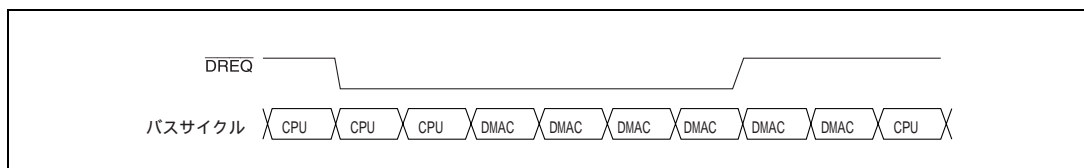


図 14.10 バーストモードでの DMA 転送例

【注】 データサイズに関わらず、バーストモードの設定が可能です (32 バイトブロック転送のバーストモードの設定も可能)。

### (3) DMA 転送区間とリクエストモード、バスモードの関係

表 14.7 に DMA 転送区間とリクエストモード、バスモードなどの関連事項を示します。

表 14.7 DMA 転送区間とリクエストモード、バスモードなどの関連一覧

| アドレスモード | 転送区間                        | リクエストモード           | バスモード             | 転送サイズ (ビット)              | 使用可能チャンネル                                |
|---------|-----------------------------|--------------------|-------------------|--------------------------|--|
| シングル    | DACK 付き外部デバイスと外部メモリ         | 外部                 | B/C               | 8/16/32/64/32B           | 0、1<br>(2, 3) * <sup>6</sup>             |
|         | DACK 付き外部デバイスとメモリマップト外部デバイス | 外部                 | B/C               | 8/16/32/64/32B           | 0、1<br>(2, 3) * <sup>6</sup>             |
| デュアル    | 外部メモリと外部メモリ                 | すべて可* <sup>1</sup> | B/C               | 8/16/32/64/32B           | 0、1、2、3<br>* <sup>5</sup> * <sup>6</sup> |
|         | 外部メモリとメモリマップト外部デバイス         | すべて可* <sup>1</sup> | B/C               | 8/16/32/64/32B           | 0、1、2、3<br>* <sup>5</sup> * <sup>6</sup> |
|         | メモリマップト外部デバイスとメモリマップト外部デバイス | すべて可* <sup>1</sup> | B/C               | 8/16/32/64/32B           | 0、1、2、3<br>* <sup>5</sup> * <sup>6</sup> |
|         | 外部メモリと内蔵周辺モジュール             | すべて可* <sup>2</sup> | B/C* <sup>3</sup> | 8/16/32/64* <sup>4</sup> | 0、1、2、3<br>* <sup>5</sup> * <sup>6</sup> |
|         | メモリマップト外部デバイスと内蔵周辺モジュール     | すべて可* <sup>2</sup> | B/C* <sup>3</sup> | 8/16/32/64* <sup>4</sup> | 0、1、2、3<br>* <sup>5</sup> * <sup>6</sup> |

32B : 32 バイトバースト転送

B : バースト

C : サイクルスチール

- 【注】 \*<sup>1</sup> 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエスト (TMU インプットキャプチャ割り込み要求) のいずれでも可能。ただし、内蔵周辺モジュールリクエストの場合には、SCI (SCIF) を転送要求元にして外部メモリ間データ転送を指定するのは不可。
- \*<sup>2</sup> 外部リクエスト、オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能。ただし、転送要求元が SCI (SCIF) の場合には、転送元は SCRDR1 (SCFRDR2)、または転送先が SCTDR1 (SCFTDR2) である必要があります。
- \*<sup>3</sup> 転送要求元が SCI (SCIF) の場合にはサイクルスチールのみ
- \*<sup>4</sup> 転送元または転送先である内蔵周辺モジュールのレジスタで許されるアクセスサイズ
- \*<sup>5</sup> 転送要求が外部リクエストの場合にはチャンネル 0、1 のみ
- \*<sup>6</sup> DDT モードの場合、全チャンネルとも DTR フォーマットを出力可能な外部デバイスからの転送要求を受け付けることが可能です。

#### (4) バスモードとチャンネルの優先順位

例えばチャンネル 1 がバーストモードで転送中でも、それより優先順位の高いチャンネル 0 に転送要求が発生すると、ただちにチャンネル 0 の転送を開始します。

このとき優先順位の設定が固定モード (CH0 > CH1) の場合、チャンネル 0 の設定がサイクルスチールモードでもバーストモードでも、チャンネル 0 の転送がすべて終了してからチャンネル 1 の転送を継続します。

優先順位の設定がラウンドロビンモードの場合、チャンネル 0 の設定がサイクルスチールモードでもバーストモードであっても、チャンネル 0 が 1 転送単位の転送を行った後、チャンネル 1 が転送を再開します。その後もチャンネル 1 チャンネル 0 チャンネル 1 チャンネル 0 というようにチャンネル実行が交互に入れ換わります。

ラウンドロビンモードの場合の例を図 14.11 に示します。

優先順位の設定が固定モードでもラウンドロビンモードでも、チャンネル 1 がバーストモード (エッジセンスの場合) なので、チャンネル 1 の転送が終了するまでの間 CPU にはバス権は渡りません。

## 14. ダイレクトメモリアクセスコントローラ (DMAC)

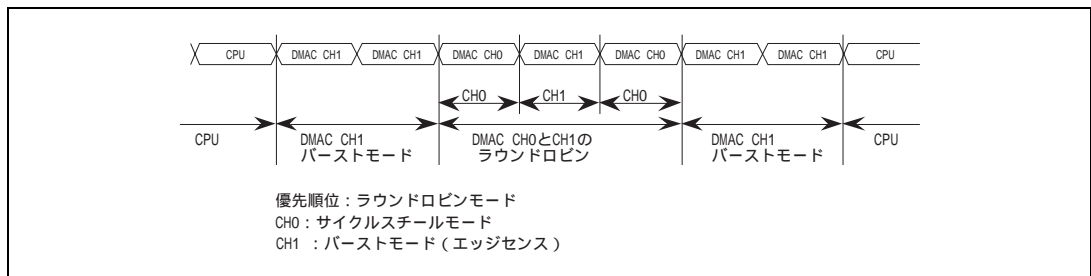


図 14.11 複数チャンネルが動作する場合のバス状態

【注】 図 14.11 の設定において CH1 がレベルセンスバーストモードの場合、リクエストが途切れている間は CPU へバス権を渡します。

### 14.3.5 バスサイクルのサイクル数と $\overline{\text{DREQ}}$ 端子のサンプリングタイミング

#### (1) バスサイクルのサイクル数

DMAC がバスマスタのときのバスサイクルのサイクル数は、CPU がバスマスタのときと同様にバスステートコントローラ (BSC) で制御されます。詳しくは、「第 13 章 バスステートコントローラ」を参照してください。

#### (2) $\overline{\text{DREQ}}$ 端子のサンプリングタイミング

外部リクエストモードにおいて、 $\overline{\text{DREQ}}$  端子はクロックパルス (CKIO) の立ち上がりエッジでサンプリングされ、 $\overline{\text{DREQ}}$  入力が見出されると、最も早い場合で 4 サイクル (CKIO) 後に DMAC のバスサイクルが発生し、DMA 転送が行われます。

2 回目以後の  $\overline{\text{DREQ}}$  サンプリングは、1 回目の DMAC 転送のバスサイクルが開始された、1 サイクル後に行われます (シングルアドレスモードの場合)。

なお DRAK は、転送モード、 $\overline{\text{DREQ}}$  検出方法によらず、 $\overline{\text{DREQ}}$  をサンプリングして検出 1 回につき、1 サイクルのみ出力されます。バーストモードでエッジ検出の場合は、 $\overline{\text{DREQ}}$  のサンプリングが最初の 1 回だけなので、DRAK も最初の 1 回だけ出力されます。

#### (3) 動作説明

図 14.12 ~ 図 14.23 に各モードのタイミングを示します。

##### (a) サイクルスチールモード

サイクルスチールモードの場合  $\overline{\text{DREQ}}$  サンプリングタイミングは、デュアルアドレスモード、シングルアドレスモード、また  $\overline{\text{DREQ}}$  検出方法がレベル検出、エッジ検出で違います。

例えば、図 14.12 (サイクルスチールモード、デュアルアドレス、レベル検出) の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 4 サイクル (CKIO) 後に DMAC の転送が始まります。2 回目のサンプリングは、1 回目の DMAC 転送のライトサイクルが開始された 1 サイクル後に行われます。このとき  $\overline{\text{DREQ}}$  が検出できなかった場合は、以後毎サイクルサンプリングを実行します。

図 14.13 (サイクルスチールモード、デュアルアドレス、エッジ検出) の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 5 サイクル (CKIO) 後に DMAC の転送が始まります。2 回目のサンプリングは、1 回目の DMAC 転送のリードサイクルが終了するサイクルから始まります。このとき  $\overline{\text{DREQ}}$  が検出できなかった場合は、以後毎サイクルサンプリングを実行します。



図 14.16 (サイクルスチールモード、デュアルアドレス、レベル検出) の場合に、バス幅 64 ビットで、データサイズは 3 2 バイトブロック、SDRAM : row hit read/write 転送時は、1 回目のサンプリングが行われたタイミングから最も早い場合で 4 サイクル (CKIO) 後に DMAC の転送が始まります。2 回目のサンプリングは、1 回目の DMAC 転送のライトサイクルが開始されたサイクルで行われます。

各種メモリアクセスの詳細なタイミングは、「第 13 章 バスステートコントローラ」を参照してください。

図 14.19 はサイクルスチールモード、シングルアドレス、レベル検出の場合です。この場合も 1 回目の  $\overline{\text{DREQ}}$  サンプリングから、最も早い場合で 4 サイクル (CKIO) 後に転送開始されます。2 回目のサンプリングは、1 回目の DMAC 転送のバスサイクルが開始された 1 サイクル後に行われます。

図 14.20 はサイクルスチールモード、シングルアドレス、エッジ検出の場合です。この場合は 1 回目の  $\overline{\text{DREQ}}$  サンプリングから、最も早い場合で 5 サイクル (CKIO) 後に転送開始されます。2 回目のサンプリングは、1 回目の DRAM がアサートされた 1 サイクル後から始まります。

シングルアドレスモードでは、DACK 信号は DMAC 転送サイクル毎に出力されます。

#### (b) バーストモード、デュアルアドレス、レベル検出

バーストモード、デュアルアドレス、レベル検出の場合  $\overline{\text{DREQ}}$  サンプリングタイミングはサイクルスチールモードとほぼ同じです。

例えば図 14.14 の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 4 サイクル (CKIO) 後に DMAC の転送が始まります。2 回目のサンプリングも、1 回目の DMAC 転送のライトサイクルが開始された 1 サイクル後から行われます。

外部リクエストによるデュアルアドレスモード転送の場合、CHCR の AM ビットで指定することにより DACK 信号を DMAC 転送のリードサイクルに出力したり、ライトサイクルに出力させることができます。

#### (c) バーストモード、シングルアドレス、レベル検出

バーストモード、シングルアドレス、レベル検出の場合の  $\overline{\text{DREQ}}$  サンプリングタイミングを図 14.21 に示します。

例えば図 14.21 の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 4 サイクル (CKIO) 後に DMAC の転送が始まります。2 回目のサンプリングは、1 回目の DMAC 転送のバスサイクルが開始された 1 サイクル後から行われます。

シングルアドレスモードでは、DACK 信号は DMAC 転送サイクル毎に出力されます。

図 14.23 は、データサイズ 32 バイト、バス幅 64 ビット、SDRAM : row hit write の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 6 サイクル (CKIO) 後に DMAC の転送が始まります。2 回目のサンプリングは、1 回目の DMAC 転送の DACK がアサートされた 1 サイクル後から行われます。

#### (d) バーストモード、デュアルアドレス、エッジ検出

バーストモード、デュアルアドレス、エッジ検出の場合、 $\overline{\text{DREQ}}$  のサンプリングは最初の 1 回しか行いません。

例えば図 14.15 の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 5 サイクル (CKIO) 後に DMAC の転送が始まります。その後 DMATCR に設定した回数分データ転送が終了するまで、DMAC 転送が連続で実行されます。この間  $\overline{\text{DREQ}}$  のサンプリングは行われません。したがって DRAM も最初の 1 回出力されるだけで、以後は出力されません。外部リクエストによるデュアルアドレスモード転送の場合、CHCR の AM ビットで指定することにより DACK 信号を DMAC 転送のリードサイクルに出力したり、ライトサイクルに出力させることができます。

## 14. ダイレクトメモリアクセスコントローラ (DMAC)

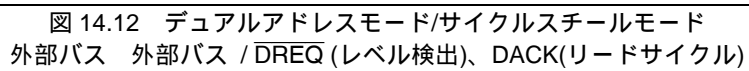
---

### (e) バーストモード、シングルアドレス、エッジ検出

バーストモード、シングルアドレス、エッジ検出の場合、 $\overline{\text{DREQ}}$  のサンプリングは最初の 1 回しか行いません。

例えば図 14.22 の場合、1 回目のサンプリングが行われたタイミングから最も早い場合で 5 サイクル後に DMAC の転送が始まります。その後 DMATCR に設定した回数データ転送が終了するまで、DMAC 転送が連続で実行されます。この間  $\overline{\text{DREQ}}$  のサンプリングは行われません。したがって DRAK も最初の 1 回出力されるだけで以後は出力されません。

シングルアドレスモードでは、DACK 信号は DMAC 転送サイクル毎に出力されます。



## 14. ダイレクトメモリアクセスコントローラ (DMAC)

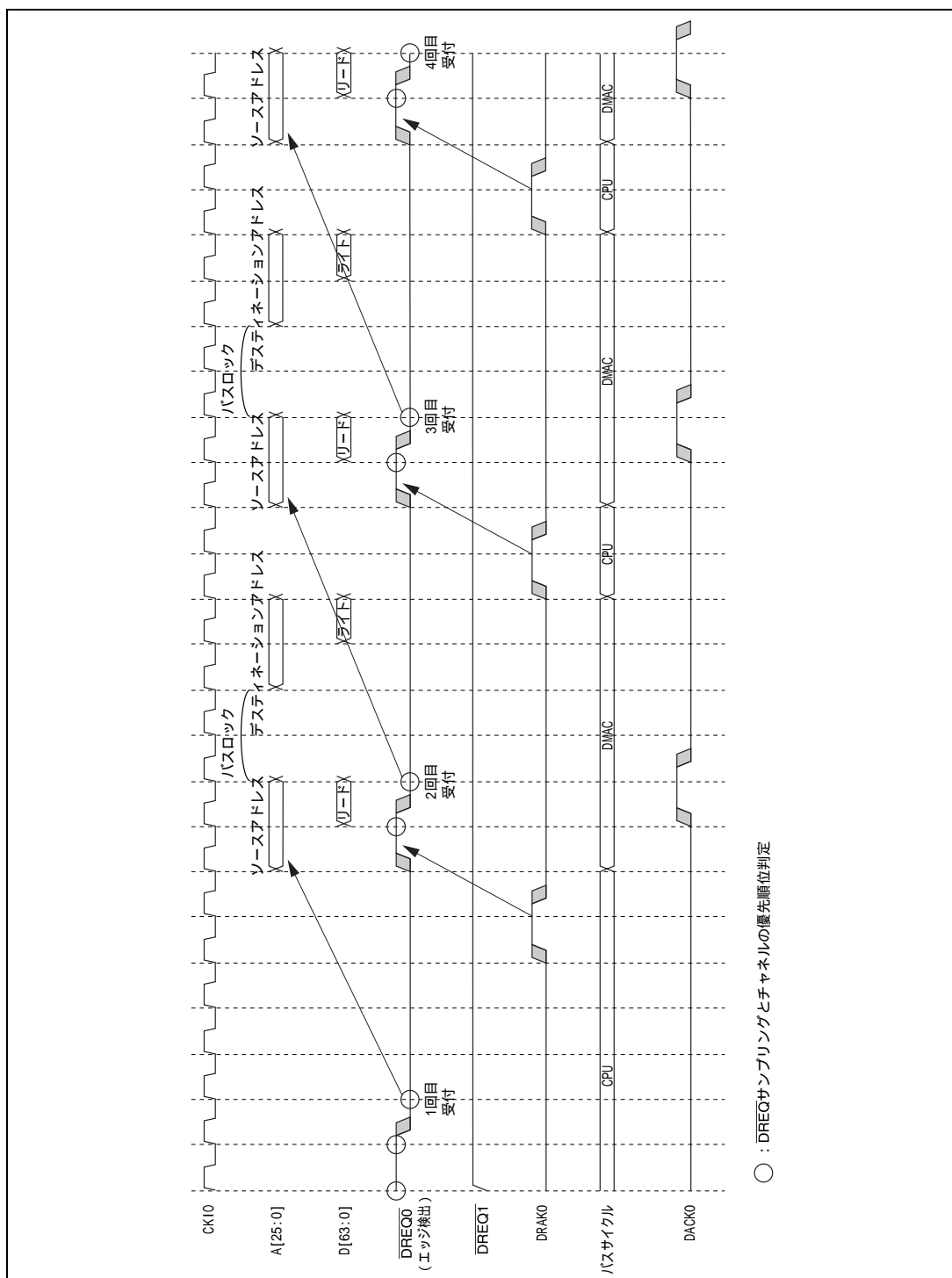


図 14.13 デュアルアドレスモード / サイクルスチールモード  
外部バス 外部バス / DREQ (エッジ検出)、DACK (リードサイクル)

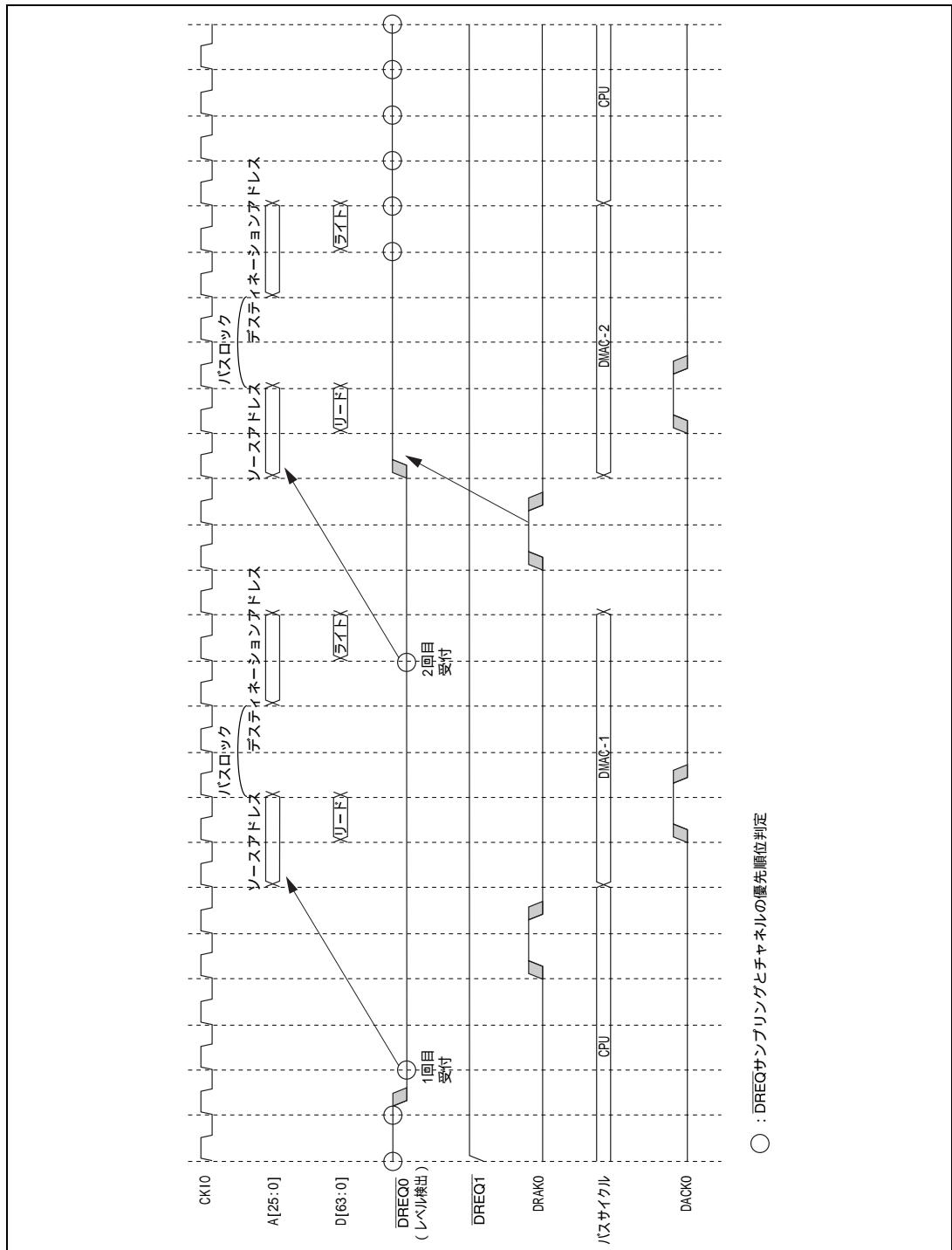


図 14.14 デュアルアドレスモード / バーストモード  
外部バス 外部バス /DREQ (レベル検出)、DACK(リードサイクル)

## 14. ダイレクトメモリアクセスコントローラ (DMAC)

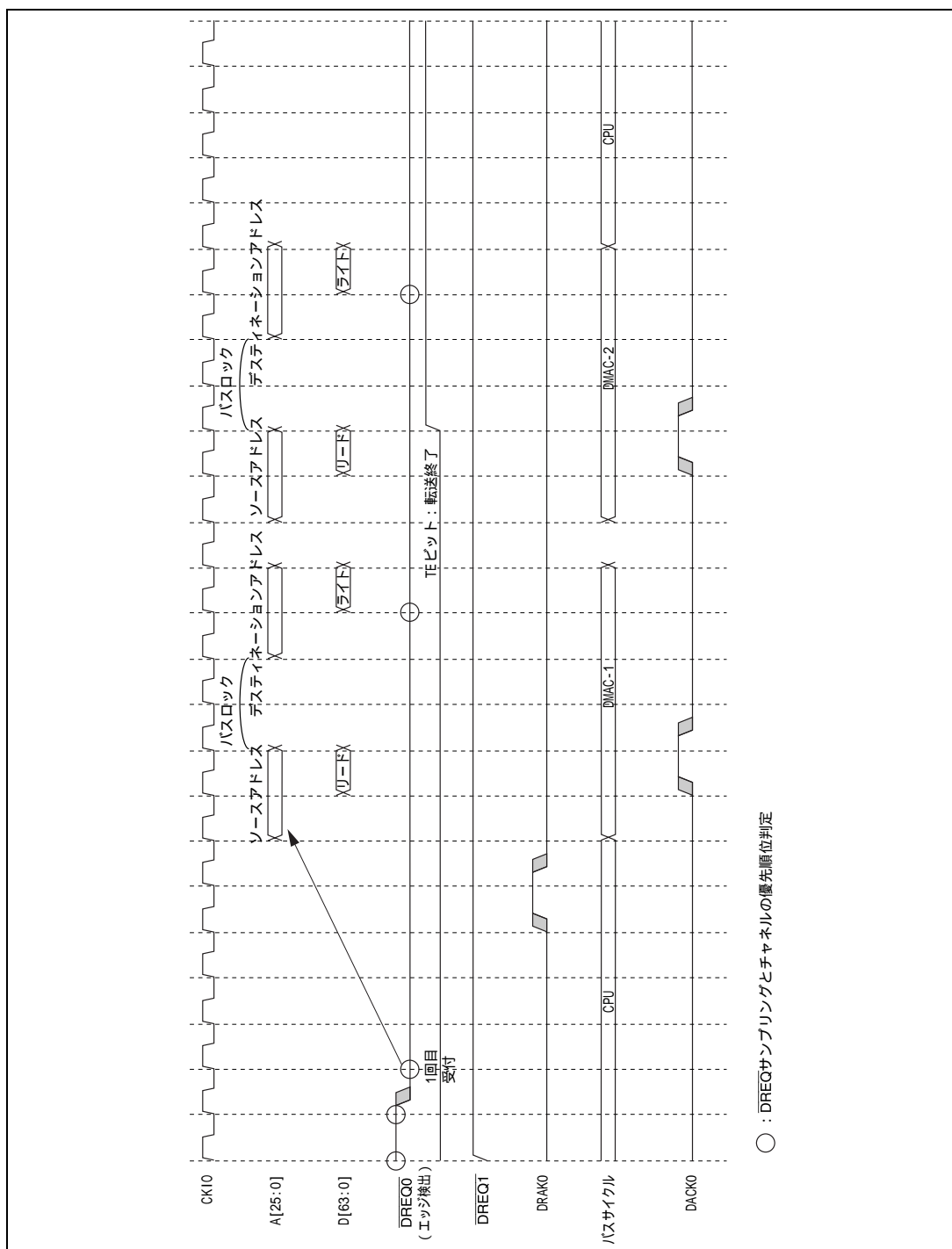


図 14.15 デュアルアドレスモード / バーストモード  
外部バス 外部バス / DREQ (エッジ検出)、DACK (リードサイクル)

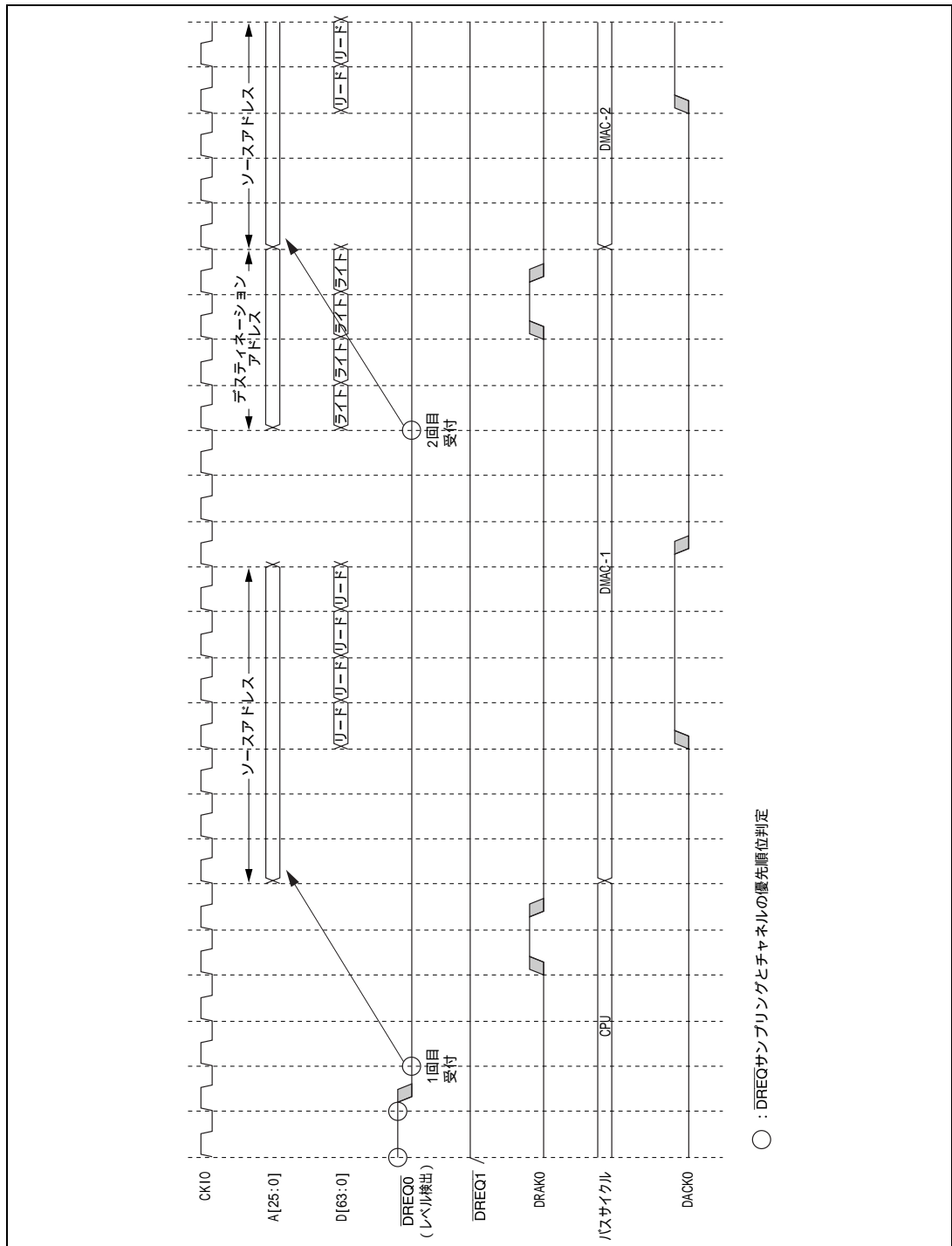


図 14.16 デュアルアドレスモード / サイクルスチールモード

外部バス 外部バス /  $\overline{\text{DREQ}}$ (レベル検出) / 32 バイトブロック転送 (バス幅: 64 ビット, SDRAM: row hit read/write)、DACK(リードサイクル)

14. ダイレクトメモリアクセスコントローラ (DMAC)

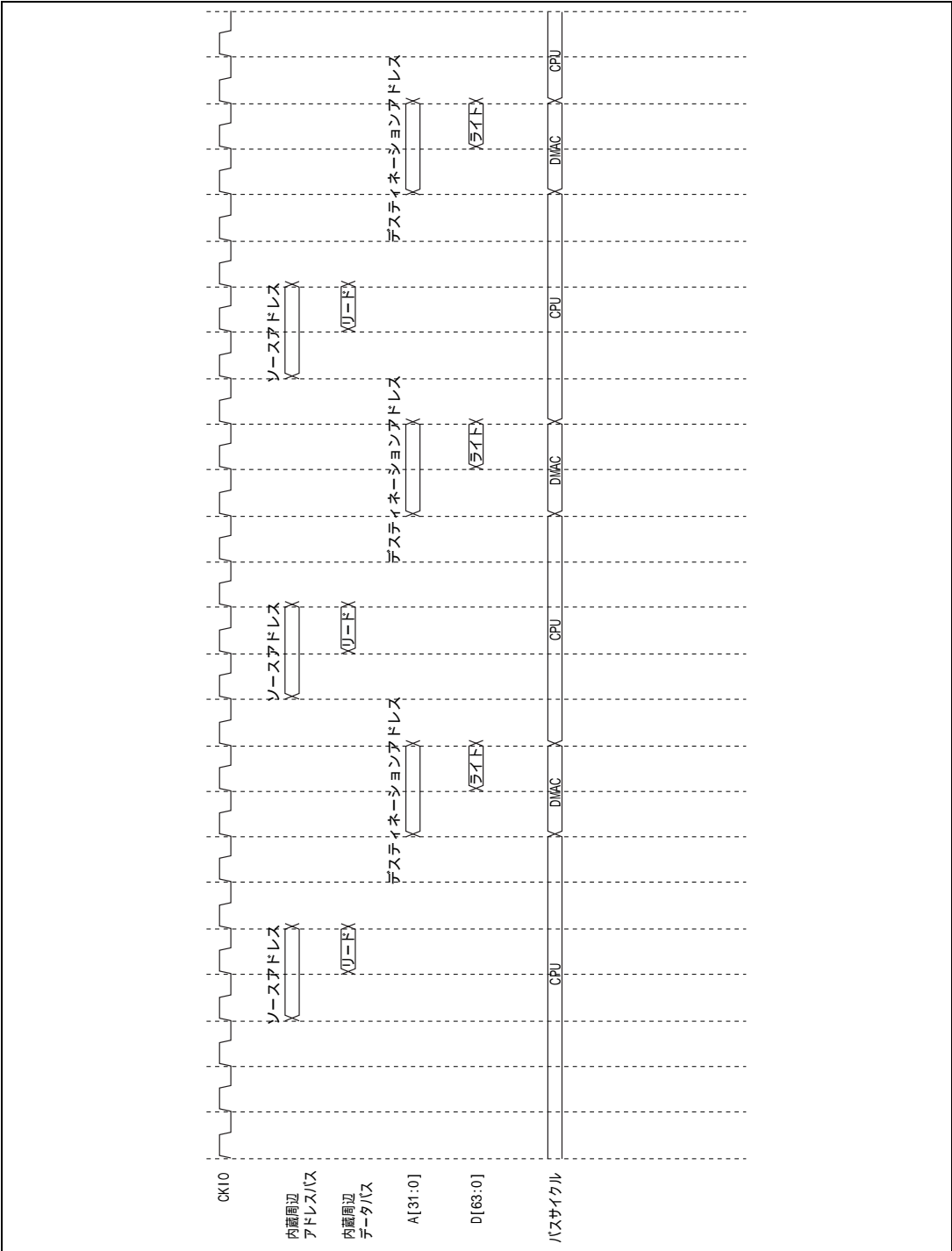


図 14.17 デュアルアドレスモード / サイクルスチールモード  
内蔵 SCI (レベル検出) 外部バス



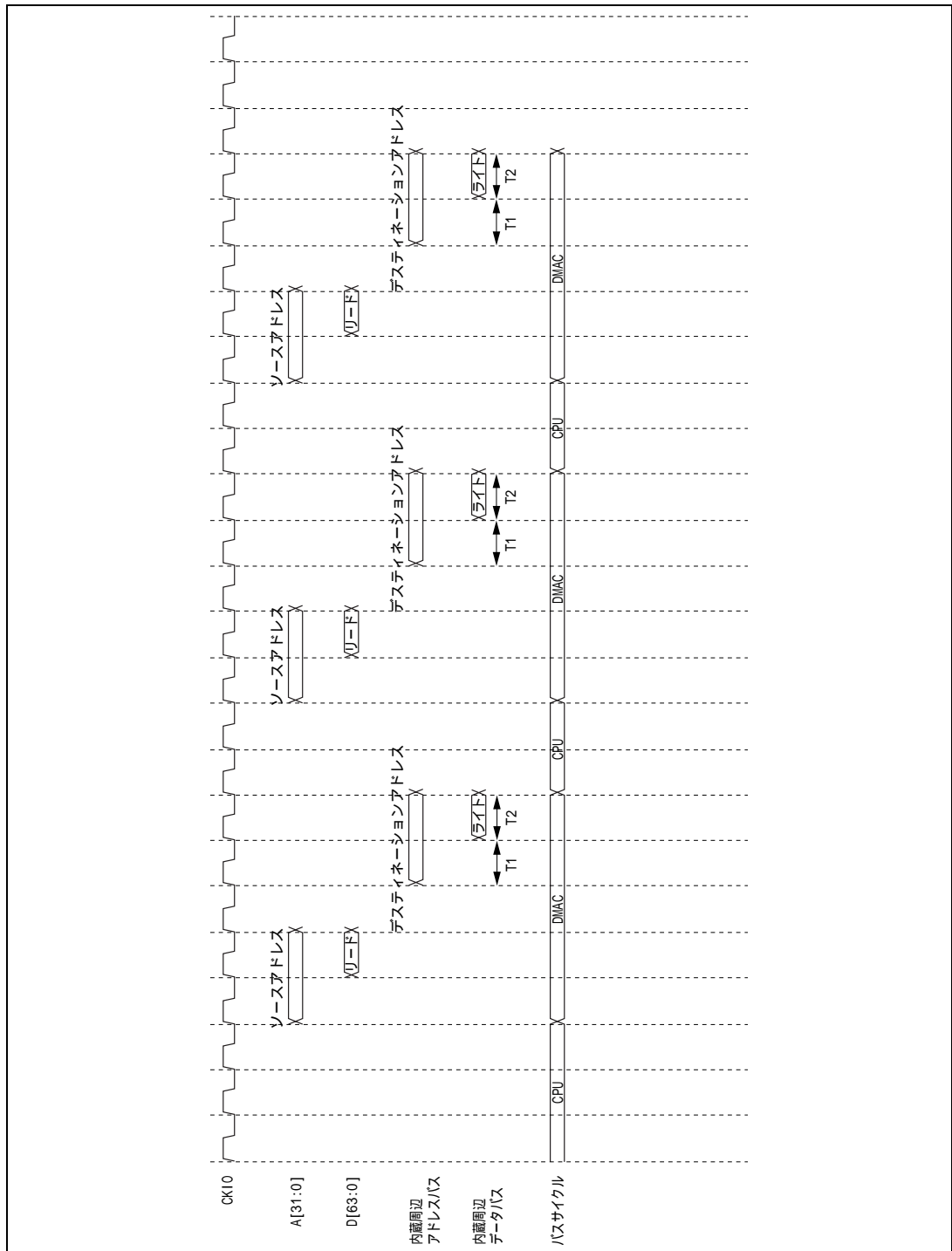


図 14.18 デュアルアドレスモード / サイクルスチールモード  
外部バス 内蔵 SCI (レベル検出)

## 14. ダイレクトメモリアクセスコントローラ (DMAC)

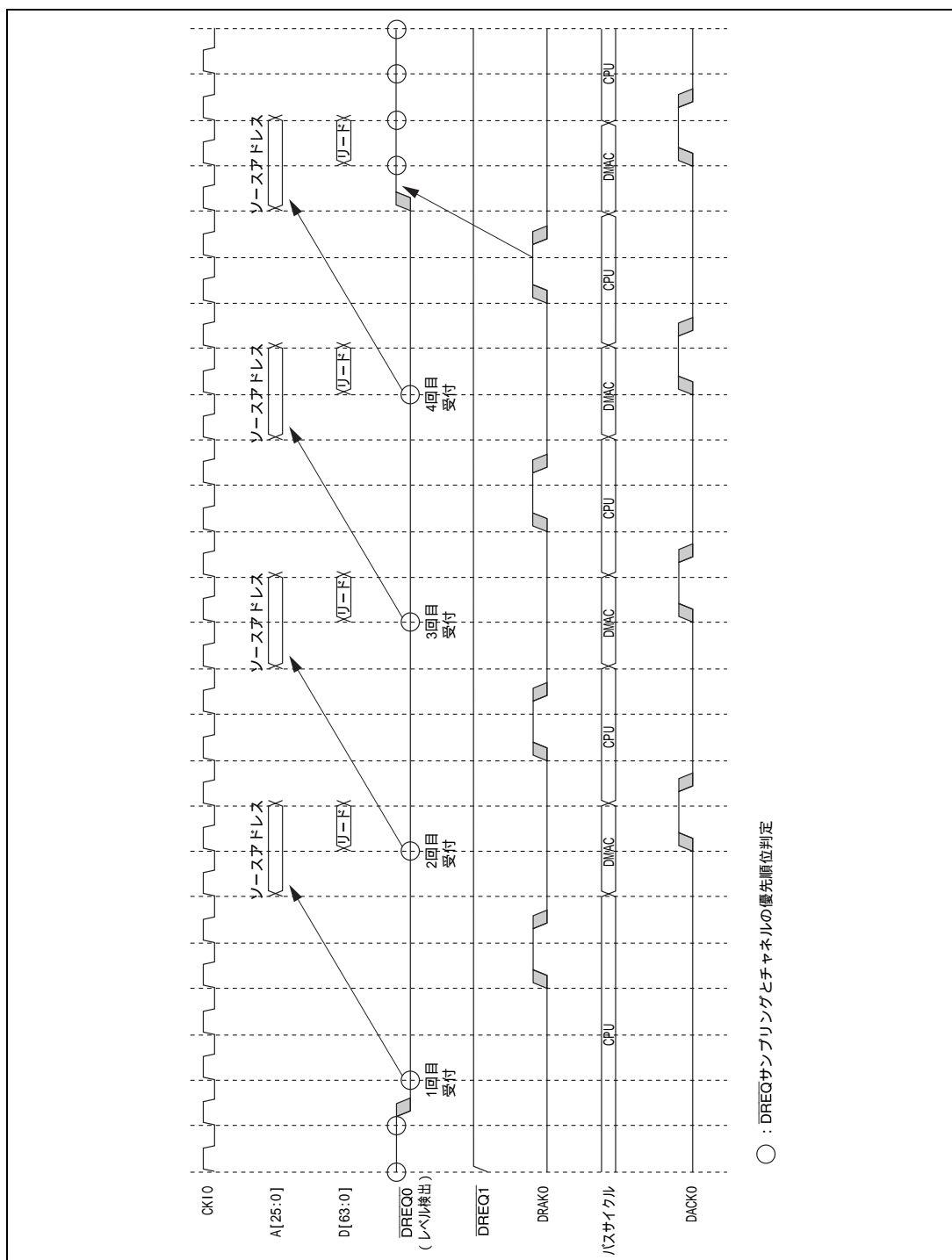


図 14.19 シングルアドレスモード / サイクルスチールモード  
外部バス 外部デバイス / DREQ (レベル検出)

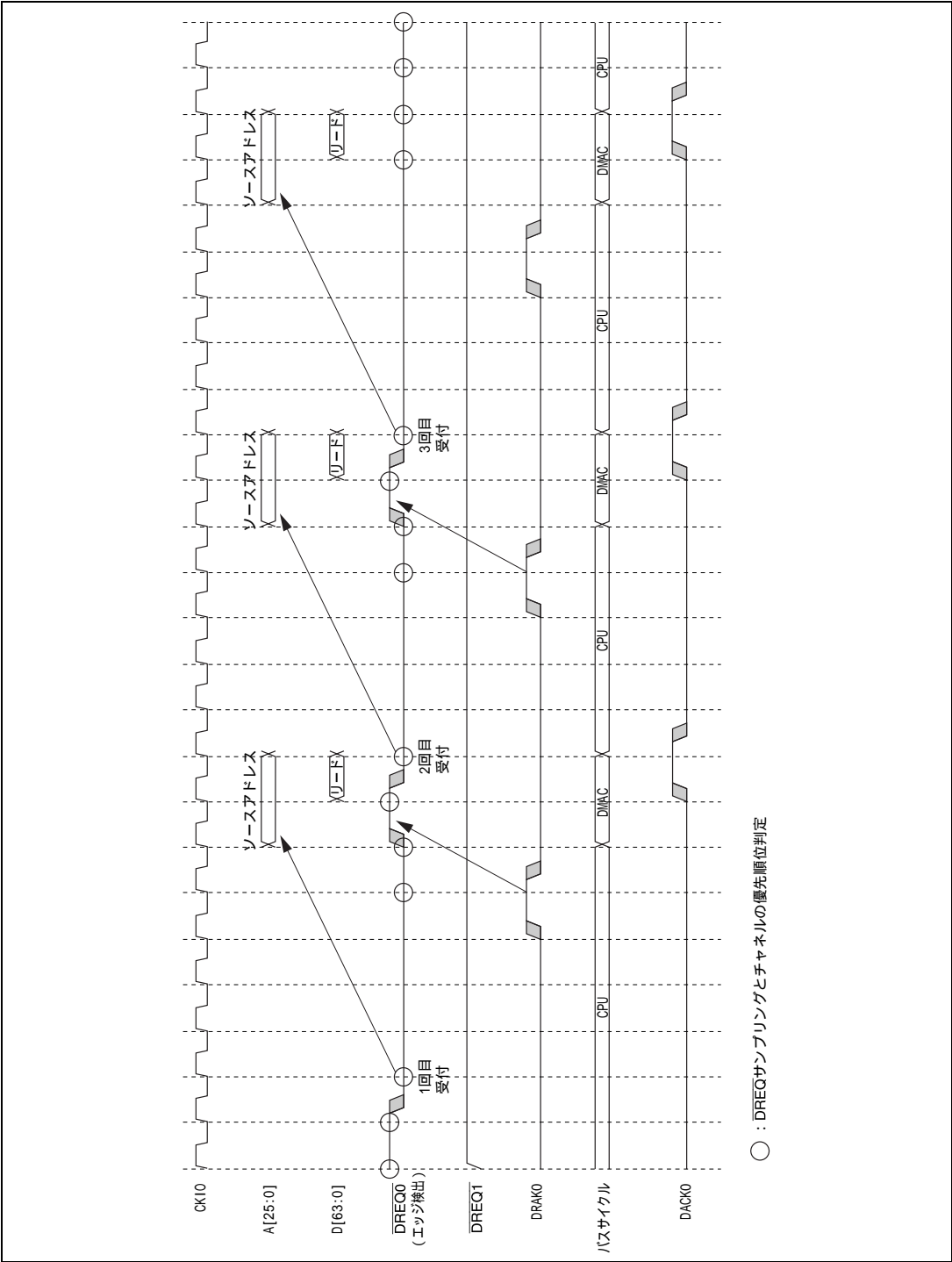


図 14.20 シングルアドレスモード / サイクルスチールモード  
外部バス 外部デバイス / DREQ (エッジ検出)

## 14. ダイレクトメモリアクセスコントローラ (DMAC)

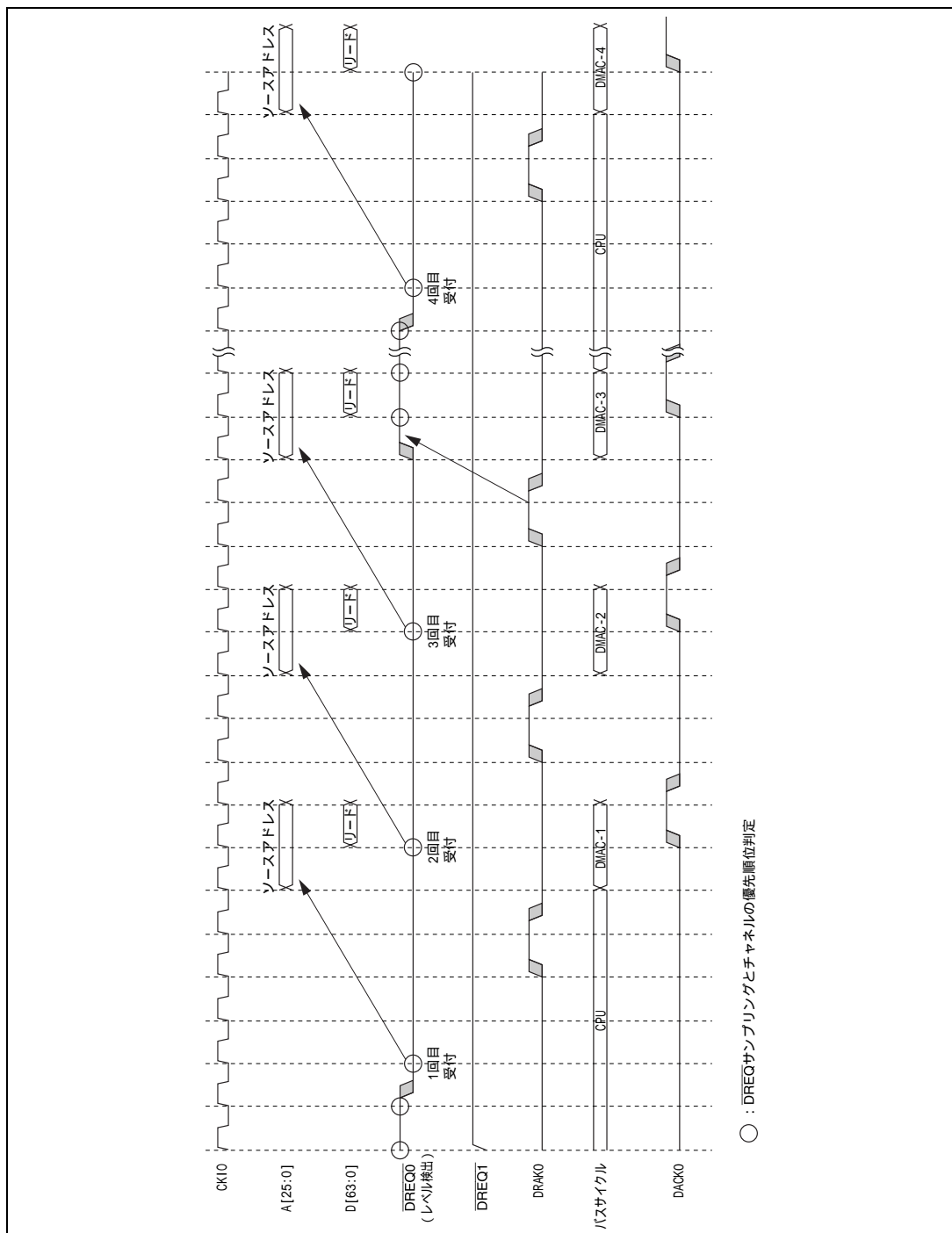


図 14.21 シングルアドレスモード / バーストモード  
外部バス 外部デバイス/ DREQ (レベル検出)

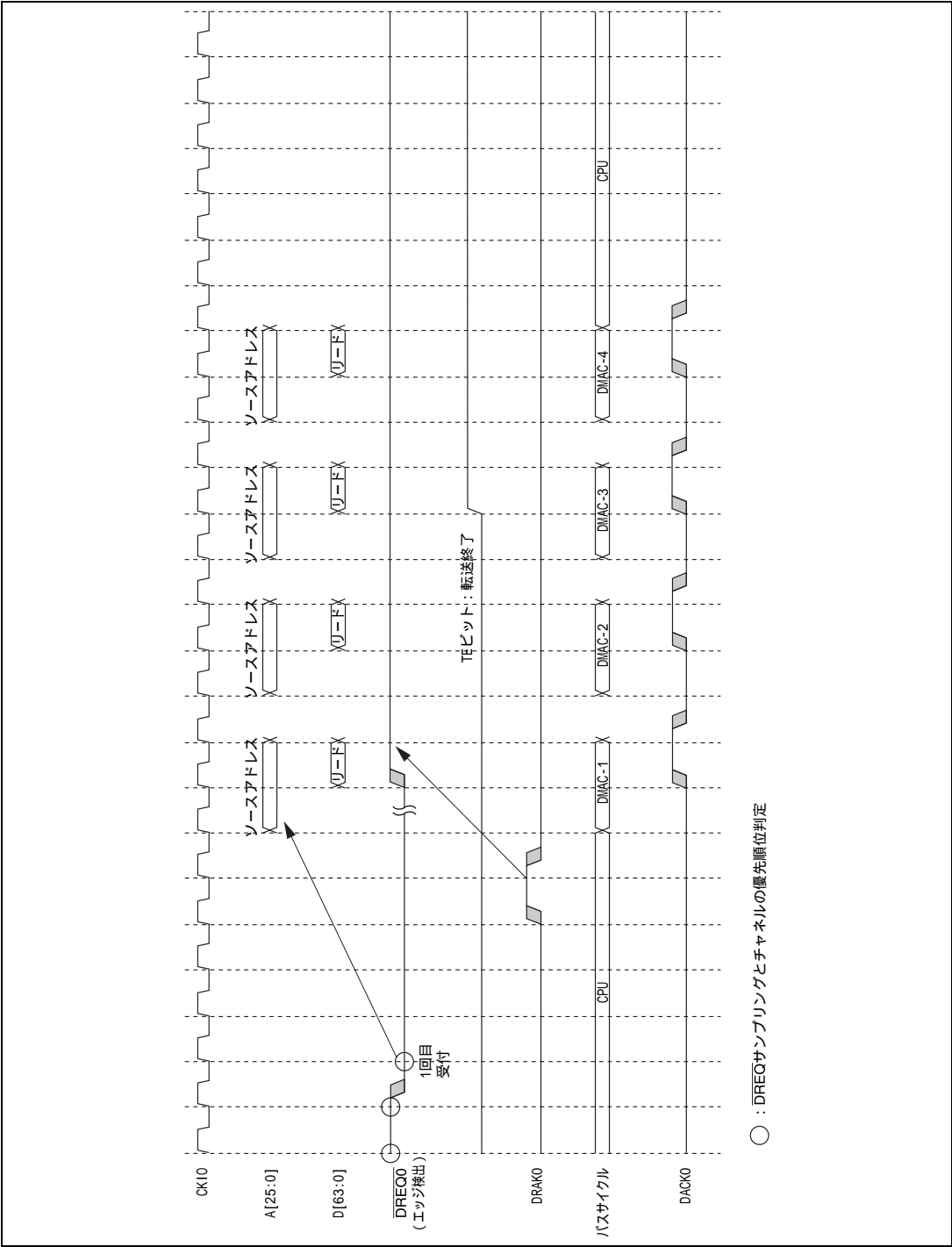


図 14.22 シングルアドレスモード / バーストモード  
外部バス 外部デバイス / DREQ (エッジ検出)

#### 14. ダイレクトメモリアクセスコントローラ (DMAC)

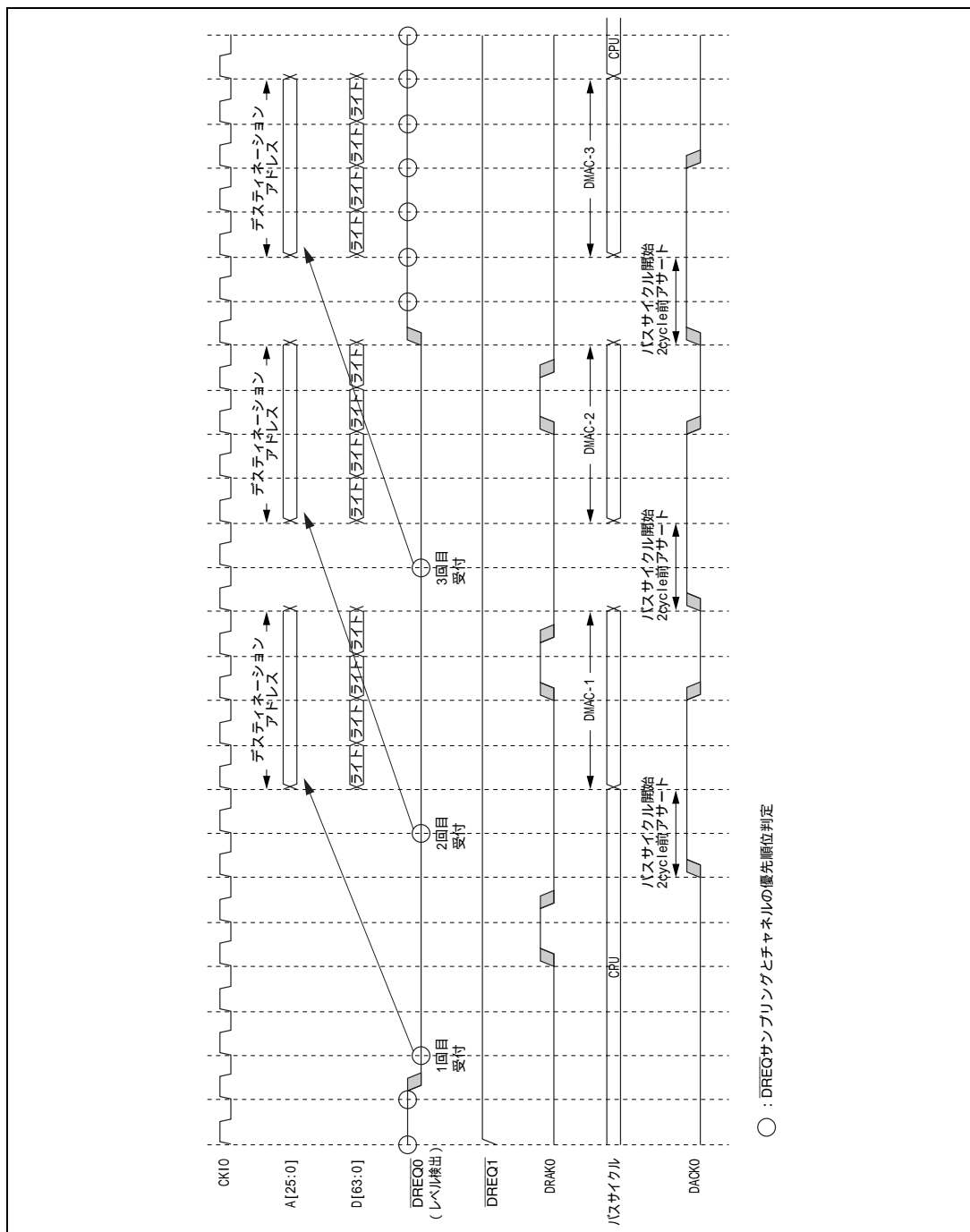


図 14.23 シングルアドレスモード / バーストモード  
外部デバイス 外部バス / DREQ(レベル検出) / 32 バイトブロック転送  
(バス幅: 64 ビット, SDRAM: row hit write)

### 14.3.6 DMA 転送終了

DMA 転送終了条件は、1 チャンネルずつの終了と全チャンネルの同時終了とで異なります。転送終了においては、DMA トランスファカウンタレジスタ (DMATCR) の値が 0 になって終了する場合を除いて、以下の条件が適用されます。

- (A) サイクルスチールモード (外部リクエスト、内蔵周辺モジュールリクエスト、オートリクエスト)  
転送終了条件が満たされると、DMACの転送要求の受け付けが中断されます。DMACは転送終了条件が満たされるまでに受け付けた分の転送要求分の動作を終了した後、動作を停止します。  
サイクルスチールモードの場合、転送要求の検出方法がエッジでもレベルでも、動作は同じです。
- (B) パーストモード、エッジ検出 (外部リクエスト、内蔵周辺モジュールリクエスト、オートリクエスト)  
転送終了条件が満たされてから実際にDMACが停止するまでのタイミングは、サイクルスチールモードの場合と同じです。パーストモード、エッジ検出の場合、DMACに起動をかけるための転送要求は最初の1回だけですが、停止要求 (CHCRのDE=0、DMAORのDME=0) のサンプリングを、「14.3.5 (3) 動作説明」の (d)、(e) に示した転送要求のサンプリングと同じタイミングでサンプリングしています。このため停止要求がサンプリングされなかった間は転送要求があったものとみなされ、この分の処理を実行した後停止します。
- (C) パーストモード、レベル検出 (外部リクエスト)  
転送終了条件が満たされてから実際にDMACが停止するまでのタイミングは、サイクルスチールモードの場合と同じです。パーストモード、エッジ検出の場合と同様に、停止要求 (CHCRのDE=0、DMAORのDME=0) のサンプリングを「14.3.5 (3) 動作説明」の (b)、(c) に示した転送要求のサンプリングと同じタイミングでサンプリングしています。このため停止要求がサンプリングされなかった間は転送要求があったものとみなされ、この分の処理を実行した後停止します。
- (D) 転送中断が行われるバスタイミング  
転送の中断は、DMAC転送のバスサイクル単位の処理が終了したところで発生します。デュアルアドレスモード転送の場合、リードサイクル中転送終了条件が満たされても、続くライトサイクル処理は実行されます、また上記 (A)、(B)、(C) にあてはまる分の転送も実行した後動作が中断されます。

#### (1) チャンネルごとの転送終了条件

以下のいずれかの条件が満たされると、対応するチャンネルだけが転送を終了します。

- DMA トランスファカウンタレジスタ (DMATCR) の値が 0 になる。
  - DMA チャンネルコントロールレジスタ (CHCR) の DE ビットを 0 にクリアする。
- (a) DMATCR = 0 による転送終了  
DMATCRの値が0になると、対応するチャンネルのDMA転送が終了し、CHCRのトランスファエンドフラグビット (TE) がセットされます。このときインターラプトイネーブルビット (IE) がセットされていると、CPUに割り込み (DMTE) が要求されます。  
DMATCR = 0による転送終了の場合は、14.3.6の (A)、(B)、(C)、(D) には従いません。
  - (b) CHCR の DE = 0 による転送終了  
CHCRのDMAイネーブルビット (DE) をクリアすると、対応するチャンネルのDMA転送が中断されます。この場合にはTEビットはセットされません。この転送終了の場合は14.3.6の (A)、(B)、(C)、(D) に従います。

## 14. ダイレクトメモリアクセスコントローラ (DMAC)

---

### (2) 全チャネル同時の転送終了

以下のいずれかの条件が満たされると、すべてのチャネルが同時に転送終了します。

- DMA オペレーションレジスタ (DMAOR) のアドレスエラービット (AE) または、NMI フラグビット (NMIF) が 1 にセットされる。
- DMAOR の DMA マスタインーブルビット (DME) を 0 にクリアする。

#### (a) DMAOR の AE = 1 による転送終了

アドレスエラーが発生して、DMAORのAEビットが1になると、すべてのチャネルのDMA転送が14.3.6 (A)、(B)、(C)、(D)の条件に従って中断されバス権をCPUに渡します。したがって、AE = 1になったときには、DMAソースアドレスレジスタ (SAR)、DMAデスティネーションアドレスレジスタ (DAR)、DMAトランスファカウントレジスタ (DMATCR) の値は、次にDMA転送を行うアドレス、および残りの転送回数を示しています。この場合は、(TE) ビットはセットされません。転送を再開する前にアドレスエラーの原因となっているチャネルの再設定を行った後、AE = 1をリードして、AE = 0をライトする必要があります。AE = 1の間は、外部リクエストの受付を中断しますので再開する場合は、DMA転送要求を再度出してください。内部リクエストの場合も受付を中断しますので、再開する場合は各内蔵周辺モジュールのDMA転送要求許可ビットを一度0にクリアして、再設定を行ってください。

#### (b) DMAOR の NMIF = 1 による転送終了

NMI割り込みが発生して、DMAORのNMIFビットが1になると、すべてのチャネルのDMA転送が14.3.6 (A)、(B)、(C)、(D)の条件に従って中断されバス権をCPUに渡します。したがって、NMIF = 1になったときには、DMAソースアドレスレジスタ (SAR)、DMAデスティネーションアドレスレジスタ (DAR)、DMAトランスファカウントレジスタ (DMATCR) の値は、次にDMA転送を行うアドレス、および残りの転送回数を示しています。この場合は、(TE) ビットはセットされません。NMI割り込み例外処理終了後に、転送を再開する場合はNMIF = 1をリードして、NMIF = 0をライトする必要があります。またAE = 1の場合と同様に、NMIF = 1の間は、外部リクエストの受付を中断しますので再開する場合は、DMA転送要求を再度出してください。内部リクエストの場合も受付を中断しますので、再開する場合は各内蔵周辺モジュールのDMA転送要求許可ビットを一度0にクリアして、再設定を行ってください。

#### (c) DMAOR の DME = 0 による転送終了

DMAORのDMEビットを0にクリアすると、すべてのチャネルのDMA転送が14.3.6 (A)、(B)、(C)、(D)の条件に従って中断されバス権をCPUに渡します。この場合は、(TE) ビットはセットされません。DME = 0になったときには、DMAソースアドレスレジスタ (SAR)、DMAデスティネーションアドレスレジスタ (DAR)、DMAトランスファカウントレジスタ (DMATCR) の値は、次にDMA転送を行うアドレス、および残りの転送回数を示しています。再開する場合は、DME = 1をセットしてください。続きから転送を再開します。



## 14.4 使用例

### 14.4.1 外部メモリと DACK 付外部デバイスとの転送例

外部メモリ上のデータを DMAC のチャンネル 1 を使用して DACK 付外部デバイスに転送する例を考えます。

表 14.8 に転送条件と、各レジスタの設定値を示します。

表 14.8 外部メモリと DACK 付外部デバイス間転送条件とレジスタ設定値

| 転送条件                       | レジスタ    | 設定値              |
|----------------------------|---------|------------------|
| 転送元：外部メモリ                  | SAR1    | H'0C000000       |
| 転送先：DACK 付外部デバイス           | DAR1    | ( DACK によりアクセス ) |
| 転送回数：32 回                  | DMATCR1 | H'00000020       |
| 転送元アドレス：減少                 | CHCR1   | H'000022A5       |
| 転送先アドレス：( 設定無効 )           |         |                  |
| 転送要求元：外部端子 ( DREQ1 ) エッジ検出 |         |                  |
| バスモード：バースト                 |         |                  |
| 転送単位：ワード                   |         |                  |
| 転送終了時に割り込み要求なし             |         |                  |
| チャンネル優先順位：2 > 0 > 1 > 3    | DMAOR   | H'00000201       |

## 14.5 オンデマンドデータトランスファモード

### 14.5.1 動作説明

DMAOR の DDT ビットを 1 に設定することによって、オンデマンドデータトランスファモード(以下 DDT モードと略します)になります。DDT モードでは、外部デバイスと DMAC の間で  $\overline{\text{DBREQ}}$ 、 $\overline{\text{BAVL}}$ 、 $\overline{\text{TR}}$ 、 $\overline{\text{TDACK}}$ 、ID [1:0] 各信号を使ってデータバス、DDT モジュールを経由し、チャンネル 0 に直接シングルアドレスモード転送の設定を行い、同時に転送要求を出すことができます。図 14.24 に DMAC、DDT、BU と外部デバイス ( $\overline{\text{DBREQ}}$ 、 $\overline{\text{BAVL}}$ 、 $\overline{\text{TR}}$ 、 $\overline{\text{TDACK}}$ 、ID [1:0] 端子付き) のブロック図を示します。

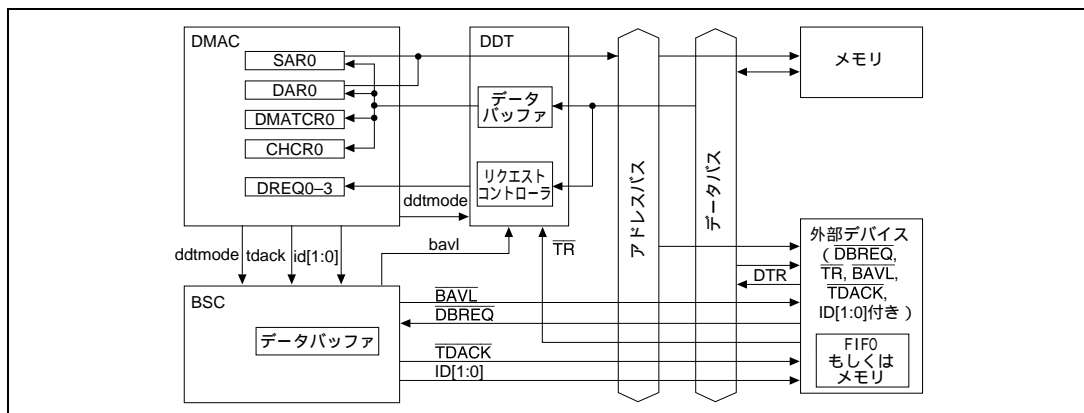


図 14.24 オンデマンドデータトランスファモードのブロック図

またチャンネル 1～3 には、CPU を使用して通常の DMA 転送の設定を行った後、外部デバイスから、 $\overline{\text{DBREQ}}$ 、 $\overline{\text{BAVL}}$ 、 $\overline{\text{TR}}$ 、 $\overline{\text{TDACK}}$ 、ID [1:0] の各信号を使用して転送要求を出すことができます（データバスを使用するハンドシェイクプロトコル）。さらに、外部バスを使用しないで  $\overline{\text{TR}}$  のみのアサートにより転送要求を出すこともできます（データバス不使用のハンドシェイクプロトコル）。チャンネル 2 に対しては、通常の方法で DMA 転送の設定を行った後、外部デバイス ( $\overline{\text{DBREQ}}$ 、 $\overline{\text{BAVL}}$ 、 $\overline{\text{TR}}$ 、 $\overline{\text{TDACK}}$ 、ID [1:0] 端子付き) から  $\overline{\text{DBREQ}}$ 、 $\overline{\text{TR}}$  を同時にアサートすることによって、直接転送要求を出すことが可能です。

DDT モードでは、5 種類のモードから選択して DMA 転送を行うことができます。

#### (1) 通常データ転送モード (チャンネル 0)

外部デバイスから  $\overline{\text{DBREQ}}$ （データバス要求信号）により、 $\overline{\text{BAVL}}$ （データバス使用許可信号）がアサートされます。 $\overline{\text{BAVL}}$  がアサートされてから、2 サイクル後（CKIO 同期）に外部デバイスは、 $\overline{\text{TR}}$ （転送要求信号）と同期してデータ転送設定コマンド（DTR コマンド）をドライブします。この後、DMAC のチャンネル 0 の制御レジスタへの初期設定を行い DMA 転送を処理します。

## (2) 通常データ転送モード (チャンネル0以外)

CPUからデータ転送設定をDMACにしており、DMA転送要求のみ外部デバイスから行うモードです。

(1)と同様に外部デバイスから $\overline{\text{DBREQ}}$ をアサートし外部バス権を確保した後に、DTRコマンドをドライブします。

このとき、DTRコマンドのIDビット (2ビット) により、転送要求チャンネルを指定することができます。

## (3) データバスを使用するハンドシェイクプロトコル (チャンネル0のみ有効)

このモードは、チャンネル0のみに対して有効なモードです。

DMACのチャンネル0の制御レジスタに初期設定をした後、DTRコマンドのID = 00、MD = 00に設定してDTRコマンドをドライブすることにより、DDTがDMACにデータ転送要求をアサートします。

## (4) データバス不使用のハンドシェイクプロトコル

DDTモジュールには、直前にアサートしたリクエストのチャンネルを記憶している機能があり、これを利用することにより、DMACの制御レジスタに初期設定 (DTRコマンドおよび、CPUによるデータ転送設定をDMACに設定) をしたチャンネルへ1度転送要求した後に、 $\overline{\text{TR}}$ のみを外部デバイスからアサートして直前にアサートしたリクエストのチャンネルへの転送要求をアサートすることができます。

## (5) ダイレクトデータ転送モード (チャンネル2のみ有効)

DMACのチャンネル2の制御レジスタに初期設定をした後、 $\overline{\text{DBREQ}}$ 、 $\overline{\text{TR}}$ を同時に外部デバイスからアサートすることにより、チャンネル2へデータ転送要求をアサートすることができます。

【注】DTRフォーマットの設定方法についての詳細は「付録 G SH7091 用オンデマンドデータトランスファモード」を参照してください。

## 14.5.2 DDT 使用上の注意

- (1)  $\overline{\text{BAVL}}$  がアサートされてから、2 サイクル後に  $\overline{\text{TR}}$  のアサートがある場合を除いてすべてデータバス不使用のハンドシェイクプロトコルで動作します ( $\overline{\text{DBREQ}}$ 、 $\overline{\text{TR}}$  同時アサートによるチャンネル2へのリクエストは除きます)。
- (2) データバス不使用のハンドシェイクプロトコルで実行中に、 $\overline{\text{DBREQ}}$ 、 $\overline{\text{TR}}$  同時アサートによるチャンネル2へのリクエストがアサートされた場合は、チャンネル2のリクエストキューに空きがある場合受け付けます。
- (3) データバス不使用のハンドシェイクプロトコルでは、直前に転送要求されたチャンネルに対して、 $\overline{\text{TR}}$  のみをアサートすることにより再度 DMA 転送要求をアサートすることができます。
- (4) チャンネル0をデータバス不使用のハンドシェイクプロトコルで動作させるときは、必ずDTRコマンドの初期化データ\*として、MD 00転送してください。初期化データを転送せずにハンドシェイクプロトコルを実行した場合は、動作保証しません。

【注】\* 初期化データ：MD 00、ID = 00、SZ、R/W、COUNT、ADDRESSの意味です。

- (5) データバス不使用のハンドシェイクプロトコル以外で動作させるとき、 $\overline{\text{TR}}$  のみアサートした場合、DDTではこれを無視します (動作しません)。

#### 14. ダイレクトメモリアクセスコントローラ (DMAC)

---

- (6) DTR コマンドの初期化データを転送せずに、チャンネル0に対してデータバスを使用するハンドシェイクプロトコルを実行した場合の動作は保証しません (DMAC に対して、リクエストのみアサートされます)。
- (7) DDT には、チャンネル1～3に対してリクエストキューが4つあります。このリクエストキューがフルのときに、外部デバイス側からの転送要求がアサートされた場合は、その転送要求を無視します (チャンネル0はリクエストフラグを持っています。このフラグが立っている間にアサートされる転送要求は無視されます)。
- (8) DDT では、以下の手順で ID、MD、SZ を処理します。
- ID=0 0 のとき、
    - ・ MD=0 0 : ID、MDセレクト (データバスを使用するハンドシェイク)
    - ・ MD 0 0、SZ=1 1 1 : DMAC (CHCR0のDEビット) 設定 (転送終了要求)
    - ・ MD 0 0 : ADDRESS、COUNT、MD、RW、SZ、IDセレクト  
(DMACにデータ転送)
  - ID 0 0 のとき
    - ・ チャンネル1～3へのリクエスト (ID以外は無視されます)。
- (9) データ転送終了要求 (ID=00、MD 00、SZ=111) は、DDT 内部チャンネル0のリクエストフラグが立っているときは受け付けません (バスサイクル中は受け付けません)。従って、DTR コマンドの初期化データを ID=00、MD=01 (エッジセンス、パースト)、に設定した場合は、途中で終了させることができません (MD 01 にしてください)。
- (10) データバスを使用するハンドシェイクプロトコルはチャンネル0のみ適用されます (MD=00)。
- (11) DTR.ID=00 以外のとき、DTR.ID 以外のデータは無視されます。
- (12) チャンネル0のDMA転送中止要求は、DTR.ID=00、DTR.MD 00、DTR.SZ=111により実現できます。このとき、DMACの制御レジスタ等に設定してある値は保持されます。ただし、DMACのレジスタリードは可能ですが、外部デバイスからの実行再開はできません。
- (13) データバスを使用するハンドシェイクプロトコル実行中に、チャンネル0以外のリクエストがアサートされ、そのチャンネルのDMA転送を実行した後、データバスを使用するハンドシェイクプロトコルでDTR.ID=00、DTR.MD=00を外部デバイスが送った場合は、チャンネル0へリクエストをアサートします (そのまま継続する場合、初期化データは設定する必要はありません)。
- (14)  $\overline{\text{DBREQ}}$  は、バスアービトレーション信号としてすでに使われていますが、チャンネル2への直接転送要求アサート時に  $\overline{\text{DBREQ}}$  と  $\overline{\text{TR}}$  同時アサートする場合は、 $\overline{\text{DBREQ}}$  がバスアービトレーション信号として解釈されません (これにより  $\overline{\text{BAVL}}$  はアサートされることはありません)。
- (15) 外部デバイスが  $\overline{\text{DBREQ}}$  をアサートした後、DDT で  $\overline{\text{DBREQ}}$  を受け取るには1サイクルを要しますが、このときBSCから  $\overline{\text{BAVL}}$  がアサートされた場合、外部デバイスがアサートした  $\overline{\text{DBREQ}}$  は、BSCに通知されないため  $\overline{\text{BAVL}}$  はアサートされません。

- (16) ID =00、MD =10、SZ =110 を DDT に転送したとき、DDT のチャンネル 0 のリクエストフラグ、およびチャンネル 1 ~ 3 のリクエストキューはクリアされます (各チャンネルの転送終了後、CHCR の TE ビット =1 のまま、そのチャンネルへ次のリクエストを発行した場合に、DMAC が停止しているためリクエストキューのクリアが必要です)。
- (17) DMA 転送が終了してチャンネル 0 の TE フラグが立っている状態で、次にデータバスを使用するハンドシェイクプロトコルで  $\overline{TR}$  のみをアサートする場合は、必ず TE フラグをクリアしてください。  
チャンネル0のTEフラグが立っているときに、チャンネル0へ $\overline{TR}$ のみをアサートして転送要求を送った場合、DMACはフリーズします。この場合は、(16)によりクリアすることができます。
- (18)  $\overline{DBREQ}$  のアサート後、 $\overline{BAVL}$  がアサートされるまで次の  $\overline{DBREQ}$  のアサートはしないでください。アサートした場合は、 $\overline{DBREQ}$  と  $\overline{BAVL}$  のアサート回数が違います。
- (19) DMAOR の DDT ビットの設定は、DMA 転送中でないことを確認して行なってください。DDT モードで DMA 転送中に DMAOR、DDT =0 を設定した場合、DMAC はフリーズします。この場合は、(16)によりクリアすることができます。

### 14.6 使用上の注意

- (1) SAR0~3、DAR0~3、DMATCR0~3、CHCR0~3を書き換える場合は、あらかじめ当該チャネルのDEビットを0に設定した後、書き換えを行ってください。
- (2) DMAC が動作していないときに NMI 割り込みが入力されても、DMAOR の NMIF ビットはセットされます。
  - DMA 転送が正しく実行されない場合の確認方法  
DMAORのNMIF、AE、DMEビット、CHCR0~3のDE、TEビット、DMATCR0~3をリードしてください。転送前にNMIFがセットされた場合は、DMATCRの転送回数は設定値のままになっています。転送中にNMIFがセットされた場合、CHCR0~3のDEビットが1、TEビットが0のとき、DMATCRの値は残りの転送回数を示します。  
さらにSAR0~3、DAR0~3をリードすると、次にアクセスするアドレスを知ることができます。  
AEビットがセットされていた場合は、アドレスエラーが起きています。CHCR、SAR、DARへの設定値を確認してください。
- (3) モジュールスタンバイ、スタンバイモード、ディープスリープモードに遷移させる場合は、DMA 転送中でないことを確認してください。  
この場合、CHCR0~3のTE=1を確認するか、DMAORのDME=0をセットしてDMA転送を終了させてください。DMAORのDME=0をセットした場合、現在実行中のDMAバスサイクルが終了して停止します。したがって、転送データサイズによっては直ちに終了しませんので注意願います。DMA転送終了を確認せずに、モジュールスタンバイ、スタンバイモード、ディープスリープモードへ遷移させた場合、DMAの動作は保証されません。
- (4) DMAC の転送元、転送先に DMAC、CCN、BIST、BSC、UBC の制御レジスタを指定しないでください。
- (5) DMAC に起動をかける場合は、当該チャネルの SAR、DAR、DMATCR の各レジスタの設定後 CHCR の DE=1 にするか、または CHCR の DE=0 のまま各レジスタの設定を行った後 DE=1 にしてください。DMAOR (DME=1) の設定は、最初でも最後でも構いません。当該チャネルを動作させるには DME=1 かつ DE=1 である必要があります。SAR、DAR、DMATCR 未設定の場合、正常に動作しません (シングルアドレスモード時に未使用のレジスタは除く)。
- (6) DMATCR のカウントが 0 となって DMA 転送が正常終了した後、同じチャネルで最大転送回数を実行する場合でも、必ず DMATCR に 0 書き込みを実行してください。
- (7) 外部リクエストを立ち下がりエッジで検出する場合、DMAC の設定を行うときには、外部リクエスト端子をハイレベルに保持しておいてください。
- (8) シングルアドレスモードで動作させる場合、アドレスは外部アドレスを設定してください。内蔵周辺モジュールのアドレスを設定するとアドレスエラーで全チャネル停止します。

---

## 15. シリアルコミュニケーションインタフェース (SCI)

---

### 15.1 概要

本 LSI には、シリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) および、FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF : SCI with FIFO) が各々 1 チャネル内蔵されています。SCI は、調歩同期式通信とクロック同期式通信の 2 方式でシリアル通信ができます。また、複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。

スマートカードインタフェースをサポートしています。これは、"ISO/IEC7816-3 (Identification Card)" に準拠した IC カードインタフェース用シリアル通信機能です。詳しくは「第 17 章 スマートカードインタフェース」を参照してください。

SCIF は、送信、受信共に 16 段の FIFO レジスタを内蔵した調歩同期式通信専用のシリアルインタフェースです。詳しくは「第 16 章 FIFO 内蔵シリアルコミュニケーションインタフェース」を参照してください。

#### 15.1.1 特長

SCI には次のような特長があります。

- シリアル通信モードを調歩同期式モード、またはクロック同期式モードから選択可能

##### ー調歩同期式モード

キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。また、複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能を備えています。

シリアルデータ通信フォーマットを 12 種類のフォーマットから選択できます。

データ長 : 7 ビット、または 8 ビット

ストップビット長 : 1 ビット、または 2 ビット

パリティ : 偶数パリティ、奇数パリティ、またはパリティなし

マルチプロセッサビット : 1 または 0

受信エラーの検出 : パリティエラー、オーバランエラー、フレーミングエラーを検出

ブレークの検出 : フレーミングエラー発生時に RxD 端子のレベルをシリアルポートレジスタ (SCSPTR1) から直接読み出すことによりブレークを検出できます。

##### ークロック同期式モード

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。

シリアルデータ通信フォーマットは 1 種類です。

データ長 : 8 ビット

受信エラーの検出 : オーバランエラーを検出

- 全二重通信が可能  
独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。  
また、送信部、および受信部ともにダブルバッファ構造になっていますのでシリアルデータの連続送信、連続受信ができます。
- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- 送受信クロックソースを、ボーレートジェネレータからの内部クロック、または SCK 端子からの外部クロックから選択可能
- 4 種類の割り込み要因  
送信データエンプティ、送信終了、受信データフル、受信エラーの4種類の割り込み要因があり、それぞれ独立に要求することができます。また、送信データエンプティ要求と受信データフル要求により、DMAコントローラ (DMAC) を起動させてデータの転送を行うことができます。
- SCI を使用しないときは、消費電力低減のため SCI に対してクロックの供給を止めて動作を停止させることができます。



### 15.1.2 ブロック図

図 15.1 に SCI のブロック図を示します。

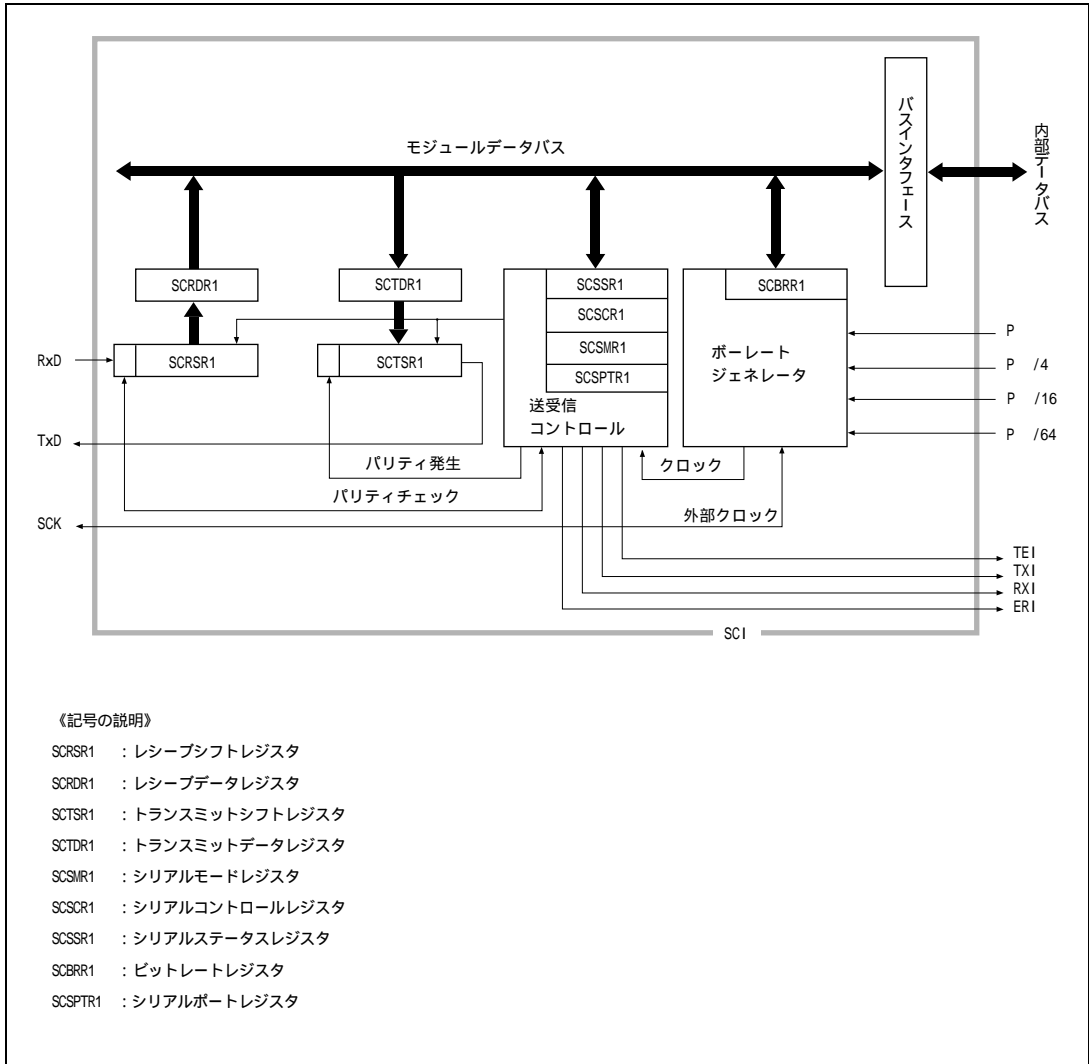


図 15.1 SCI のブロック図

## 15. シリアルコミュニケーションインタフェース (SCI)

### 15.1.3 端子構成

SCIの端子構成を表 15.1 に示します。

表 15.1 端子構成

| 名称           | 略称      | 入出力 | 機能      |
|--------------|---------|-----|---------|
| シリアルクロック端子   | MD0/SCK | 入出力 | クロック入出力 |
| レシーブデータ端子    | RxD     | 入力  | 受信データ入力 |
| トランスミットデータ端子 | MD7/TxD | 出力  | 送信データ出力 |

【注】 パワーオンリセット時には、モード入力端子 MD0、MD7 として機能します。

SCIの動作設定を SCSCR1 の TE、RE、CKE1、CKE0 ビット、および SCSMR1 の C/ $\bar{A}$  ビットで行うことにより、シリアル端子として機能します。ブレーク状態の送出、検出は、SCI の SCSPTR1 によって行うことができます。

### 15.1.4 レジスタ構成

SCI には、表 15.2 に示す内部レジスタがあります。これらのレジスタにより調歩同期式モード / クロック同期式モードの指定、データフォーマットの指定、ビットレートの指定、および送信部 / 受信部の制御を行うことができます。

SCI のレジスタはシリアルポートレジスタを除き、パワーオンリセット、マニュアルリセット時だけではなく、スタンバイモード時およびモジュールスタンバイ時にも初期化されます。スタンバイモード、モジュールスタンバイからの復帰時にはレジスタを再度設定し直す必要があります。

表 15.2 レジスタ構成

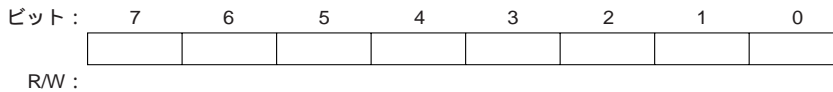
| 名称                 | 略称      | R/W     | 初期値    | P4<br>アドレス | エリア7<br>アドレス | アクセス<br>サイズ |
|--------------------|---------|---------|--------|------------|--------------|-------------|
| シリアルモードレジスタ        | SCSMR1  | R/W     | H'00   | H'FFE00000 | H'1FE00000   | 8           |
| ビットレートレジスタ         | SCBRR1  | R/W     | H'FF   | H'FFE00004 | H'1FE00004   | 8           |
| シリアルコントロール<br>レジスタ | SCSCR1  | R/W     | H'00   | H'FFE00008 | H'1FE00008   | 8           |
| トランスミットデータ<br>レジスタ | SCTDR1  | R/W     | H'FF   | H'FFE0000C | H'1FE0000C   | 8           |
| シリアルステータス<br>レジスタ  | SCSSR1  | R/(W)*1 | H'84   | H'FFE00010 | H'1FE00010   | 8           |
| レシーブデータレジスタ        | SCRDR1  | R       | H'00   | H'FFE00014 | H'1FE00014   | 8           |
| シリアルポートレジスタ        | SCSPTR1 | R/W     | H'00*2 | H'FFE0001C | H'1FE0001C   | 8           |

【注】 \*1 フラグをクリアするために 0 のみ書き込むことができます。

\*2 ビット 2、0 は不定。

## 15.2 レジスタの説明

### 15.2.1 レシーブシフトレジスタ (SCRSR1)



レシーブシフトレジスタ (SCRSR1) は、シリアルデータを受信するためのレジスタです。

SCI は、SCRSR1 に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に SCRDR1 へ転送されます。

CPU から直接 SCRSR1 の読み出し／書き込みをすることはできません。

### 15.2.2 レシーブデータレジスタ (SCRDR1)



レシーブデータレジスタ (SCRDR1) は、受信したシリアルデータを格納するレジスタです。

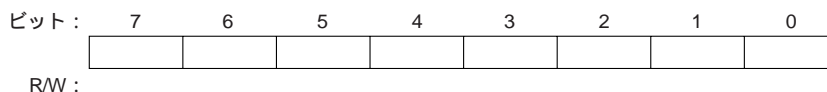
SCI は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (SCRSR1) から SCRDR1 へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SCRSR1 は受信可能になります。

このように、SCRSR1 と SCRDR1 はダブルバッファになっているため連続した受信動作が可能です。

SCRDR1 は、読み出し専用レジスタですので CPU から書き込むことはできません。

SCRDR1 は、パワーオンリセット、マニュアルリセット、スタンバイモード、およびモジュールスタンバイ時に H'00 に初期化されます。

### 15.2.3 トランスミットシフトレジスタ (SCTSR1)



トランスミットシフトレジスタ (SCTSR1) は、シリアルデータを送信するためのレジスタです。

SCI は、トランスミットデータレジスタ (SCTDR1) から送信データをいったん SCTSR1 に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に SCTDR1 から SCTSR1 へ次の送信データを転送し、送信を開始します。ただし、シリアルステータスレジスタ (SCSSR1) の TDRE フラグが 1 にセットされている場合には、SCTDR1 から SCTSR1 へのデータ転送は行いません。

CPU から、直接 SCTSR1 の読み出し／書き込みをすることはできません。

## 15.2.4 トランスミットデータレジスタ (SCTDR1)

|      |     |     |     |     |     |     |     |     |
|------|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット: | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|      |     |     |     |     |     |     |     |     |
| 初期値: | 1   | 1   | 1   | 1   | 1   | 1   | 1   | 1   |
| R/W: | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

トランスミットデータレジスタ (SCTDR1) は、シリアル送信するデータを格納する 8 ビットのレジスタです。

SCI は、トランスミットシフトレジスタ (SCTSR1) の空を検出すると、SCTDR1 に書き込まれた送信データを SCTSR1 に転送してシリアル送信を開始します。SCTSR1 のシリアルデータ送信中に SCTDR1 に次の送信データを書き込んでおくと、連続シリアル送信ができます。

SCTDR1 は、常に CPU による読み出し／書き込みが可能です。

SCTDR1 は、パワーオンリセット、マニュアルリセット、スタンバイモード、およびモジュールスタンバイ時に H'FF に初期化されます。

## 15.2.5 シリアルモードレジスタ (SCSMR1)

|      |              |     |     |              |      |     |      |      |
|------|--------------|-----|-----|--------------|------|-----|------|------|
| ビット: | 7            | 6   | 5   | 4            | 3    | 2   | 1    | 0    |
|      | C/ $\bar{A}$ | CHR | PE  | O/ $\bar{E}$ | STOP | MP  | CKS1 | CKS0 |
| 初期値: | 0            | 0   | 0   | 0            | 0    | 0   | 0    | 0    |
| R/W: | R/W          | R/W | R/W | R/W          | R/W  | R/W | R/W  | R/W  |

シリアルモードレジスタ (SCSMR1) は、SCI のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

SCSMR1 は、常に CPU による読み出し／書き込みが可能です。

SCSMR1 は、パワーオンリセット、マニュアルリセット、スタンバイモード、モジュールスタンバイ時に H'00 に初期化されます。

ビット7: コミュニケーションモード (C/ $\bar{A}$ )

SCI の動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。

| ビット7         | 説明             |
|--------------|----------------|
| C/ $\bar{A}$ |                |
| 0            | 調歩同期式モード (初期値) |
| 1            | クロック同期式モード     |

## ビット6: キャラクタレングス (CHR)

調歩同期式モードのデータ長を 7 ビット／8 ビットデータのいずれかから選択します。クロック同期式モードでは CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。

| ビット6 | 説明             |
|------|----------------|
| CHR  |                |
| 0    | 8 ビットデータ (初期値) |
| 1    | 7 ビットデータ*      |

【注】 \* 7 ビットデータを選択した場合、トランスミットデータレジスタ (SCTDR1) の MSB (ビット7) は送信されません。

## ビット5: パリティイネーブル (PE)

調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。

| ビット 5 | 説明                          |
|-------|-----------------------------|
| PE    |                             |
| 0     | パリティビットの付加、およびチェックを禁止 (初期値) |
| 1     | パリティビットの付加、およびチェックを許可*      |

【注】 \* PE ビットに 1 をセットすると送信時には、O/E ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

## ビット4: パリティモード (O/E)

パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/E ビットの指定は無効です。

| ビット 4 | 説明                         |
|-------|----------------------------|
| O/E   |                            |
| 0     | 偶数パリティ* <sup>1</sup> (初期値) |
| 1     | 奇数パリティ* <sup>2</sup>       |

【注】 \*<sup>1</sup> 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。

受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。

\*<sup>2</sup> 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。

受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。

## ビット3: ストップビットレングス (STOP)

調歩同期式モードでのストップビットの長さを 1 ビット / 2 ビットのいずれから選択します。STOP ビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。

| ビット 3 | 説明                            |
|-------|-------------------------------|
| STOP  |                               |
| 0     | 1 ストップビット* <sup>1</sup> (初期値) |
| 1     | 2 ストップビット* <sup>2</sup>       |

【注】 \*<sup>1</sup> 送信時には、送信キャラクタの最後尾に 1 ビットの 1 (ストップビット) を付加して送信します。

\*<sup>2</sup> 送信時には、送信キャラクタの最後尾に 2 ビットの 1 (ストップビット) を付加して送信します。

なお、受信時には STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合は、ストップビットとして扱いますが、0 の場合は、次の送信キャラクタのスタートビットとして扱います。

## 15. シリアルコミュニケーションインタフェース (SCI)

### ビット2: マルチプロセッサモード (MP)

マルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、PE ビット、および O/E ビットにおけるパリティの設定は無効になります。また、MP ビットの設定は、調歩同期式モードのときのみ有効です。クロック同期式モードでは、MP ビットの設定は無効です。

マルチプロセッサ通信機能については、「15.3.3 マルチプロセッサ通信機能」を参照してください。

| ビット2 | 説明                  |
|------|---------------------|
| MP   |                     |
| 0    | マルチプロセッサ機能を禁止 (初期値) |
| 1    | マルチプロセッサフォーマットを選択   |

### ビット1、0: クロックセレクト1、0 (CKS1、CKS0)

内蔵ポーレートジェネレータのクロックソースを選択します。CKS1、CKS0 ビットの設定で P、P/4、P/16、P/64 の4種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「15.2.9 ビットレートレジスタ」を参照してください。

| ビット1 | ビット0 | 説明           |
|------|------|--------------|
| CKS1 | CKS0 |              |
| 0    | 0    | P クロック (初期値) |
|      | 1    | P /4 クロック    |
| 1    | 0    | P /16 クロック   |
|      | 1    | P /64 クロック   |

【注】 P : 周辺クロック

## 15.2.6 シリアルコントロールレジスタ (SCSCR1)

|      |     |     |     |     |      |      |      |      |
|------|-----|-----|-----|-----|------|------|------|------|
| ビット: | 7   | 6   | 5   | 4   | 3    | 2    | 1    | 0    |
|      | TIE | RIE | TE  | RE  | MP1E | TE1E | CKE1 | CKE0 |
| 初期値: | 0   | 0   | 0   | 0   | 0    | 0    | 0    | 0    |
| R/W: | R/W | R/W | R/W | R/W | R/W  | R/W  | R/W  | R/W  |

シリアルコントロールレジスタ (SCSCR1) は、SCI の送信 / 受信動作、調歩同期式モードでのシリアルクロック出力、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。

SCSCR1 は、常に CPU による読み出し / 書き込みが可能です。

SCSCR1 は、パワーオンリセット、マニュアルリセット、スタンバイモード、モジュールスタンバイ時に H'00 に初期化されます。

### ビット7: トランスミットインタラプトイネーブル (TIE)

トランスミットデータレジスタ (SCTDR1) からトランスミットシフトレジスタ (SCTSR1) ヘシリアル送信データが転送されシリアルステータスレジスタ (SCSSR1) の TDRE フラグが 1 にセットされたときに、送信データエンプティ割り込み (TXI) 要求の発生を許可 / 禁止します。

| ビット7 | 説明                                |
|------|-----------------------------------|
| TIE  |                                   |
| 0    | 送信データエンプティ割り込み (TXI) 要求を禁止* (初期値) |
| 1    | 送信データエンプティ割り込み (TXI) 要求を許可        |

【注】 \* TXI の解除は、TDRE フラグの 1 を読み出した後、0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。

## ビット6: レシーブインタラプトイネーブル (RIE)

シリアル受信データがレシーブシフトレジスタ (SCSR1) からレシーブデータレジスタ (SCDR1) へ転送されて SCSSR1 の RDRF フラグが 1 にセットされたとき、受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求の発生を許可 / 禁止します。

| ビット 6 | 説明  |
|-------|---|
| RIE   |   |
| 0     | 受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止*<br>(初期値) |
| 1     | 受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可           |

【注】 \* RXI、および ERI 割り込み要求の解除は、RDRF フラグ、または FER、PER、ORER フラグの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。

## ビット5: トランスミットイネーブル (TE)

SCI のシリアル送信動作の開始を許可 / 禁止します。

| ビット 5 | 説明                          |
|-------|-----------------------------|
| TE    |                             |
| 0     | 送信動作を禁止* <sup>1</sup> (初期値) |
| 1     | 送信動作を許可* <sup>2</sup>       |

【注】 \*<sup>1</sup> SCSSR1 の TDRE フラグは 1 に固定されます。

\*<sup>2</sup> この状態で、SCTDR1 に送信データを書き込んで、SCSSR1 の TDRE フラグを 0 にクリアするとシリアル送信を開始します。

なお、TE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SCSMR1) の設定を行い送信フォーマットを決定してください。

## ビット4: レシーブイネーブル (RE)

SCI のシリアル受信動作の開始を許可 / 禁止します。

| ビット 4 | 説明                          |
|-------|-----------------------------|
| RE    |                             |
| 0     | 受信動作を禁止* <sup>1</sup> (初期値) |
| 1     | 受信動作を許可* <sup>2</sup>       |

【注】 \*<sup>1</sup> RE ビットを 0 にクリアしても RDRF、FER、PER、ORER の各フラグは影響を受けず、状態を保持しますので注意してください。

\*<sup>2</sup> この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。

なお、RE ビットを 1 にセットする前に必ず SCSMR1 の設定を行い、受信フォーマットを決定してください。

## 15. シリアルコミュニケーションインタフェース (SCI)

### ビット3：マルチプロセッサインタラプトイネーブル (MPIE)

マルチプロセッサ割り込みを許可 / 禁止します。MPIE ビットの設定は、調歩同期式モードで、かつ、SCSMR1 の MP ビットが 1 に設定されている受信時にのみ有効です。

クロック同期式モードのとき、あるいは MP ビットが 0 のときには MPIE ビットの設定は無効です。

| ビット 3 | 説明  |
|-------|---|
| MPIE  |   |
| 0     | マルチプロセッサ割り込み禁止状態（通常の受信動作をします）（初期値）<br>[ クリア条件 ]<br>(1) MPIE ビットを 0 にクリア<br>(2) MPB = 1 のデータを受信したとき                            |
| 1     | マルチプロセッサ割り込み許可状態*<br>マルチプロセッサビットが 1 のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、および SCSSR1 の RDRF、FER、ORER の各フラグのセットを禁止します。 |

【注】 \* SCSSR1 から SCRDR1 への受信データの転送、および受信エラーの検出と SCSSR1 の RDRF、FER、ORER の各フラグのセットは行いません。MPB = 1 を含む受信データを受信すると、SCSSR1 の MPB フラグを 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI の発生 (SCSSR1 の TIE、RIE ビットが 1 にセットされている場合) と FER、ORER フラグのセットが許可されません。

### ビット2：トランスミットエンドインタラプトイネーブル (TEIE)

MSB データ送出時に有効な送信データが SCTDR1 にないとき、送信終了割り込み (TEI) 要求の発生を許可 / 禁止します。

| ビット 2 | 説明                         |
|-------|----------------------------|
| TEIE  |                            |
| 0     | 送信終了割り込み (TEI) 要求を禁止*（初期値） |
| 1     | 送信終了割り込み (TEI) 要求を許可*      |

【注】 \* TEI の解除は、SCSSR1 の TDRE フラグの 1 を読み出した後、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。

### ビット1、0：クロックイネーブル1、0 (CKE1、CKE0)

SCI のクロックソースの選択、および SCK 端子からのクロック出力の許可 / 禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCK 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。

ただし、CKE0 ビットの設定は調歩同期式モードで内部クロック動作 (CKE1 = 0) の時のみ有効です。クロック同期式モードのとき、および外部クロック動作 (CKE1 = 1) の場合は CKE0 ビットの設定は無効です。また、SCSMR1 で SCI の動作モードを決定する前に、必ず CKE1、CKE0 ビットの設定をしてください。

SCI のクロックソースの選択についての詳細は「15.3 動作説明」の表 15.9 を参照してください。



| ビット1 | ビット0 | 説明         |   |
|------|------|------------|---|
| CKE1 | CKE0 |            |   |
| 0    | 0    | 調歩同期式モード   | 内部クロック／SCK 端子は入力端子（入力信号は無視）* <sup>1</sup> |
|      |      | クロック同期式モード | 内部クロック／SCK 端子は同期クロック出力* <sup>1</sup>      |
| 0    | 1    | 調歩同期式モード   | 内部クロック／SCK 端子はクロック出力* <sup>2</sup>        |
|      |      | クロック同期式モード | 内部クロック／SCK 端子は同期クロック出力                    |
| 1    | 0    | 調歩同期式モード   | 外部クロック／SCK 端子はクロック入力* <sup>3</sup>        |
|      |      | クロック同期式モード | 外部クロック／SCK 端子は同期クロック入力                    |
| 1    | 1    | 調歩同期式モード   | 外部クロック／SCK 端子はクロック入力* <sup>3</sup>        |
|      |      | クロック同期式モード | 外部クロック／SCK 端子は同期クロック入力                    |

【注】\*<sup>1</sup> 初期値

\*<sup>2</sup> ビットレートと同じ周波数のクロックを出力

\*<sup>3</sup> ビットレートの 16 倍の周波数のクロックを入力

### 15.2.7 シリアルステータスレジスタ (SCSSR1)

|      |        |        |        |        |        |      |     |      |
|------|--------|--------|--------|--------|--------|------|-----|------|
| ビット: | 7      | 6      | 5      | 4      | 3      | 2    | 1   | 0    |
|      | TDRE   | RDRF   | ORER   | FER    | PER    | TEND | MPB | MPBT |
| 初期値: | 1      | 0      | 0      | 0      | 0      | 1    | 0   | 0    |
| R/W: | R/(W)* | R/(W)* | R/(W)* | R/(W)* | R/(W)* | R    | R   | R/W  |

【注】\* フラグをクリアするために0のみ書き込むことができます。

シリアルステータスレジスタ (SCSSR1) は、SCI の動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した 8 ビットのレジスタです。

SCSSR1 は常に CPU から読み出し／書き込みができます。ただし、TDRE、RDRF、ORER、PER、FER の各フラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。また、TEND フラグ、および MPB フラグは読み出し専用であり、書き込むことはできません。

SCSSR1 は、パワーオンリセット、マニュアルリセット、スタンバイモード、モジュールスタンバイ時に H'84 に初期化されます。

#### ビット7: トランスミットデータレジスタエンプティ (TDRE)

トランスミットデータレジスタ (SCTDR1) からトランスミットシフトレジスタ (SCTSR1) にデータ転送が行われ SCTDR1 に次のシリアル送信データを書き込むことが可能になったことを示します。

| ビット7 | 説明  |
|------|---|
| TDRE |   |
| 0    | SCTDR1 に有効な送信データが書き込まれていることを表示<br>[クリア条件]<br>(1) TDRE=1 の状態を読み出した後、0 を書き込んだとき<br>(2) DMAC で SCTDR1 ヘデータを書き込んだとき   |
| 1    | SCTDR1 に有効な送信データがないことを表示 (初期値)<br>[セット条件]<br>(1) パワーオンリセット、マニュアルリセット、スタンバイモード、またはモジュールスタンバイ時<br>(2) SCSSR1 の TE ビットが 0 のとき<br>(3) SCTDR1 から SCTSR1 にデータ転送が行われ SCTDR1 にデータの書き込みが可能になったとき |

#### ビット6: レシーブデータレジスタフル (RDRF)

受信したデータがレシーブデータレジスタ (SCRDR1) に格納されていることを示します。

## 15. シリアルコミュニケーションインタフェース (SCI)

| ビット 6 | 説明   |
|-------|--|
| RDRF  |  |
| 0     | SCRDR1 に有効な受信データが格納されていないことを表示 (初期値)<br>[ クリア条件 ]<br>(1) パワーオンリセット、マニュアルリセット、スタンバイモード、またはモジュールスタンバイ時<br>(2) RDRF = 1 の状態を読み出した後、0 を書き込んだとき<br>(3) DMAC で SCRDR1 のデータを読み出したとき |
| 1     | SCRDR1 に有効な受信データが格納されていることを表示<br>[ セット条件 ]<br>シリアル受信が正常終了し、SCRSR1 から SCRDR1 へ受信データが転送されたとき   |

【注】 受信時にエラーを検出したとき、およびシリアルコントロールレジスタ (SCSCR1) の RE ビットを 0 にクリアしたときには SCRDR1 および RDRF フラグは影響を受けず以前の状態を保持します。

RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバランエラーを発生し、受信データが失われますので注意してください。

### ビット5: オーバランエラー (ORER)

受信時にオーバランエラーが発生して異常終了したことを示します。

| ビット 5 | 説明   |
|-------|--|
| ORER  |  |
| 0     | 受信中、または正常に受信を完了したことを表示*1 (初期値)<br>[ クリア条件 ]<br>(1) パワーオンリセット、マニュアルリセット、スタンバイモード、またはモジュールスタンバイ時<br>(2) ORER = 1 の状態を読み出した後、0 を書き込んだとき |
| 1     | 受信時にオーバランエラーが発生したことを表示*2<br>[ セット条件 ]<br>RDRF = 1 の状態で次のシリアル受信を完了したとき  |

【注】 \*1 SCSCR1 の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。

\*2 SCRDR1 ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信を続けることもできません。

## ビット4：フレーミングエラー (FER)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを示します。

| ビット4 | 説明  |
|------|---|
| FER  |   |
| 0    | 受信中、または正常に受信を完了したことを表示 <sup>*1</sup> (初期値)<br>[クリア条件]<br>(1) パワーオンリセット、マニュアルリセット、スタンバイモード、またはモジュールスタンバイ時<br>(2) FER = 1 の状態を読み出した後、0 を書き込んだとき |
| 1    | 受信時にフレーミングエラーが発生したことを表示<br>[セット条件]<br>SCI が受信終了時に受信データの最後尾のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 であったとき <sup>*2</sup>                           |

【注】 \*1 SCSCR1 の RE ビットを 0 にクリアしたときには、FER フラグは影響を受けず以前の状態を保持します。

\*2 2 ストップビットモードのときは、1 ビット目のストップビットが 1 であるかどうかのみを判定し、2 ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは SCRDR1 に転送されますが、RDRF フラグはセットされません。さらに、FER フラグが 1 にセットされた状態においては、以降のシリアル受信を続けることはできません。

## ビット3：パリティエラー (PER)

調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを示します。

| ビット3 | 説明   |
|------|--|
| PER  |  |
| 0    | 受信中、または正常に受信を完了したことを表示 <sup>*1</sup> (初期値)<br>[クリア条件]<br>(1) パワーオンリセット、マニュアルリセット、スタンバイモード、またはモジュールスタンバイ時<br>(2) PER = 1 の状態を読み出した後、0 を書き込んだとき  |
| 1    | 受信時にパリティエラーが発生したことを表示 <sup>*2</sup><br>[セット条件]<br>受信時の受信データとパリティビットを合わせた 1 の数が、シリアルモードレジスタ (SCSMR1) の O/E ビットで指定した偶数パリティ / 奇数パリティの設定と一致しなかったとき |

【注】 \*1 SCSCR1 の RE ビットを 0 にクリアしたときには、PER フラグは影響を受けず以前の状態を保持します。

\*2 パリティエラーが発生したときの受信データは SCRDR1 に転送されますが、RDRF フラグはセットされません。なお、PER フラグが 1 にセットされた状態では、以降のシリアル受信を続けることはできません。

## 15. シリアルコミュニケーションインタフェース (SCI)

### ビット2: トランスミットエンド (TEND)

送信キャラクタの最後尾ビットの送信時に SCTDR1 に有効なデータがなく、送信を終了したことを示します。

TEND フラグは読み出し専用ですので、書き込むことはできません。

| ビット 2 | 説明  |
|-------|---|
| TEND  |   |
| 0     | 送信中であることを表示<br>[ クリア条件 ]<br>(1) TDRE = 1 の状態を読み出した後、TDRE フラグに 0 を書き込んだとき<br>(2) DMAC で SCTDR1 ヘータを書き込んだとき   |
| 1     | 送信を終了したことを表示 (初期値)<br>[ セット条件 ]<br>(1) パワーオンリセット、マニュアルリセット、スタンバイモード、またはモジュールスタンバイ時<br>(2) SCSCR1 の TE ビットが 0 のとき<br>(3) 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE=1 であったとき |

### ビット1: マルチプロセッサビット (MPB)

調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信データ中のマルチプロセッサビットを格納します。

MPB フラグは読み出し専用ですので、書き込むことはできません。

| ビット 1 | 説明                                   |
|-------|--------------------------------------|
| MPB   |                                      |
| 0     | マルチプロセッサビットが 0 のデータを受信したことを表示* (初期値) |
| 1     | マルチプロセッサビットが 1 のデータを受信したことを表示        |

【注】 \* マルチプロセッサフォーマットで RE ビットを 0 にクリアしたときには、以前の状態を保持します。

### ビット0: マルチプロセッサビットトランスファ (MPBT)

調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。

クロック同期式モードやマルチプロセッサフォーマットでないとき、あるいは送信でないときには MPBT ビットの設定は無効です。

MPBT ビットは送信データと異なり、ダブルバッファ構造でないため、値を変更する前に送信が完了していることを確認する必要があります。

| ビット 0 | 説明                           |
|-------|------------------------------|
| MPBT  |                              |
| 0     | マルチプロセッサビットが 0 のデータを送信 (初期値) |
| 1     | マルチプロセッサビットが 1 のデータを送信       |

## 15.2.8 シリアルポートレジスタ (SCSPTR1)

|      |     |   |   |   |        |        |        |        |
|------|-----|---|---|---|--------|--------|--------|--------|
| ビット: | 7   | 6 | 5 | 4 | 3      | 2      | 1      | 0      |
|      | EIO |   |   |   | SPB1IO | SPB1DT | SPB0IO | SPB0DT |
| 初期値: | 0   | 0 | 0 | 0 | 0      |        | 0      |        |
| R/W: | R/W |   |   |   | R/W    | R/W    | R/W    | R/W    |

シリアルポートレジスタ (SCSPTR1) は、シリアルコミュニケーションインタフェース (SCI) の端子にマルチプレクスされたポートの入出力およびデータを制御します。ビット 1、0 によって RxD 端子から入力データを読み出し、TxD 端子へ出力データを書き込むことができ、シリアル送受信のブレイクを制御します。またビット 3 およびビット 2 で SCK 端子に対してデータの読み込みおよび出力データを書き込むことができます。ビット 7 は RXI 割り込みの許可／禁止を制御します。

SCSPTR1 レジスタは、8 ビットで、常に CPU による読み出し／書き込みが可能です。パワーオンリセット、マニュアルリセット時にビット 2、0 を除いて H'00 に初期化されます。ビット 2、0 は、不定です。モジュールスタンバイ、スタンバイモード時には初期化されません。

## ビット 7: エラー割込みオンリー (EIO)

EIO ビットが 1 のとき、RIE ビットが 1 にセットされていても、CPU へ RXI 割り込みを要求しません。この設定で DMAC を使用した場合、CPU は ERI 割込みのみを処理します。DMAC は読み出しデータをメモリまたは他の周辺モジュールに転送します。このビットは RXI 割込みの許可／禁止を設定します。

| ビット 7 | 説明  |
|-------|---|
| EIO   |   |
| 0     | RIE ビットが RXI と ERI 割込みを許可／禁止する。<br>RIE ビットが 1 のとき、RXI と ERI 割り込みが INTC へ送られる。 (初期値) |
| 1     | RIE ビットが 1 のとき、ERI 割込みだけが INTC へ送られる  |

## ビット 6~4: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## ビット 3: シリアルポートクロックポート入出力 (SPB1IO)

シリアルポートの SCK 端子の入出力を指定します。実際に SCK 端子をポート出力端子として SPB1DT ビットで設定した値を出力する場合は、SCSMR1 の C/A ビットと SCSCR1 レジスタの CKE1、CKE0 ビットを 0 に設定してください。

| ビット 3  | 説明                                      |
|--------|---|
| SPB1IO |   |
| 0      | SCK 端子に SPB1DT ビットの値を出力しないことを示します (初期値) |
| 1      | SCK 端子に SPB1DT ビットの値を出力することを示します        |

## 15. シリアルコミュニケーションインタフェース (SCI)

### ビット2：シリアルポートクロックポートデータ (SPB1DT)

シリアルポートの SCK 端子の入出力データを指定します。入力か出力かは SPB1IO ビットで指定します（詳細はビット 3：SPB1IO の説明参照）。出力の場合、SPB1DT ビットの値が SCK 端子に出力されます。SPB1IO ビットの値にかかわらず、SPB1DT ビットからは SCK 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。

| ビット 2  | 説明                     |
|--------|------------------------|
| SPB1DT |                        |
| 0      | 入出力データがローレベルであることを示します |
| 1      | 入出力データがハイレベルであることを示します |

### ビット1：シリアルポートブレイク入出力 (SPB0IO)

シリアルポートの TxD 端子の出力条件を指定します。実際に TxD 端子をポート出力端子として SPB0DT ビットで設定した値を出力する場合は、SCSCR1 の TE ビットを 0 に設定してください。

| ビット 1  | 説明                                     |
|--------|--|
| SPB0IO |  |
| 0      | TxD 端子に SPB0DT ビットの値を出力しないことを示します（初期値） |
| 1      | TxD 端子に SPB0DT ビットの値を出力することを示します       |

### ビット0：シリアルポートブレイクデータ (SPB0DT)

シリアルポートの RxD 端子の入力データおよび TxD 端子の出力データを指定します。TxD 端子の出力条件は SPB0IO ビットで指定します（詳細はビット 1：SPB0IO の説明参照）。TxD 端子を出力に設定した場合、SPB0DT ビットの値が TxD 端子に出力されます。SPB0IO ビットの値にかかわらず、SPB0DT ビットからは RxD 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。

| ビット 0  | 説明                     |
|--------|------------------------|
| SPB0DT |                        |
| 0      | 入出力データがローレベルであることを示します |
| 1      | 入出力データがハイレベルであることを示します |

SCI用のI/Oポートのブロック図を図15.2、図15.3、図15.4に示します。

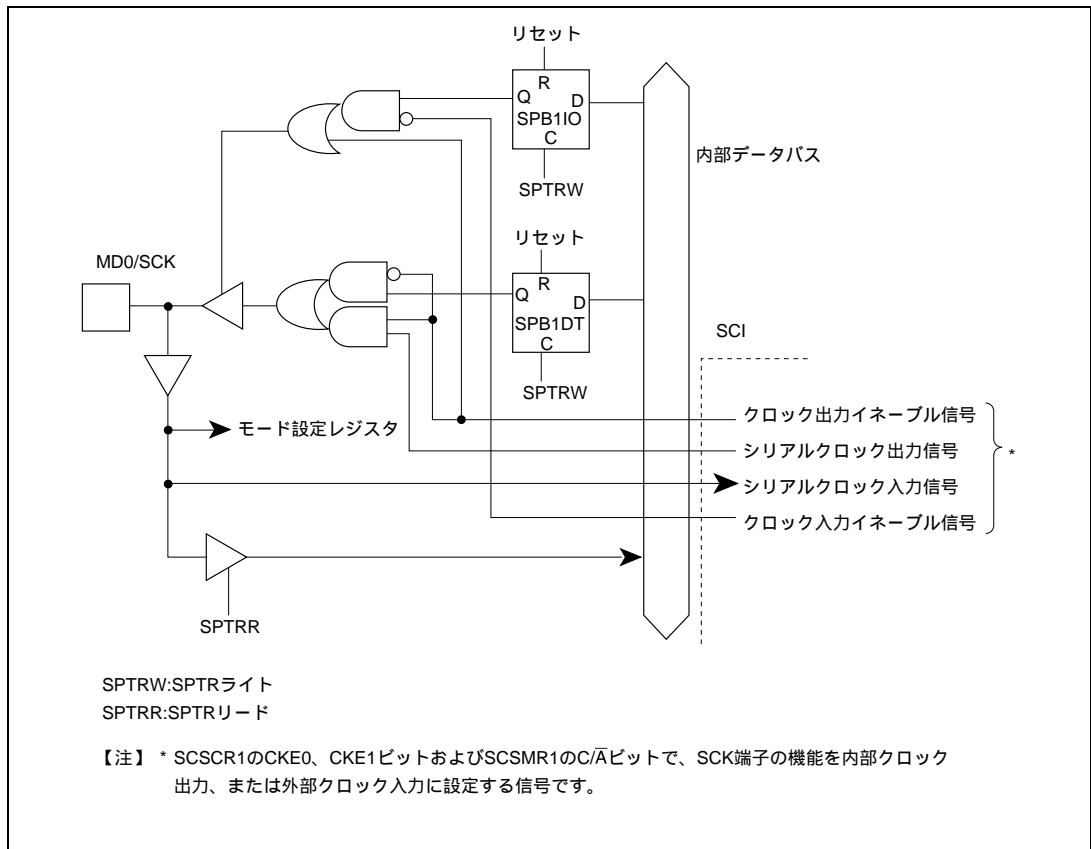


図15.2 MD0/SCK端子

## 15. シリアルコミュニケーションインタフェース (SCI)

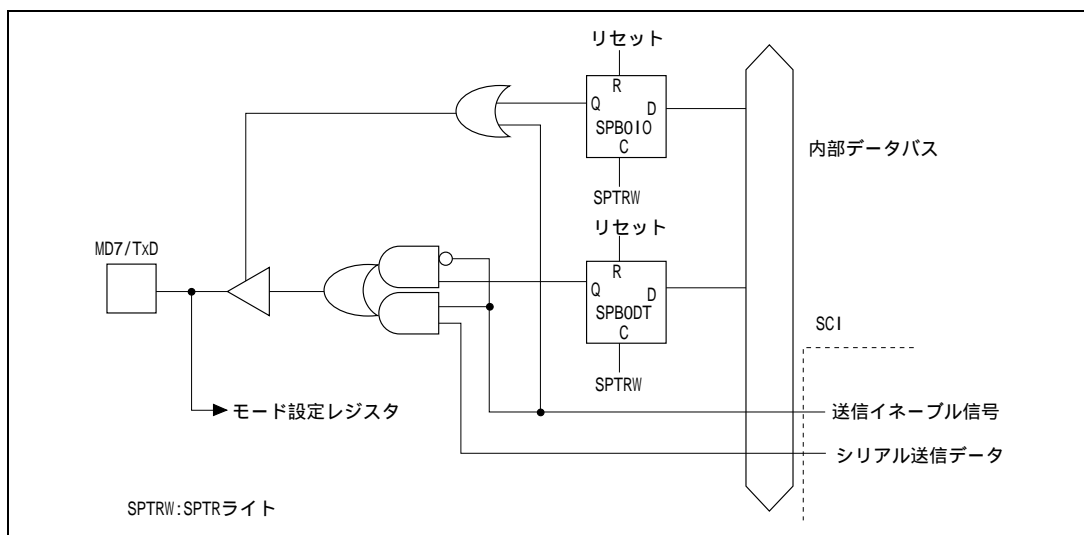


図15.3 MD7/TxD端子

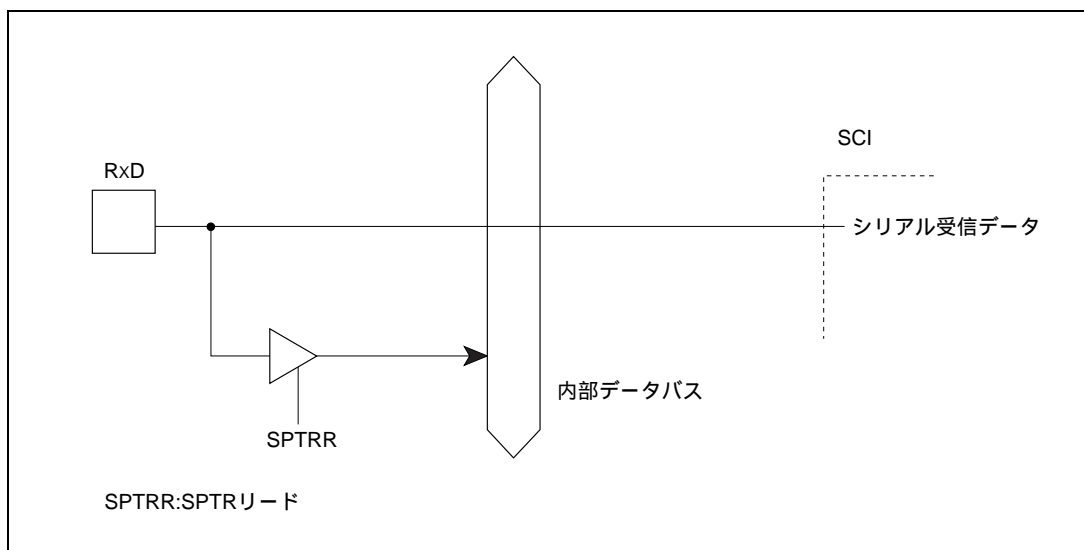


図 15.4 RxD 端子



## 15.2.9 ビットレートレジスタ (SCBRR1)

ビット:      7            6            5            4            3            2            1            0

|  |  |  |  |  |  |  |  |
|--|--|--|--|--|--|--|--|
|  |  |  |  |  |  |  |  |
|--|--|--|--|--|--|--|--|

初期値:      1            1            1            1            1            1            1            1

R/W:    R/W        R/W        R/W        R/W        R/W        R/W        R/W

ビットレートレジスタ (SCBRR1) は、シリアルモードレジスタ (SCSMR1) の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックと合わせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR1 は、常に CPU による読み出し / 書き込みが可能です。

SCBRR1 は、パワーオンリセット、マニュアルリセット、スタンバイモード、モジュールスタンバイ時に H'FF に初期化されます。

SCBRR1 の設定値は以下の計算式で求められます。

〔調歩同期式モード〕

$$N = \frac{P}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

〔クロック同期式モード〕

$$N = \frac{P}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの SCBRR1 の設定値 (0 ≤ N ≤ 255)

P : 周辺モジュール用動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n=0、1、2、3)  
(n とクロックの関係は、下表を参照してください)

| n | クロック  | SCSMR1 の設定値 |      |
|---|-------|-------------|------|
|   |       | CKS1        | CKS0 |
| 0 | P     | 0           | 0    |
| 1 | P /4  | 0           | 1    |
| 2 | P /16 | 1           | 0    |
| 3 | P /64 | 1           | 1    |

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{P \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

表 15.3 に調歩同期式モードの SCBRR1 の設定例を、表 15.4 にクロック同期式モードの SCBRR1 の設定例を示します。

## 15. シリアルコミュニケーションインタフェース (SCI)

表 15.3 ビットレートに対する SCBRR1 の設定例 [ 調歩同期式モード ] ( 1 )

| ビットレート<br>( bit/s ) | P ( MHz ) |     |             |          |     |             |        |     |             |   |     |             |
|---------------------|-----------|-----|-------------|----------|-----|-------------|--------|-----|-------------|---|-----|-------------|
|                     | 2         |     |             | 2.097152 |     |             | 2.4576 |     |             | 3 |     |             |
|                     | n         | N   | 誤差<br>( % ) | n        | N   | 誤差<br>( % ) | n      | N   | 誤差<br>( % ) | n | N   | 誤差<br>( % ) |
| 110                 | 1         | 141 | 0.03        | 1        | 148 | - 0.04      | 1      | 174 | - 0.26      | 1 | 212 | 0.03        |
| 150                 | 1         | 103 | 0.16        | 1        | 108 | 0.21        | 1      | 127 | 0.00        | 1 | 155 | 0.16        |
| 300                 | 0         | 207 | 0.16        | 0        | 217 | 0.21        | 0      | 255 | 0.00        | 1 | 77  | 0.16        |
| 600                 | 0         | 103 | 0.16        | 0        | 108 | 0.21        | 0      | 127 | 0.00        | 0 | 155 | 0.16        |
| 1200                | 0         | 51  | 0.16        | 0        | 54  | - 0.70      | 0      | 63  | 0.00        | 0 | 77  | 0.16        |
| 2400                | 0         | 25  | 0.16        | 0        | 26  | 1.14        | 0      | 31  | 0.00        | 0 | 38  | 0.16        |
| 4800                | 0         | 12  | 0.16        | 0        | 13  | - 2.48      | 0      | 15  | 0.00        | 0 | 19  | - 2.34      |
| 9600                | 0         | 6   | - 6.99      | 0        | 6   | - 2.48      | 0      | 7   | 0.00        | 0 | 9   | - 2.34      |
| 19200               | 0         | 2   | 8.51        | 0        | 2   | 13.78       | 0      | 3   | 0.00        | 0 | 4   | - 2.34      |
| 31250               | 0         | 1   | 0.00        | 0        | 1   | 4.86        | 0      | 1   | 22.88       | 0 | 2   | 0.00        |
| 38400               | 0         | 1   | - 18.62     | 0        | 1   | - 14.67     | 0      | 1   | 0.00        |   |     |             |

| ビットレート<br>( bit/s ) | P ( MHz ) |     |             |   |     |             |        |     |             |   |     |             |
|---------------------|-----------|-----|-------------|---|-----|-------------|--------|-----|-------------|---|-----|-------------|
|                     | 3.6864    |     |             | 4 |     |             | 4.9152 |     |             | 5 |     |             |
|                     | n         | N   | 誤差<br>( % ) | n | N   | 誤差<br>( % ) | n      | N   | 誤差<br>( % ) | n | N   | 誤差<br>( % ) |
| 110                 | 2         | 64  | 0.70        | 2 | 70  | 0.03        | 2      | 86  | 0.31        | 2 | 88  | - 0.25      |
| 150                 | 1         | 191 | 0.00        | 1 | 207 | 0.16        | 1      | 255 | 0.00        | 2 | 64  | 0.16        |
| 300                 | 1         | 95  | 0.00        | 1 | 103 | 0.16        | 1      | 127 | 0.00        | 1 | 129 | 0.16        |
| 600                 | 0         | 191 | 0.00        | 0 | 207 | 0.16        | 0      | 255 | 0.00        | 1 | 64  | 0.16        |
| 1200                | 0         | 95  | 0.00        | 0 | 103 | 0.16        | 0      | 127 | 0.00        | 0 | 129 | 0.16        |
| 2400                | 0         | 47  | 0.00        | 0 | 51  | 0.16        | 0      | 63  | 0.00        | 0 | 64  | 0.16        |
| 4800                | 0         | 23  | 0.00        | 0 | 25  | 0.16        | 0      | 31  | 0.00        | 0 | 32  | - 1.36      |
| 9600                | 0         | 11  | 0.00        | 0 | 12  | 0.16        | 0      | 15  | 0.00        | 0 | 15  | 1.73        |
| 19200               | 0         | 5   | 0.00        | 0 | 6   | - 6.99      | 0      | 7   | 0.00        | 0 | 7   | 1.73        |
| 31250               | -         | -   | -           | 0 | 3   | 0.00        | 0      | 4   | - 1.70      | 0 | 4   | 0.00        |
| 38400               | 0         | 2   | 0.00        | 0 | 2   | 8.51        | 0      | 3   | 0.00        | 0 | 3   | 1.73        |

空欄： 設定できません。

- : 設定可能ですが誤差がです。

15. シリアルコミュニケーションインタフェース (SCI)

表 15.3 ビットレートに対する SCBRR1 の設定例 [ 調歩同期式モード ] ( 2 )

| ビットレート<br>( bit/s ) | P ( MHz ) |     |             |       |     |             |         |     |             |   |     |             |
|---------------------|-----------|-----|-------------|-------|-----|-------------|---------|-----|-------------|---|-----|-------------|
|                     | 6         |     |             | 6.144 |     |             | 7.37288 |     |             | 8 |     |             |
|                     | n         | N   | 誤差<br>( % ) | n     | N   | 誤差<br>( % ) | n       | N   | 誤差<br>( % ) | n | N   | 誤差<br>( % ) |
| 110                 | 2         | 106 | - 0.44      | 2     | 108 | 0.08        | 2       | 130 | - 0.07      | 2 | 141 | 0.03        |
| 150                 | 2         | 77  | 0.16        | 2     | 79  | 0.00        | 2       | 95  | 0.00        | 2 | 103 | 0.16        |
| 300                 | 1         | 155 | 0.16        | 1     | 159 | 0.00        | 1       | 191 | 0.00        | 1 | 207 | 0.16        |
| 600                 | 1         | 77  | 0.16        | 1     | 79  | 0.00        | 1       | 95  | 0.00        | 1 | 103 | 0.16        |
| 1200                | 0         | 155 | 0.16        | 0     | 159 | 0.00        | 0       | 191 | 0.00        | 0 | 207 | 0.16        |
| 2400                | 0         | 77  | 0.16        | 0     | 79  | 0.00        | 0       | 95  | 0.00        | 0 | 103 | 0.16        |
| 4800                | 0         | 38  | 0.16        | 0     | 39  | 0.00        | 0       | 47  | 0.00        | 0 | 51  | 0.16        |
| 9600                | 0         | 19  | - 2.34      | 0     | 19  | 0.00        | 0       | 23  | 0.00        | 0 | 25  | 0.16        |
| 19200               | 0         | 9   | - 2.34      | 0     | 9   | 0.00        | 0       | 11  | 0.00        | 0 | 12  | 0.16        |
| 31250               | 0         | 5   | 0.00        | 0     | 5   | 2.40        | 0       | 6   | 5.33        | 0 | 7   | 0.00        |
| 38400               | 0         | 4   | - 2.34      | 0     | 4   | 0.00        | 0       | 5   | 0.00        | 0 | 6   | - 6.99      |

| ビットレート<br>( bit/s ) | P ( MHz ) |     |             |    |     |             |    |     |             |        |     |             |
|---------------------|-----------|-----|-------------|----|-----|-------------|----|-----|-------------|--------|-----|-------------|
|                     | 9.8304    |     |             | 10 |     |             | 12 |     |             | 12.288 |     |             |
|                     | n         | N   | 誤差<br>( % ) | n  | N   | 誤差<br>( % ) | n  | N   | 誤差<br>( % ) | n      | N   | 誤差<br>( % ) |
| 110                 | 2         | 174 | - 0.26      | 2  | 177 | - 0.25      | 2  | 212 | 0.03        | 2      | 217 | 0.08        |
| 150                 | 2         | 127 | 0.00        | 2  | 129 | 0.16        | 2  | 155 | 0.16        | 2      | 159 | 0.00        |
| 300                 | 1         | 255 | 0.00        | 2  | 64  | 0.16        | 2  | 77  | 0.16        | 2      | 79  | 0.00        |
| 600                 | 1         | 127 | 0.00        | 1  | 129 | 0.16        | 1  | 155 | 0.16        | 1      | 159 | 0.00        |
| 1200                | 0         | 255 | 0.00        | 1  | 64  | 0.16        | 1  | 77  | 0.16        | 1      | 79  | 0.00        |
| 2400                | 0         | 127 | 0.00        | 0  | 129 | 0.16        | 0  | 155 | 0.16        | 0      | 159 | 0.00        |
| 4800                | 0         | 63  | 0.00        | 0  | 64  | 0.16        | 0  | 77  | 0.16        | 0      | 79  | 0.00        |
| 9600                | 0         | 31  | 0.00        | 0  | 32  | - 1.36      | 0  | 38  | 0.16        | 0      | 39  | 0.00        |
| 19200               | 0         | 15  | 0.00        | 0  | 15  | 1.73        | 0  | 19  | 0.16        | 0      | 19  | 0.00        |
| 31250               | 0         | 9   | - 1.70      | 0  | 9   | 0.00        | 0  | 11  | 0.00        | 0      | 11  | 2.40        |
| 38400               | 0         | 7   | 0.00        | 0  | 7   | 1.73        | 0  | 9   | - 2.34      | 0      | 9   | 0.00        |

## 15. シリアルコミュニケーションインタフェース (SCI)

表 15.3 ビットレートに対する SCBRR1 の設定例 [ 調歩同期式モード ] ( 3 )

| ビットレート<br>( bit/s ) | P ( MHz ) |     |             |    |     |             |         |     |             |    |     |             |
|---------------------|-----------|-----|-------------|----|-----|-------------|---------|-----|-------------|----|-----|-------------|
|                     | 14.7456   |     |             | 16 |     |             | 19.6608 |     |             | 20 |     |             |
|                     | n         | N   | 誤差<br>( % ) | n  | N   | 誤差<br>( % ) | n       | N   | 誤差<br>( % ) | n  | N   | 誤差<br>( % ) |
| 110                 | 3         | 64  | 0.70        | 3  | 70  | 0.03        | 3       | 86  | 0.31        | 3  | 88  | - 0.25      |
| 150                 | 2         | 191 | 0.00        | 2  | 207 | 0.16        | 2       | 255 | 0.00        | 3  | 64  | 0.16        |
| 300                 | 2         | 95  | 0.00        | 2  | 103 | 0.16        | 2       | 127 | 0.00        | 2  | 129 | 0.16        |
| 600                 | 1         | 191 | 0.00        | 1  | 207 | 0.16        | 1       | 255 | 0.00        | 2  | 64  | 0.16        |
| 1200                | 1         | 95  | 0.00        | 1  | 103 | 0.16        | 1       | 127 | 0.00        | 1  | 129 | 0.16        |
| 2400                | 0         | 191 | 0.00        | 0  | 207 | 0.16        | 0       | 255 | 0.00        | 1  | 64  | 0.16        |
| 4800                | 0         | 95  | 0.00        | 0  | 103 | 0.16        | 0       | 127 | 0.00        | 0  | 129 | 0.16        |
| 9600                | 0         | 47  | 0.00        | 0  | 51  | 0.16        | 0       | 63  | 0.00        | 0  | 64  | 0.16        |
| 19200               | 0         | 23  | 0.00        | 0  | 25  | 0.16        | 0       | 31  | 0.00        | 0  | 32  | - 1.36      |
| 31250               | 0         | 14  | - 1.70      | 0  | 15  | 0.00        | 0       | 19  | - 1.70      | 0  | 19  | 0.00        |
| 38400               | 0         | 11  | 0.00        | 0  | 12  | 0.16        | 0       | 15  | 0.00        | 0  | 15  | 1.73        |

| ビットレート<br>( bit/s ) | P ( MHz ) |     |             |        |     |             |      |     |             |    |     |             |
|---------------------|-----------|-----|-------------|--------|-----|-------------|------|-----|-------------|----|-----|-------------|
|                     | 24        |     |             | 24.576 |     |             | 28.7 |     |             | 30 |     |             |
|                     | n         | N   | 誤差<br>( % ) | n      | N   | 誤差<br>( % ) | n    | N   | 誤差<br>( % ) | n  | N   | 誤差<br>( % ) |
| 110                 | 3         | 106 | - 0.44      | 3      | 108 | 0.08        | 3    | 126 | 0.31        | 3  | 132 | 0.13        |
| 150                 | 3         | 77  | 0.16        | 3      | 79  | 0.00        | 3    | 92  | 0.46        | 3  | 97  | - 0.35      |
| 300                 | 2         | 155 | 0.16        | 2      | 159 | 0.00        | 2    | 186 | - 0.08      | 2  | 194 | 0.16        |
| 600                 | 2         | 77  | 0.16        | 2      | 79  | 0.00        | 2    | 92  | 0.46        | 2  | 97  | - 0.35      |
| 1200                | 1         | 155 | 0.16        | 1      | 159 | 0.00        | 1    | 186 | - 0.08      | 1  | 194 | 0.16        |
| 2400                | 1         | 77  | 0.16        | 1      | 79  | 0.00        | 1    | 92  | 0.46        | 1  | 97  | - 0.35      |
| 4800                | 0         | 155 | 0.16        | 0      | 159 | 0.00        | 0    | 186 | - 0.08      | 0  | 194 | - 1.36      |
| 9600                | 0         | 77  | 0.16        | 0      | 79  | 0.00        | 0    | 92  | 0.46        | 0  | 97  | - 0.35      |
| 19200               | 0         | 38  | 0.16        | 0      | 39  | 0.00        | 0    | 46  | - 0.61      | 0  | 48  | - 0.35      |
| 31250               | 0         | 23  | 0.00        | 0      | 24  | - 1.70      | 0    | 28  | - 1.03      | 0  | 29  | 0.00        |
| 38400               | 0         | 19  | - 2.34      | 0      | 19  | 0.00        | 0    | 22  | 1.55        | 0  | 23  | 1.73        |

表 15.4 ビットレートに対する SCBRR1 の設定例 [ クロック同期式モード ]

| ビットレート<br>( bit/s ) | P ( MHz ) |     |   |     |    |     |      |     |    |     |
|---------------------|-----------|-----|---|-----|----|-----|------|-----|----|-----|
|                     | 4         |     | 8 |     | 16 |     | 28.7 |     | 30 |     |
|                     | n         | N   | n | N   | n  | N   | n    | N   | n  | N   |
| 10                  | -         | -   | - | -   | -  | -   | -    | -   | -  | -   |
| 250                 | 2         | 249 | 3 | 124 | 3  | 249 | -    | -   | -  | -   |
| 500                 | 2         | 124 | 2 | 249 | 3  | 124 | 3    | 223 | 3  | 233 |
| 1k                  | 1         | 249 | 2 | 124 | 2  | 249 | 3    | 111 | 3  | 116 |
| 2.5k                | 1         | 99  | 1 | 199 | 2  | 99  | 2    | 178 | 2  | 187 |
| 5k                  | 0         | 199 | 1 | 99  | 1  | 199 | 2    | 89  | 2  | 93  |
| 10k                 | 0         | 99  | 0 | 199 | 1  | 99  | 1    | 178 | 1  | 187 |
| 25k                 | 0         | 39  | 0 | 79  | 0  | 159 | 1    | 71  | 1  | 74  |
| 50k                 | 0         | 19  | 0 | 39  | 0  | 79  | 0    | 143 | 0  | 149 |
| 100k                | 0         | 9   | 0 | 19  | 0  | 39  | 0    | 71  | 0  | 74  |
| 250k                | 0         | 3   | 0 | 7   | 0  | 15  | -    | -   | 0  | 29  |
| 500k                | 0         | 1   | 0 | 3   | 0  | 7   | -    | -   | 0  | 14  |
| 1M                  | 0         | 0*  | 0 | 1   | 0  | 3   | -    | -   | -  | -   |
| 2M                  |           |     | 0 | 0*  | 0  | 1   | -    | -   | -  | -   |

【注】 誤差は、なるべく 1% 以内になるように設定してください。

《記号説明》

- 空欄 : 設定できません。
- : 設定可能ですが誤差がでます。
- \* : 連続送信 / 受信はできません。

## 15. シリアルコミュニケーションインタフェース (SCI)

---

表 15.5 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレートを示します。また、表 15.6 と表 15.7 に外部クロック入力時の最大ビットレートを示します。

表 15.5 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート  
(調歩同期式モード)

| P (MHz)  | 最大ビットレート (bit/s) | 設定値 |   |
|----------|------------------|-----|---|
|          |                  | n   | N |
| 2        | 62500            | 0   | 0 |
| 2.097152 | 65536            | 0   | 0 |
| 2.4576   | 76800            | 0   | 0 |
| 3        | 93750            | 0   | 0 |
| 3.6864   | 115200           | 0   | 0 |
| 4        | 125000           | 0   | 0 |
| 4.9152   | 153600           | 0   | 0 |
| 8        | 250000           | 0   | 0 |
| 9.8304   | 307200           | 0   | 0 |
| 12       | 375000           | 0   | 0 |
| 14.7456  | 460800           | 0   | 0 |
| 16       | 500000           | 0   | 0 |
| 19.6608  | 614400           | 0   | 0 |
| 20       | 625000           | 0   | 0 |
| 24       | 750000           | 0   | 0 |
| 24.576   | 768000           | 0   | 0 |
| 28.7     | 896875           | 0   | 0 |
| 30       | 937500           | 0   | 0 |

表 15.6 外部クロック入力時の最大ビットレート (調歩同期式モード)

| P (MHz)  | 外部入力クロック (MHz) | 最大ビットレート (bit/s) |
|----------|----------------|------------------|
| 2        | 0.5000         | 31250            |
| 2.097152 | 0.5243         | 32768            |
| 2.4576   | 0.6144         | 38400            |
| 3        | 0.7500         | 46875            |
| 3.6864   | 0.9216         | 57600            |
| 4        | 1.0000         | 62500            |
| 4.9152   | 1.2288         | 76800            |
| 8        | 2.0000         | 125000           |
| 9.8304   | 2.4576         | 153600           |
| 12       | 3.0000         | 187500           |
| 14.7456  | 3.6864         | 230400           |
| 16       | 4.0000         | 250000           |
| 19.6608  | 4.9152         | 307200           |
| 20       | 5.0000         | 312500           |
| 24       | 6.0000         | 375000           |
| 24.576   | 6.1440         | 384000           |
| 28.7     | 7.1750         | 448436           |
| 30       | 7.5000         | 468750           |

表 15.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

| P (MHz) | 外部入力クロック (MHz) | 最大ビットレート (bit/s) |
|---------|----------------|------------------|
| 8       | 1.3333         | 1333333.3        |
| 16      | 2.6667         | 2666666.7        |
| 24      | 4.0000         | 4000000.0        |
| 28.7    | 4.7833         | 4783333.3        |
| 30      | 5.0000         | 5000000.0        |

### 15.3 動作説明

#### 15.3.1 概要

SCI は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、シリアルモードレジスタ (SCSMR1) で行います。これを表 15.8 に示します。また、SCI のクロックソースは、SCSMR1 の C/A ビットおよびシリアルコントロールレジスタ (SCSCR1) の CKE1、CKE0 ビットの組み合わせで決まります。これを表 15.9 に示します。

- 調歩同期式モード
  - データ長 : 7 ビット / 8 ビットから選択可能
  - パリティの付加、マルチプロセッサビットの付加、および 1 ビット / 2 ビットのストップビットの付加を選択可能 (これらの組み合わせにより送信 / 受信フォーマット、およびキャラクタ長を決定)
  - 受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブレークの検出が可能
  - SCI のクロックソース : 内部クロック / 外部クロックから選択可能
    - 内部クロックを選択した場合 : SCI はボーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力することが可能
    - 外部クロックを選択した場合 : ビットレートの 16 倍の周波数のクロックを入力することが必要 (内蔵ボーレートジェネレータを使用しない)
- クロック同期式モード
  - 送信 / 受信フォーマット : 8 ビットデータ固定
  - 受信時にオーバランエラーの検出可能
  - SCI のクロックソース : 内部クロック / 外部クロックから選択可能
    - 内部クロックを選択した場合 : SCI はボーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
    - 外部クロックを選択した場合 : 内部ボーレートジェネレータを使用せず、入力された同期クロックで動作



表 15.8 SCSMR1 の設定値とシリアル送信 / 受信フォーマット

| SCSMR1 の設定値 |      |      |      |      | モード                          | SCI の送信 / 受信フォーマット |             |         |          |  |         |  |    |    |
|-------------|------|------|------|------|------------------------------|--------------------|-------------|---------|----------|--|---------|--|----|----|
| ビット7        | ビット6 | ビット2 | ビット5 | ビット3 |                              | データ長               | マルチプロセッサビット | パリティビット | ストップビット長 |  |         |  |    |    |
| C/A         | CHR  | MP   | PE   | STOP |                              |                    |             |         |          |  |         |  |    |    |
| 0           | 0    | 0    | 0    | 0    | 調歩同期式モード                     | 8ビットデータ            | なし          | なし      | 1ビット     |  |         |  |    |    |
|             |      |      |      | 1    |                              |                    |             |         | 2ビット     |  |         |  |    |    |
|             |      |      | 1    | 0    |                              |                    |             | あり      | 1ビット     |  |         |  |    |    |
|             |      |      |      | 1    |                              |                    |             |         | 2ビット     |  |         |  |    |    |
|             |      |      | 1    | 0    |                              | なし                 |             | 1ビット    |          |  |         |  |    |    |
|             |      |      |      |      |                              |                    |             | 2ビット    |          |  |         |  |    |    |
|             |      |      |      |      |                              | あり                 |             | 1ビット    |          |  |         |  |    |    |
|             |      |      |      |      |                              |                    |             | 2ビット    |          |  |         |  |    |    |
|             | 0    | 1    | *    | 0    | 調歩同期式モード<br>(マルチプロセッサフォーマット) | 8ビットデータ            | あり          | なし      | 1ビット     |  |         |  |    |    |
|             |      |      |      | 1    |                              | 2ビット               |             |         |          |  |         |  |    |    |
|             |      |      | *    | 0    |                              | 7ビットデータ            |             |         | 1ビット     |  |         |  |    |    |
|             |      |      |      | 1    |                              | 2ビット               |             |         |          |  |         |  |    |    |
|             |      |      | 1    |      |                              | *                  |             |         | 1        |  | 8ビットデータ |  | なし | なし |
|             |      |      |      |      |                              |                    |             |         |          |  |         |  |    |    |
| 1           | *    | *    | *    | *    | クロック同期式モード                   | 8ビットデータ            | なし          |         |          |  |         |  |    |    |

【注】 表中の \* は Don't care であることを示します。

表 15.9 SCSMR1、SCSCR1 の設定と SCI のクロックソースの選択

| SCSMR1 |       | SCSCR1 の設定 |                    | モード | SCI の送信 / 受信クロック             |  |
|--------|-------|------------|--------------------|-----|------------------------------|--|
| ビット 7  | ビット 1 | ビット 0      | クロック<br>ソース        |     | SCK 端子の機能                    |  |
| C/A    | CKE1  | CKE0       |                    |     |                              |  |
| 0      | 0     | 0          | 調歩同期式<br>モード       | 内部  | SCI は、SCK 端子を使用しません          |  |
|        |       | 1          |                    |     | ビットレートと同じ周波数のクロックを出力         |  |
|        | 1     | 0          |                    | 外部  | ビットレートの 16 倍の周波数のクロックを<br>入力 |  |
|        |       | 1          |                    |     |                              |  |
| 1      | 0     | 0          | クロック<br>同期式<br>モード | 内部  | 同期クロックを出力                    |  |
|        |       | 1          |                    |     |                              |  |
|        | 1     | 0          |                    | 外部  | 同期クロックを入力                    |  |
|        |       | 1          |                    |     |                              |  |

### 15.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1 キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信 / 受信中にデータの読み出し / 書き込みができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 15.5 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態（ハイレベル）に保たれています。SCI は通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1 キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB ファースト：最下位ビットから）、パリティビット（ハイ / ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、SCI は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCI は、データを 1 ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

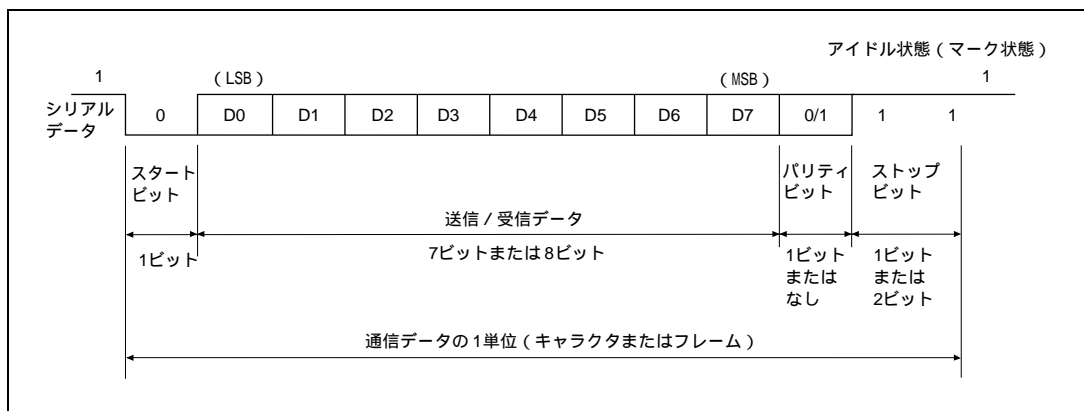


図15.5 調歩同期式通信のデータフォーマット  
(8 ビットデータ / パリティあり / 2 ストップビットの例)

## (1) 送信 / 受信フォーマット

調歩同期式モードで設定できる送信 / 受信フォーマットを、表 15.10 に示します。

送信 / 受信フォーマットは 12 種類あり、シリアルモードレジスタ (SCSMR1) の設定により選択できます。

表 15.10 シリアル送信 / 受信フォーマット (調歩同期式モード)

| SCSMR1の設定 |    |    |      | シリアル送信 / 受信フォーマットとフレーム長 |          |   |   |   |   |   |   |      |      |      |      |
|-----------|----|----|------|-------------------------|----------|---|---|---|---|---|---|------|------|------|------|
| CHR       | PE | MP | STOP | 1                       | 2        | 3 | 4 | 5 | 6 | 7 | 8 | 9    | 10   | 11   | 12   |
| 0         | 0  | 0  | 0    | S                       | 8 ビットデータ |   |   |   |   |   |   |      | STOP |      |      |
| 0         | 0  | 0  | 1    | S                       | 8 ビットデータ |   |   |   |   |   |   |      | STOP | STOP |      |
| 0         | 1  | 0  | 0    | S                       | 8 ビットデータ |   |   |   |   |   |   |      | P    | STOP |      |
| 0         | 1  | 0  | 1    | S                       | 8 ビットデータ |   |   |   |   |   |   |      | P    | STOP | STOP |
| 1         | 0  | 0  | 0    | S                       | 7 ビットデータ |   |   |   |   |   |   | STOP |      |      |      |
| 1         | 0  | 0  | 1    | S                       | 7 ビットデータ |   |   |   |   |   |   | STOP | STOP |      |      |
| 1         | 1  | 0  | 0    | S                       | 7 ビットデータ |   |   |   |   |   |   | P    | STOP |      |      |
| 1         | 1  | 0  | 1    | S                       | 7 ビットデータ |   |   |   |   |   |   | P    | STOP | STOP |      |
| 0         | *  | 1  | 0    | S                       | 8 ビットデータ |   |   |   |   |   |   |      | MPB  | STOP |      |
| 0         | *  | 1  | 1    | S                       | 8 ビットデータ |   |   |   |   |   |   |      | MPB  | STOP | STOP |
| 1         | *  | 1  | 0    | S                       | 7 ビットデータ |   |   |   |   |   |   | MPB  | STOP |      |      |
| 1         | *  | 1  | 1    | S                       | 7 ビットデータ |   |   |   |   |   |   | MPB  | STOP | STOP |      |

## 《記号説明》

S : スタートビット

STOP : ストップビット

P : パリティビット

MPB : マルチプロセッサビット

【注】 表中の \* はDon't careであることを示します。

## 15. シリアルコミュニケーションインタフェース (SCI)

### (2) クロック

SCIの送受信クロックは、SCSMR1の $\overline{C/A}$ ビットとシリアルコントロールレジスタ(SCSCR1)のCKE1、CKE0ビットの設定により、内蔵ポーレートジェネレータの生成した内部クロックまたは、SCK端子から入力された外部クロックの2種類から選択できます。SCIのクロックソースの選択については表15.9を参照してください。

外部クロックをSCK端子に入力する場合には、使用するビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図15.6に示すように送信データの中央にクロックの立ち上がりエッジがくるようになります。

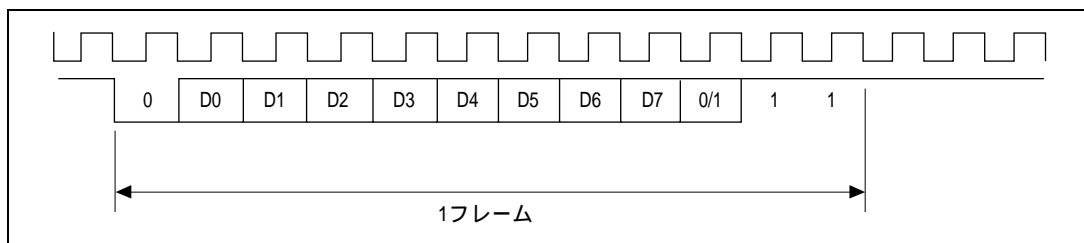


図15.6 出力クロックと通信データの位相関係 (調歩同期式モード)

## (3) データの送信 / 受信動作

- SCI の初期化 (調歩同期式)

データの送信 / 受信前には、まずSCSCR1のTEビット、およびREビットを0にクリアした後、以下の順でSCIを初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には必ず、TEビットおよびREビットを0にクリアしてから次の手順で変更を行ってください。TEビットを0にクリアするとTDREフラグは、1にセットされ、トランスミットシフトレジスタ (SCTSR1) が初期化されます。REビットを0にクリアしても、RDRF、PER、FER、ORERの各フラグ、およびレシーブデータレジスタ (SCRDR1) の内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図15.7にSCIの初期化フローチャートの例を示します。

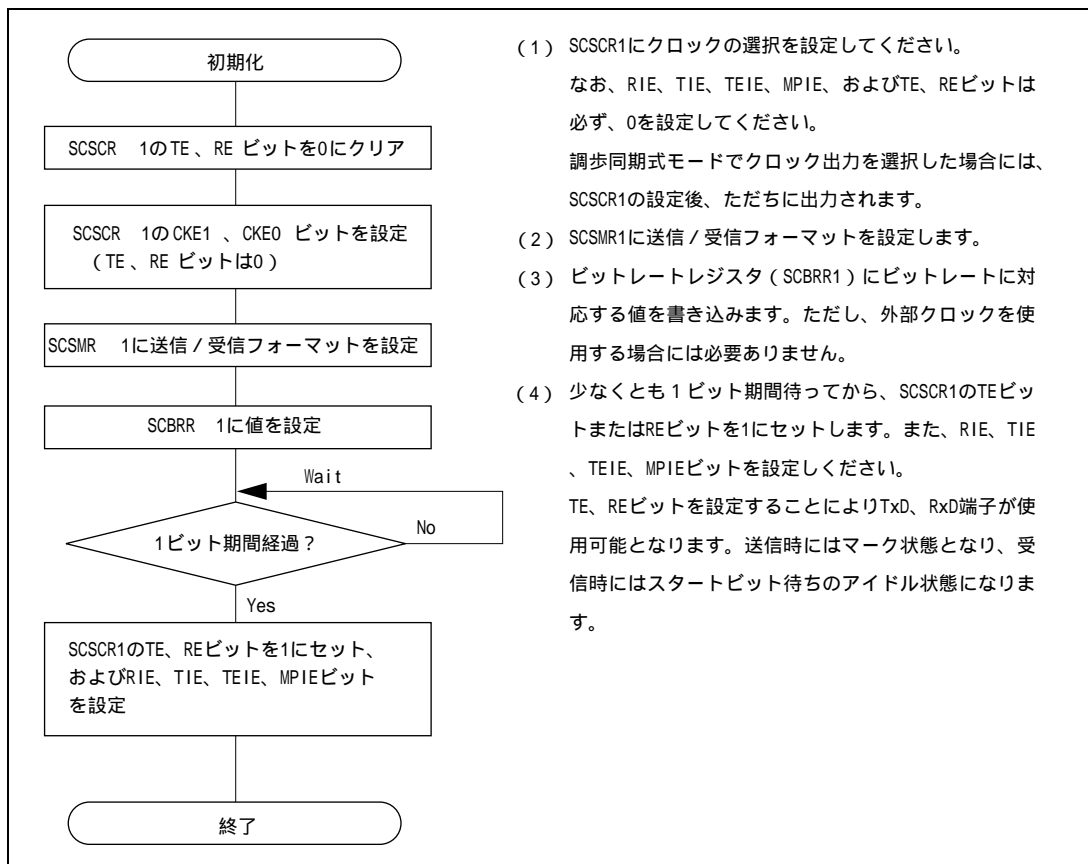


図15.7 SCIの初期化フローチャートの例

## 15. シリアルコミュニケーションインタフェース (SCI)

- シリアルデータ送信 (調歩同期式)

図15.8にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIを送信動作可能状態に設定した後、以下の手順に従って行ってください。

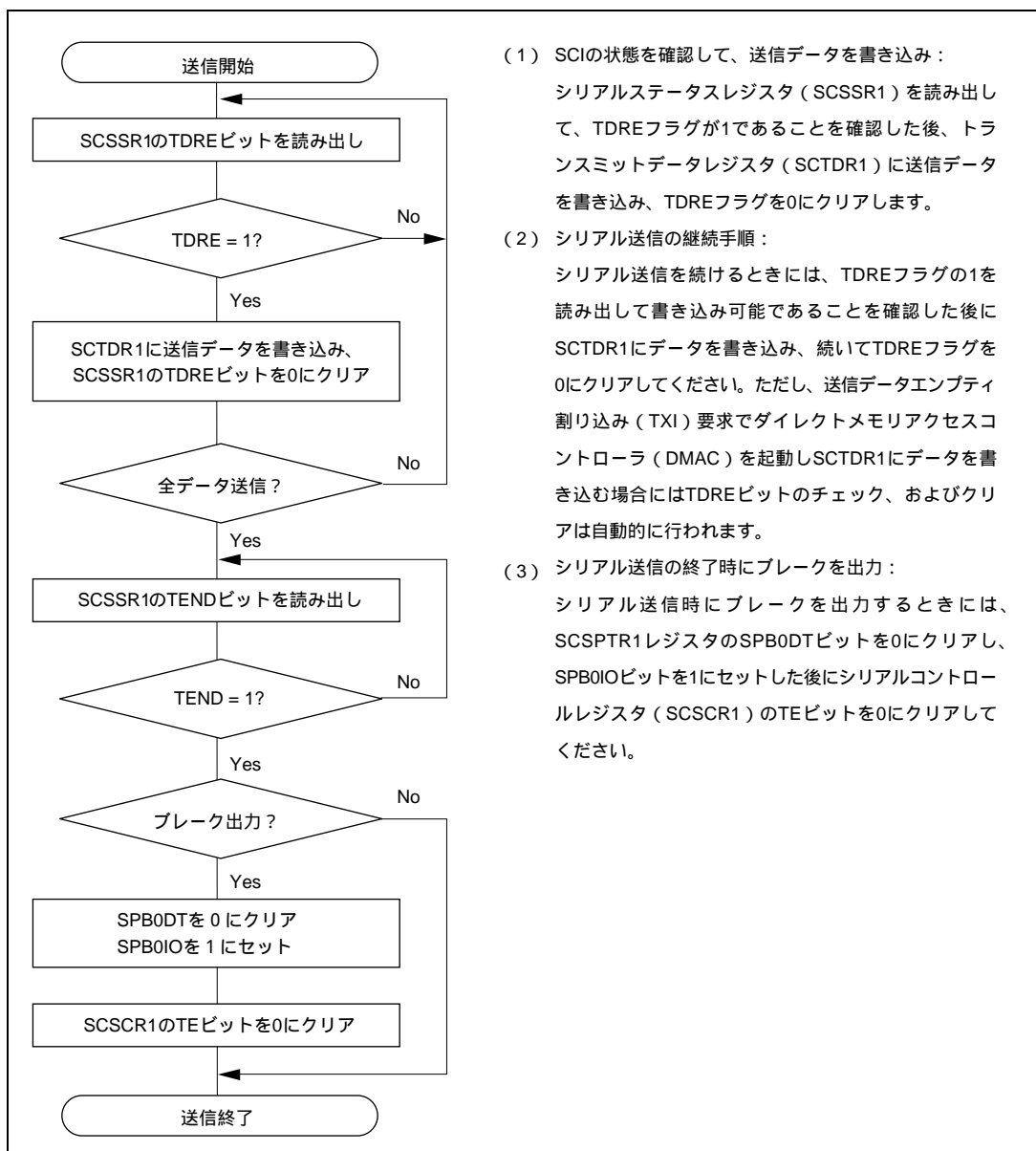


図15.8 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

- (1) SCI は、シリアルステータスレジスタ (SCSSR1) の TDRE フラグを監視し、0 であるとトランスミットデータレジスタ (SCTDR1) にデータが書き込まれたと認識し、SCTDR1 からトランスミットシフトレジスタ (SCTSR1) にデータを転送します。
- (2) SCTDR1 から SCTSR1 へデータを転送した後に TDRE フラグを 1 にセットし、送信を開始します。  
このとき、シリアルコントロールレジスタ (SCSCR1) の TIE ビットが 1 にセットされていると送信データエンプティ割り込み (TXI) 要求が発生します。

シリアル送信データは、以下の順に TxD 端子から送り出されます。

- (a) スタートビット：1 ビットの 0 が出力されます。
  - (b) 送信データ：8 ビット、または 7 ビットのデータが LSB から順に出力されます。
  - (c) パリティビットまたはマルチプロセッサビット：1 ビットのパリティビット (偶数パリティ、または奇数パリティ)、または 1 ビットのマルチプロセッサビットが出力されます。  
なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。
  - (d) ストップビット：1 ビットまたは 2 ビットの 1 (ストップビット) が出力されます。
  - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで 1 を出力し続けます。
- (3) SCI は、ストップビットを送出するタイミングで TDRE フラグをチェックします。  
TDRE フラグが 0 であると SCTDR1 から SCTSR1 にデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。  
TDRE フラグが 1 であるとシリアルステータスレジスタ (SCSSR1) の TEND フラグに 1 をセットし、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき SCSCR1 の TEIE ビットが 1 にセットされていると TEI 要求が発生します。

調歩同期式モードでの送信時の動作例を図 15.9 に示します。

## 15. シリアルコミュニケーションインタフェース (SCI)

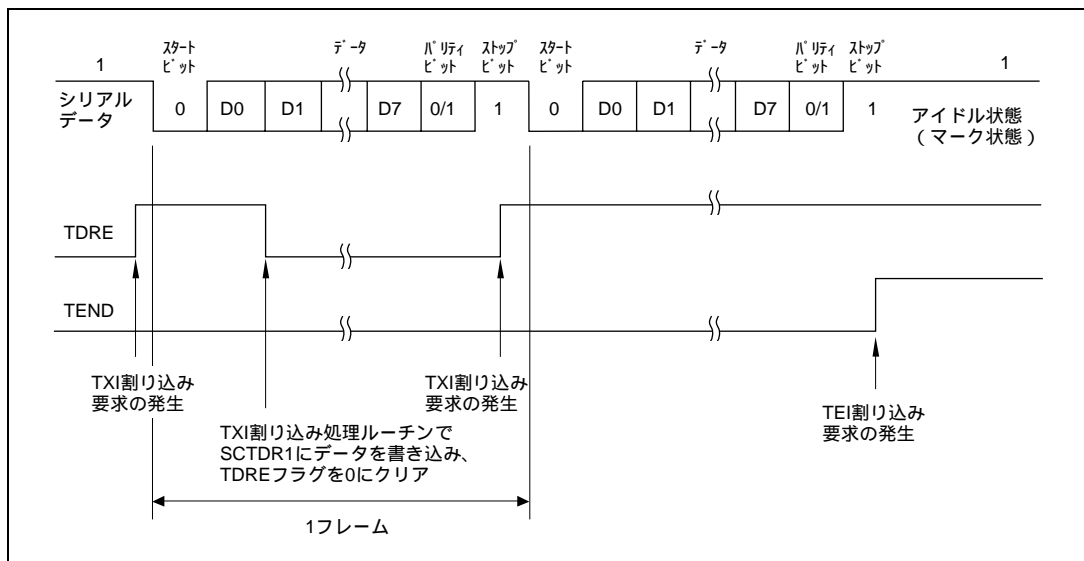


図15.9 調歩同期モードでの送信時の動作例  
(8ビットデータ/パリティあり/1ストップビットの例)



- シリアルデータ受信 (調歩同期式)

図15.10にシリアル受信フローチャートの例を示します。

シリアルデータ受信は、SCIを受信動作可能状態に設定した後、以下の手順に従って行ってください。

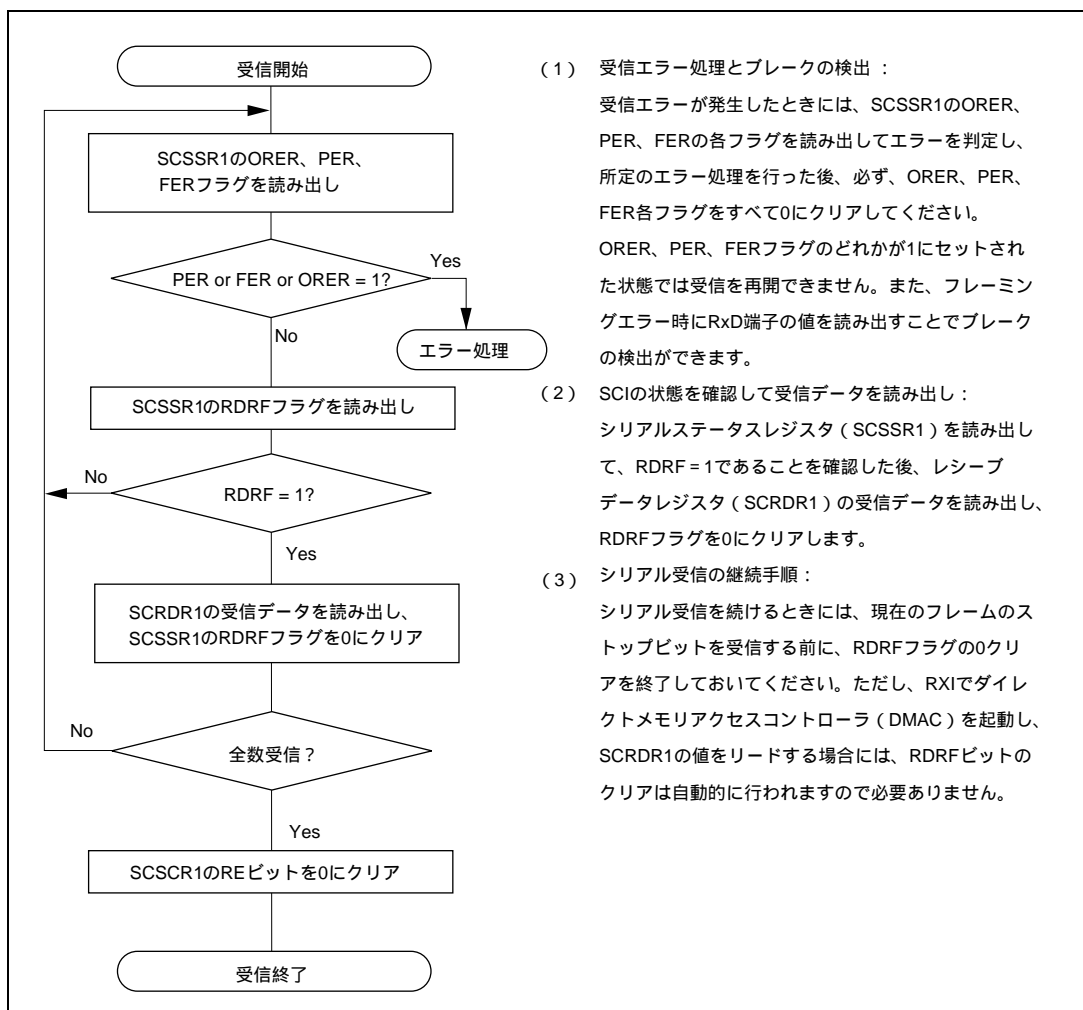


図15.10 シリアル受信のフローチャートの例 (1)

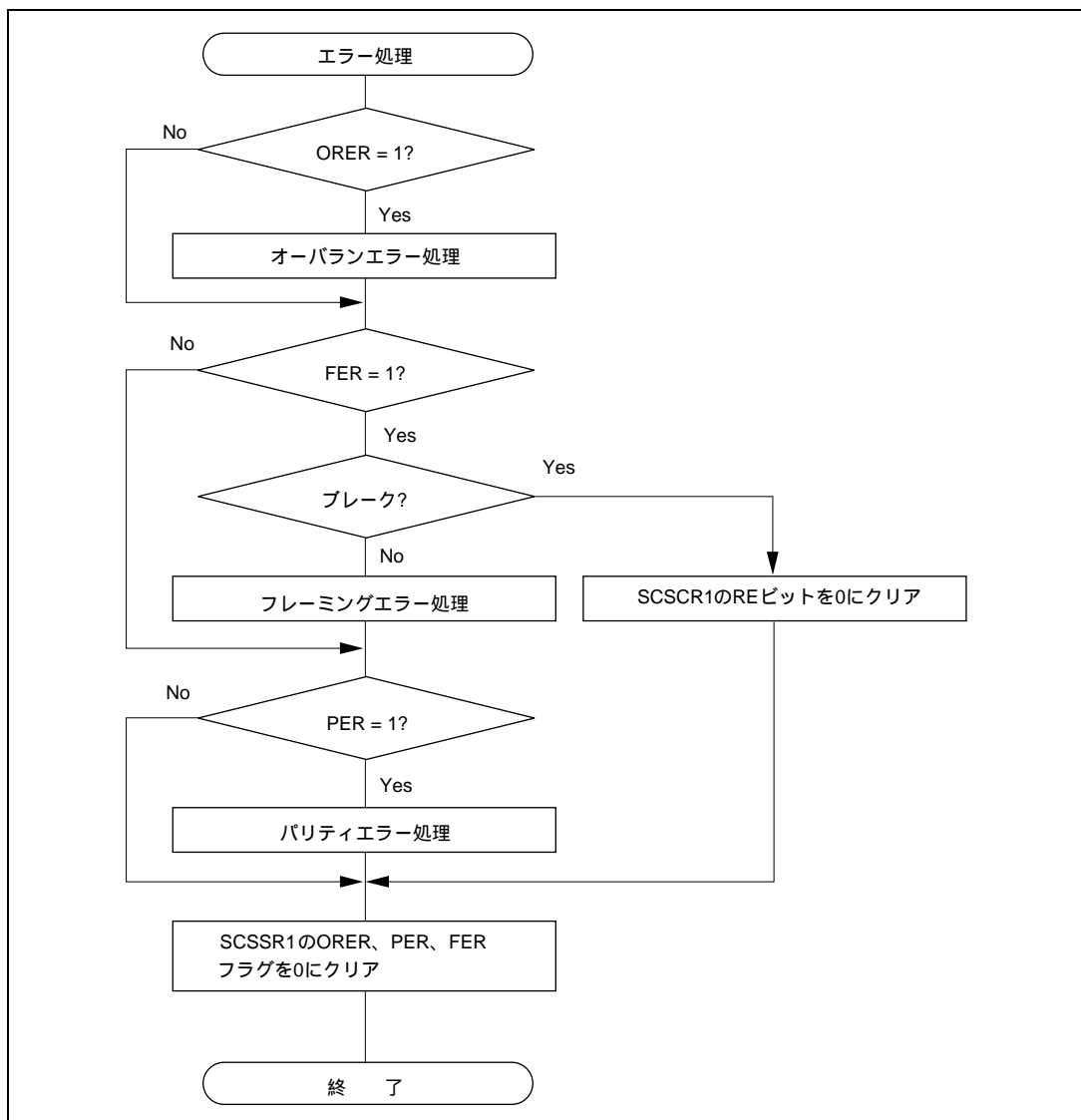


図15.10 シリアル受信のフローチャートの例 (2)

SCI は受信時に以下のように動作します。

- (1) SCI は通信回線を監視し、スタートビットの 0 を検出すると内部を同期化し、受信を開始します。
- (2) 受信したデータを SCRSR1 の LSB から MSB の順に格納します。
- (3) パリティビット、およびストップビットを受信します。

受信後、SCI は以下のチェックを行います。

- (a) パリティチェック：受信データの 1 の数をチェックし、これがシリアルモードレジスタ (SCSMR1) の O/E ビットで設定した偶数 / 奇数パリティになっているかをチェックします。
- (b) ストップビットチェック：ストップビットが 1 であるかをチェックします。  
ただし、2 ストップビットの場合、1 ビット目のストップビットのみをチェックします。
- (c) ステータスチェック：RDRF フラグが 0 であり、受信データをレシブシフトレジスタ (SCRSR1) から SCRDR1 に転送できる状態であるかをチェックします。

以上のチェックがすべてパスしたとき、RDRF フラグが 1 にセットされ、SCRDR1 に受信データが格納されます。

エラーチェックで受信エラーを発生すると表 15.11 のように動作します。

【注】 受信エラーが発生した状態では、以後の受信動作ができません。

また、受信時に RDRF フラグが 1 にセットされませんので、必ずエラーフラグを 0 にクリアしてください。

- (4) RDRF フラグが 1 になったとき、SCSPTR1 の EIO ビットが 0 に、SCSCR1 の RIE ビットが 1 にセットされていると受信データフル割り込み (RXI) 要求を発生します。  
また、ORER、PER、FER フラグのどれかが 1 になったとき、SCSCR1 の RIE ビットが 1 にセットされていると受信エラー割り込み (ERI) 要求を発生します。また、RDRF フラグが 1 になるとき、DMAC に対して受信データフル要求が常に出力されます。

表 15.11 受信エラーと発生条件

| 受信エラー名    | 略称   | 発生条件   | データ転送                           |
|-----------|------|--|---------------------------------|
| オーバランエラー  | ORER | SCSSR1 の RDRF フラグが 1 にセットされたまま次のデータ受信を完了したとき | SCRSR1 から SCRDR1 に受信データは転送されません |
| フレーミングエラー | FER  | ストップビットが 0 のとき                               | SCRSR1 から SCRDR1 に受信データが転送されず   |
| パリティエラー   | PER  | SCSMR1 で設定した偶数 / 奇数パリティの設定と受信したデータが異なるとき     | SCRSR1 から SCRDR1 に受信データが転送されず   |

## 15. シリアルコミュニケーションインタフェース (SCI)

調歩同期式モード受信時の動作例を図 15.11 に示します。

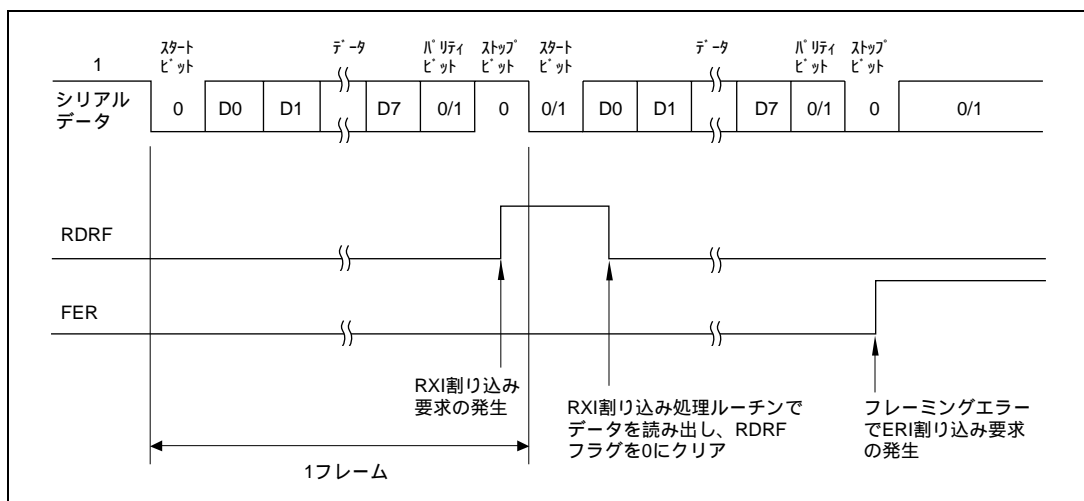


図15.11 SCIの受信時の動作例  
(8ビットデータ/パリティあり/1ストップビットの例)

### 15.3.3 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット（マルチプロセッサフォーマット）でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局は各々固有のIDコードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定するID送信サイクルとデータ送信サイクルの2つから構成されます。このID送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局のIDを、マルチプロセッサビット1を付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット0を付加したデータにして送信します。

受信局は、マルチプロセッサビット1のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット1のデータを受信したとき、受信局は自局のIDと比較します。そして、一致した局は続いて送信されるデータを受信します。一方一致しなかった局は、再びマルチプロセッサビット1のデータが送信されるまでは、データを読み飛ばします。このようにして複数のプロセッサ間のデータ送受信が行われます。

図 15.12 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

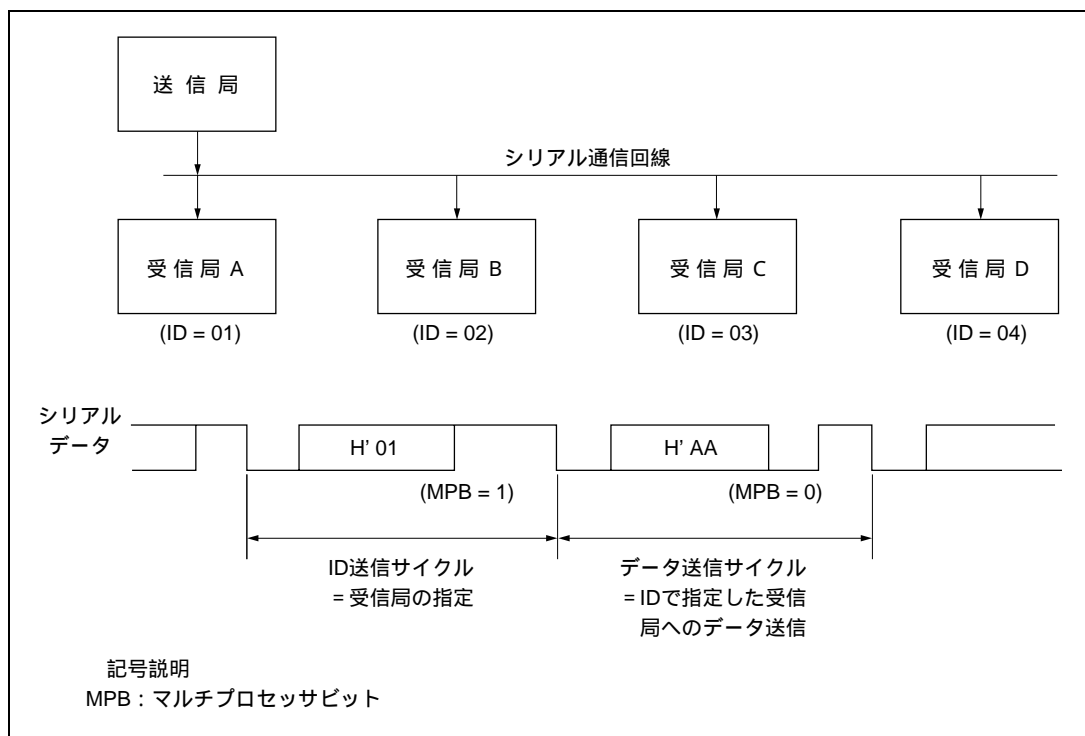


図15.12 マルチプロセッサフォーマットを使用したプロセッサ間通信の例  
(受信局 A へのデータ H'AA の送信の例)

(1) 送信 / 受信フォーマット

送信 / 受信フォーマットは 4 種類です。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。  
詳細は表 15.10 を参照してください。

(2) クロック

「15.3.2 (2) クロック」を参照してください。

(3) データの送信 / 受信動作

- マルチプロセッサシリアルデータ送信

図15.13にマルチプロセッサシリアル送信のフローチャートの例を示します。

マルチプロセッサシリアルデータ送信は、SCIを送信動作可能状態に設定した後、以下の手順に従って行ってください。

## 15. シリアルコミュニケーションインタフェース (SCI)

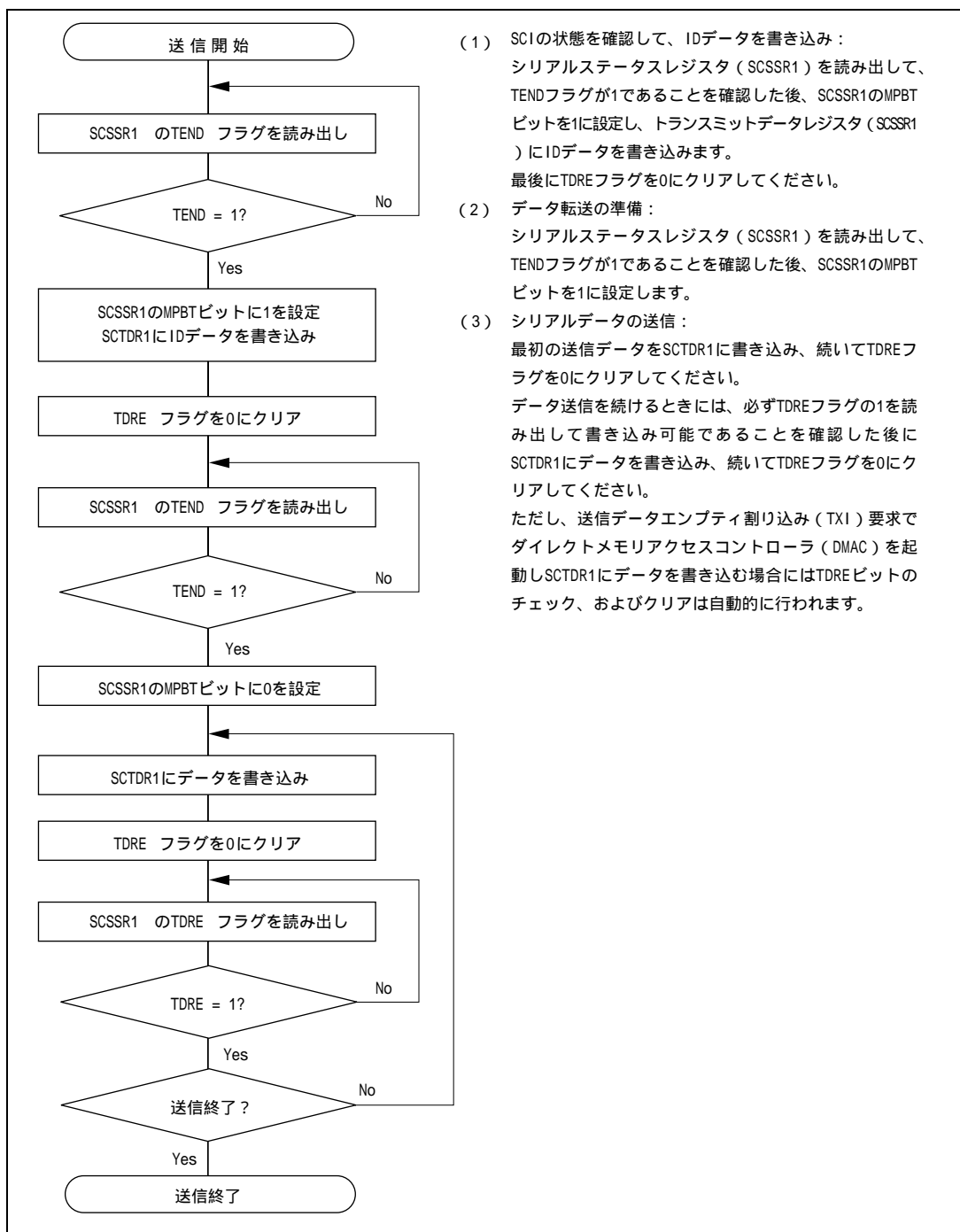


図15.13 マルチプロセッサシリアル送信のフローチャートの例

SCI は、シリアル送信時に以下のように動作します。

- (1) SCI は、SCSSR1 の TDRE フラグを監視し、0 であると SCTDR1 にデータが書き込まれたと認識し、SCTDR1 からトランスミットシフトレジスタ (SCTSR1) にデータを転送します。
- (2) SCTDR1 から SCTSR1 ヘデータを転送した後に TDRE フラグを 1 にセットし、送信を開始します。

シリアル送信データは、以下の順に TxD 端子から送り出されます。

- (a) スタートビット：1 ビットの 0 が出力されます。
  - (b) 送信データ：8 ビット、または 7 ビットのデータが LSB から順に出力されます。
  - (c) マルチプロセッサビット：1 ビットのマルチプロセッサビット (MPBT の値) が出力されます。
  - (d) ストップビット：1 ビット、または 2 ビットの 1 (ストップビット) が出力されます。
  - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで 1 を出力し続けます。
- (3) SCI は、ストップビットを送り出すタイミングで TDRE フラグをチェックします。  
TDRE フラグが 1 であるので SCSSR1 の TEND フラグを 1 にセットし、ストップビットを送り出した後、1 を出力するマーク状態になります。このとき SCSCR1 の送信終了割り込みイネーブルビット (TEIE) が 1 にセットされていると送信終了割り込み (TEI) 要求を発生します。
- (4) SCI は TDRE ビットを再び監視し、0 であると SCTDR1 にデータが書き込まれたと認識し、SCTDR1 からトランスミットシフトレジスタ (SCTSR1) にデータを転送します。
- (5) SCTDR1 から SCTSR1 ヘデータを転送した後に TDRE フラグを 1 にセットし、送信を開始します。  
このとき、SCSCR1 の送信データエンプティ割り込みイネーブルビット (TIE) が 1 にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。  
送信の順番は(2)と同様です。

図 15.14 にマルチプロセッサフォーマットの SCI の送信時の動作例を示します。

## 15. シリアルコミュニケーションインタフェース (SCI)

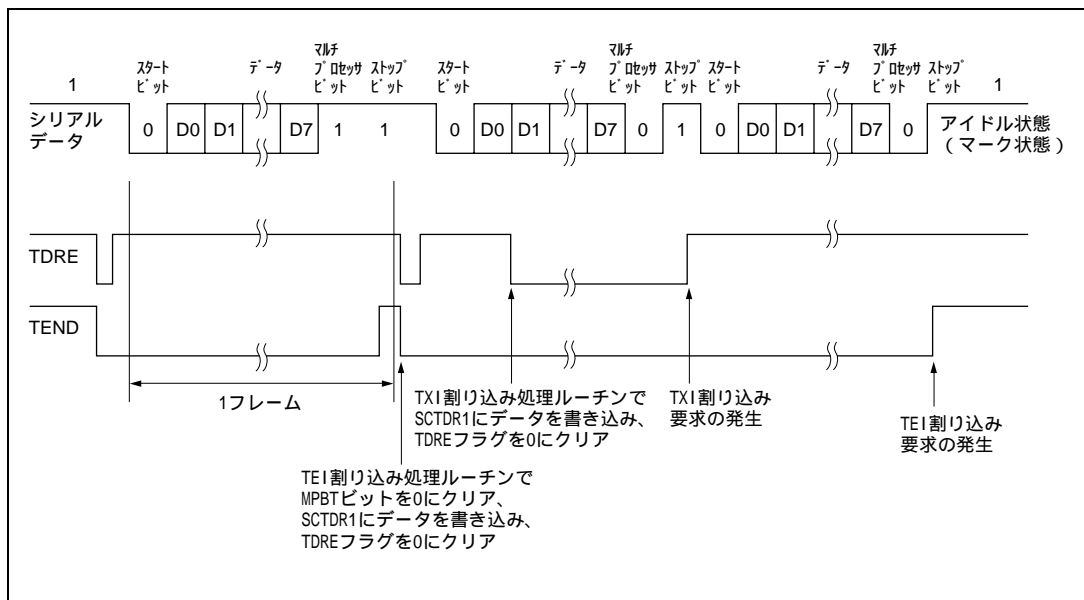


図15.14 SCIの送信時の動作例

(8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)

- マルチプロセッサシリアルデータ受信

図 15.15 にマルチプロセッサシリアル受信のフローチャートの例を示します。

マルチプロセッサシリアルデータ受信は、SCIを受信動作可能状態に設定した後、以下の手順に従って行ってください。



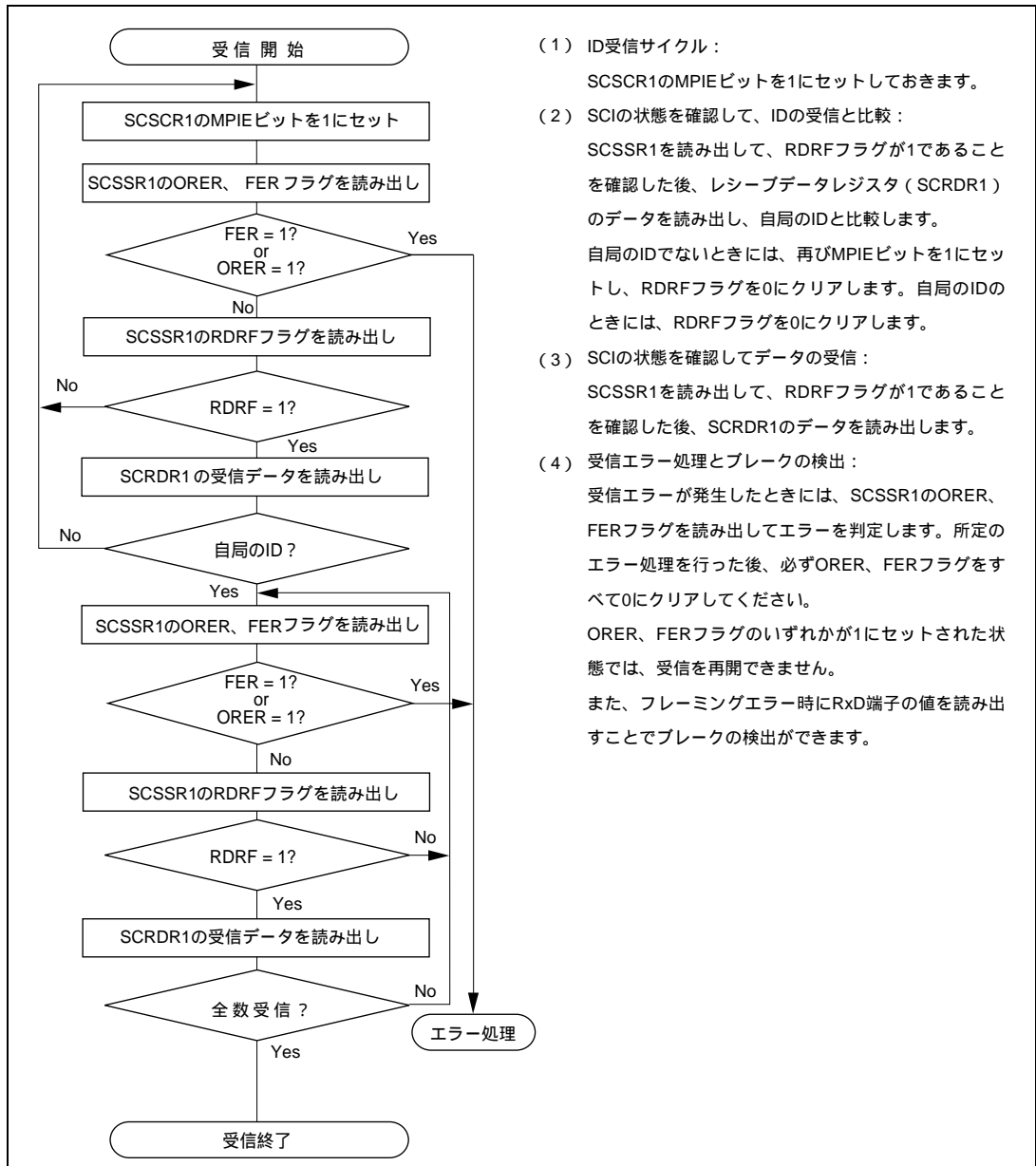


図15.15 マルチプロセッサシリアル受信のフローチャートの例 (1)

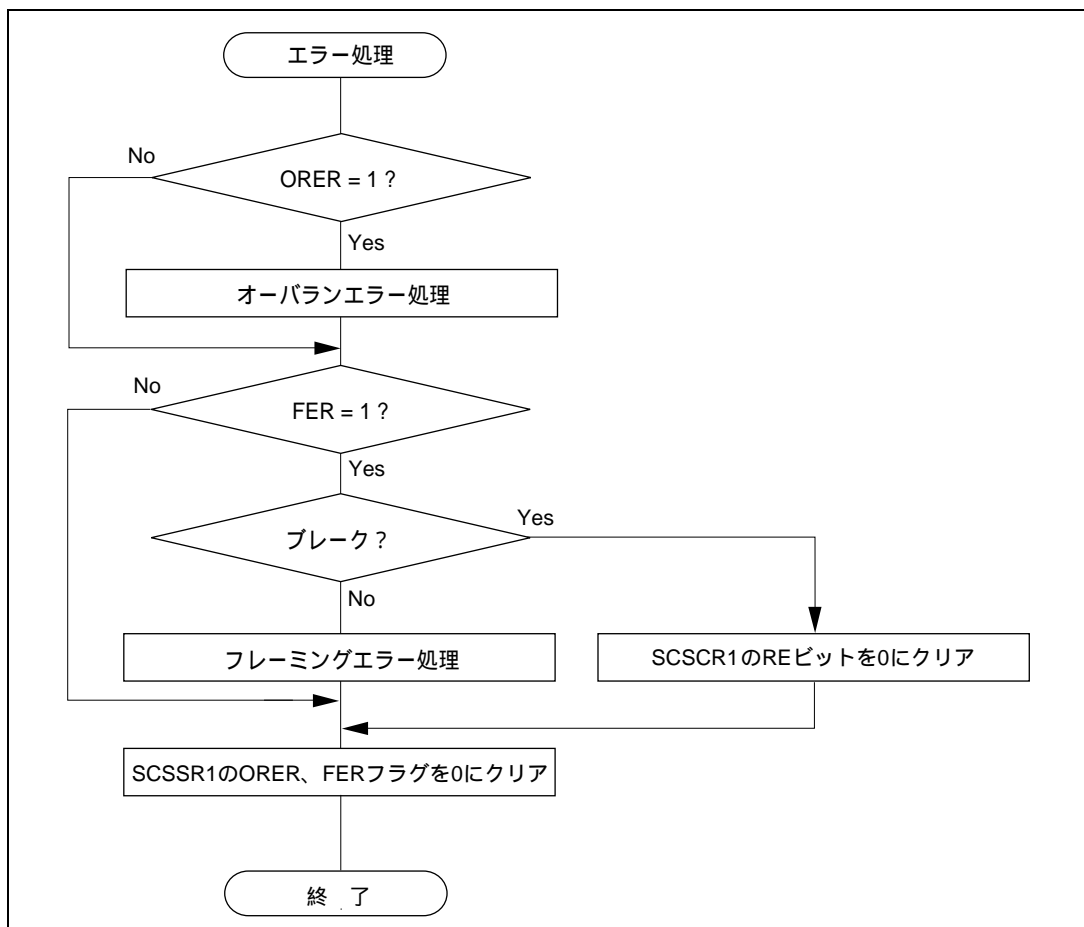


図15.15 マルチプロセッサシリアル受信のフローチャートの例 (2)

図 15.16 にマルチプロセッサフォーマットの SCI の受信時の動作例を示します。

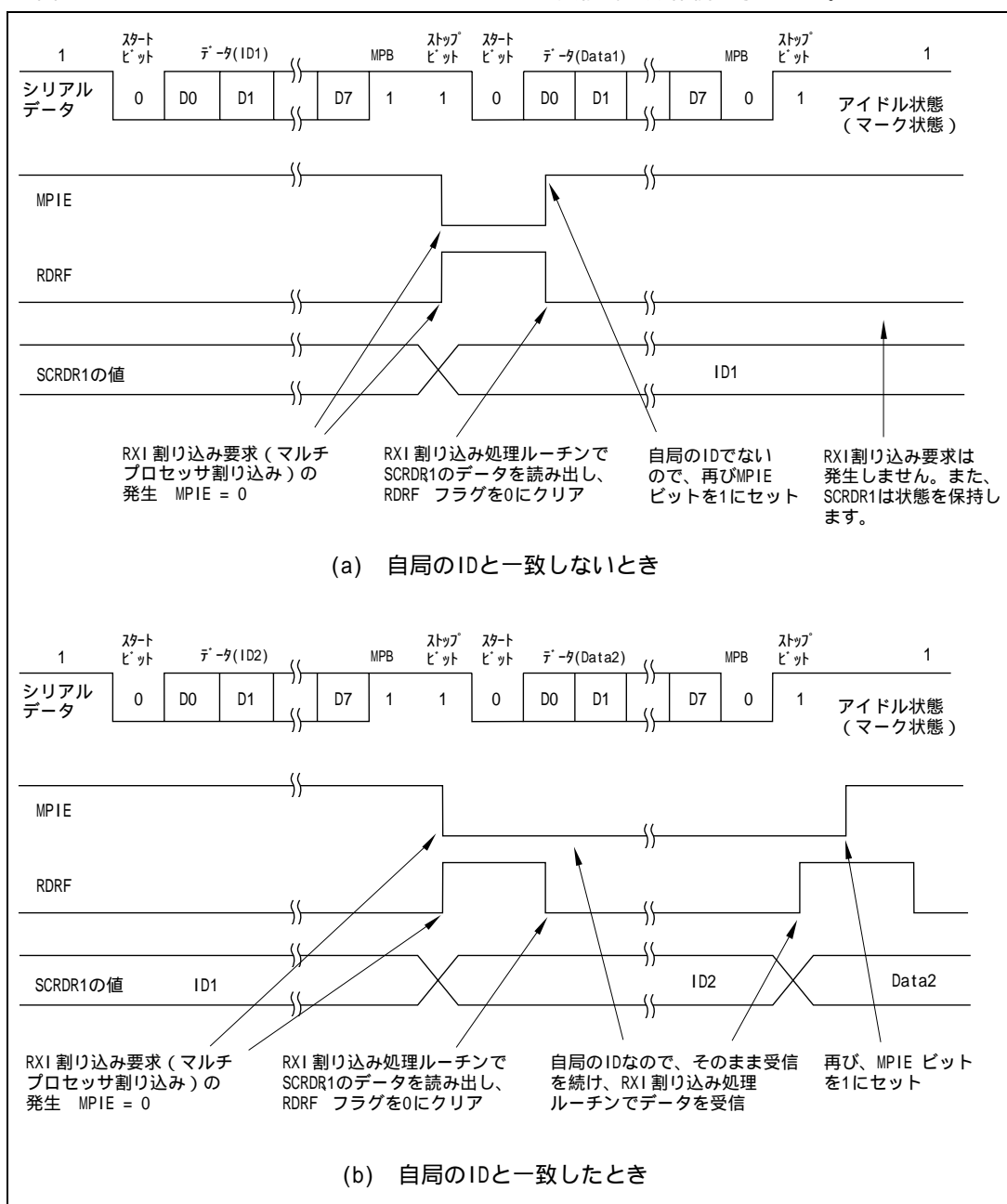


図15.16 SCIの受信時の動作例  
(8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)

## 15. シリアルコミュニケーションインタフェース (SCI)

SCI はマルチプロセッサモードのシリアル受信時に以下のように動作します。

- (1) SCI は、通信回線を監視し、スタートビットの 0 を検出すると内部を同期化し、受信を開始します。
- (2) 受信したデータを SCRSR1 の LSB から MSB の順に格納します。
- (3) MPIE が 1 の場合、マルチプロセッサビットの位置で 1 を受信すると MPIE ビットを 0 にクリアします。マルチプロセッサビットが 0 の場合には MPIE ビットは変化しません。マルチプロセッサビットの値は SCSSR1 の MPB ビットに転送されます。
- (4) MPIE が 0 であれば、ストップビットの位置で RDRF を調べ、RDRF が 1 であるとオーバーランエラーのビットを立てます。ストップビットが 0 でないとフレーミングエラーのビットを立てます。RDRF が 0 であれば SCRDR1 に SCRSR1 の値を転送し、ストップビットが 0 であれば、RDRF を 1 に設定します。  
MPIE が 1 のままであれば SCI は受信したデータを無視します。

### 15.3.4 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。

SCI 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部が共にダブルバッファ構造になっていますので送信 / 受信中にデータの読み出し / 書き込みができ、連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 15.17 に示します。

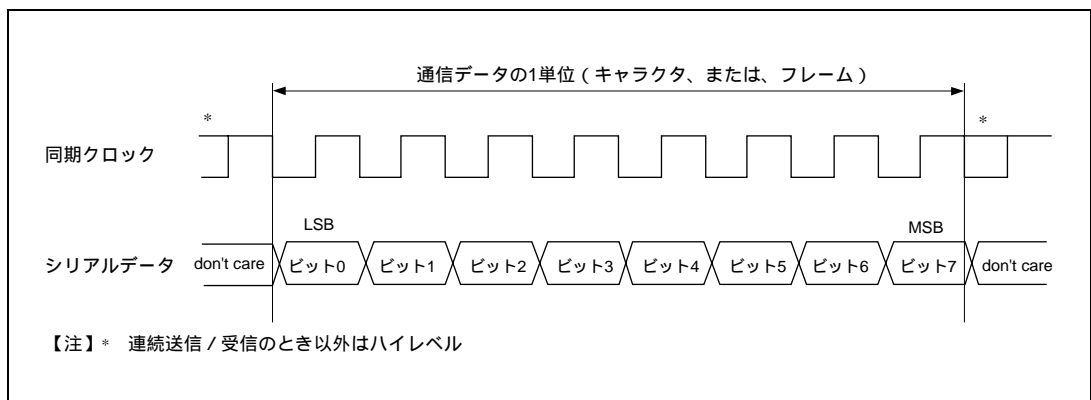


図15.17 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力されます。MSB出力後の通信回線の状態はMSBの状態を保ちます。

クロック同期式モードでは、SCIは同期クロックの立ち上がりに同期してデータを受信します。

#### (1) 送信 / 受信フォーマット

8ビットデータ固定です。

パリティビットやマルチプロセッサビットの付加はできません。

## (2) クロック

SCSMR1 の C/A ビットと SCSCR1 の CKE1、CKE0 ビットの設定により内蔵ボーレートジェネレータの生成した内部クロック、または、SCK 端子から入力された外部同期クロックの 2 種類から選択できます。SCI のクロックソースの選択については表 15.9 を参照してください。

内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。

同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信 / 受信を行わないときにはハイレベルに固定されます。受信動作のみの場合、内蔵クロックソースを選択すると RE = 1 の間クロックパルスが出力されます。最後のデータを受信した場合、ビット 7 の終了よりも前に RE を 0 にしてください。

## (3) データの送信 / 受信動作

- SCI のイニシャライズ (クロック同期式)

データの送信 / 受信前にシリアルコントロールレジスタ (SCSCR1) の TE、および RE ビットを 0 にクリアした後、以下の手順で SCI を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、および RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると TDRE フラグは 1 にセットされ、トランスミットシフトレジスタ (SCTSR1) が初期化されます。

RE ビットを 0 にクリアしても RDRE、PER、FER、ORER の各フラグ、およびレシーブデータレジスタ (SCRDR1) の内容は保持されますので注意してください。

図 15.18 に SCI の初期化フローチャートの例を示します。

## 15. シリアルコミュニケーションインタフェース (SCI)

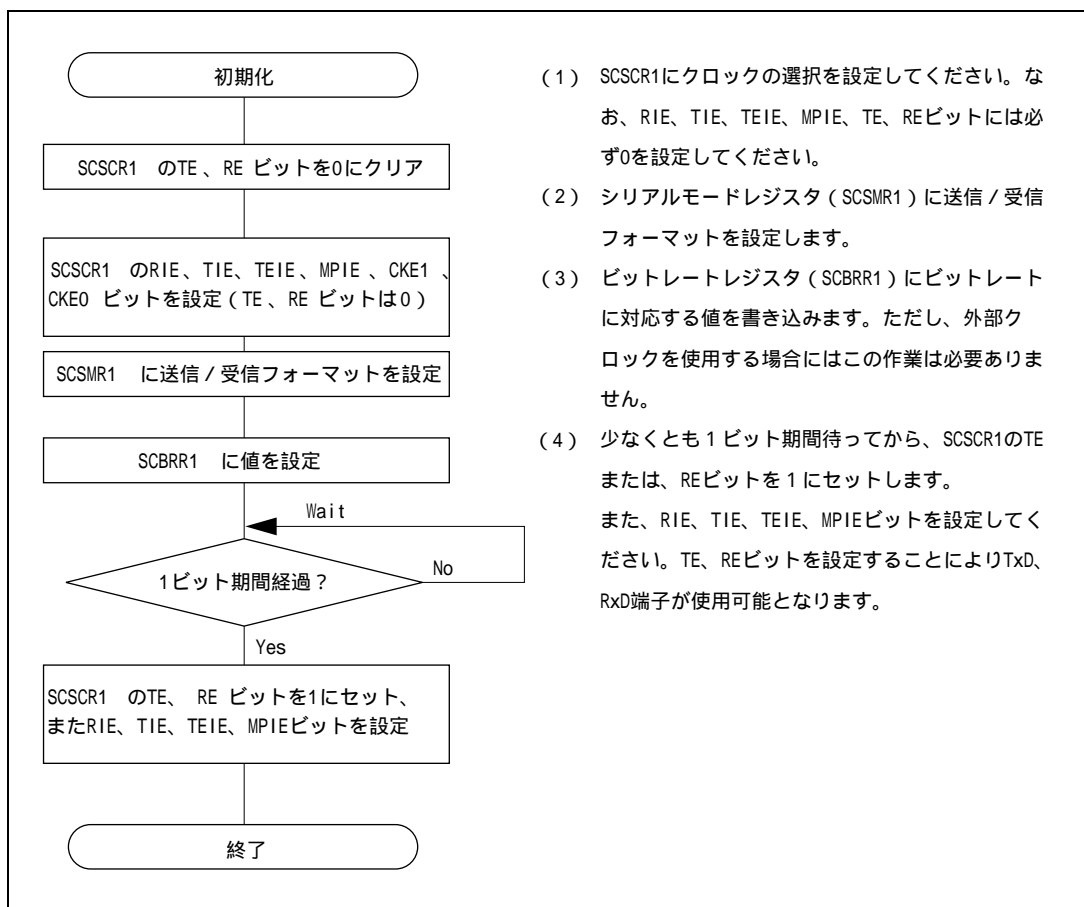


図 15.18 SCI の初期化フローチャートの例

- シリアルデータ送信 (クロック同期式)

図15.19にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIを送信動作可能状態に設定した後、以下の手順で行ってください。

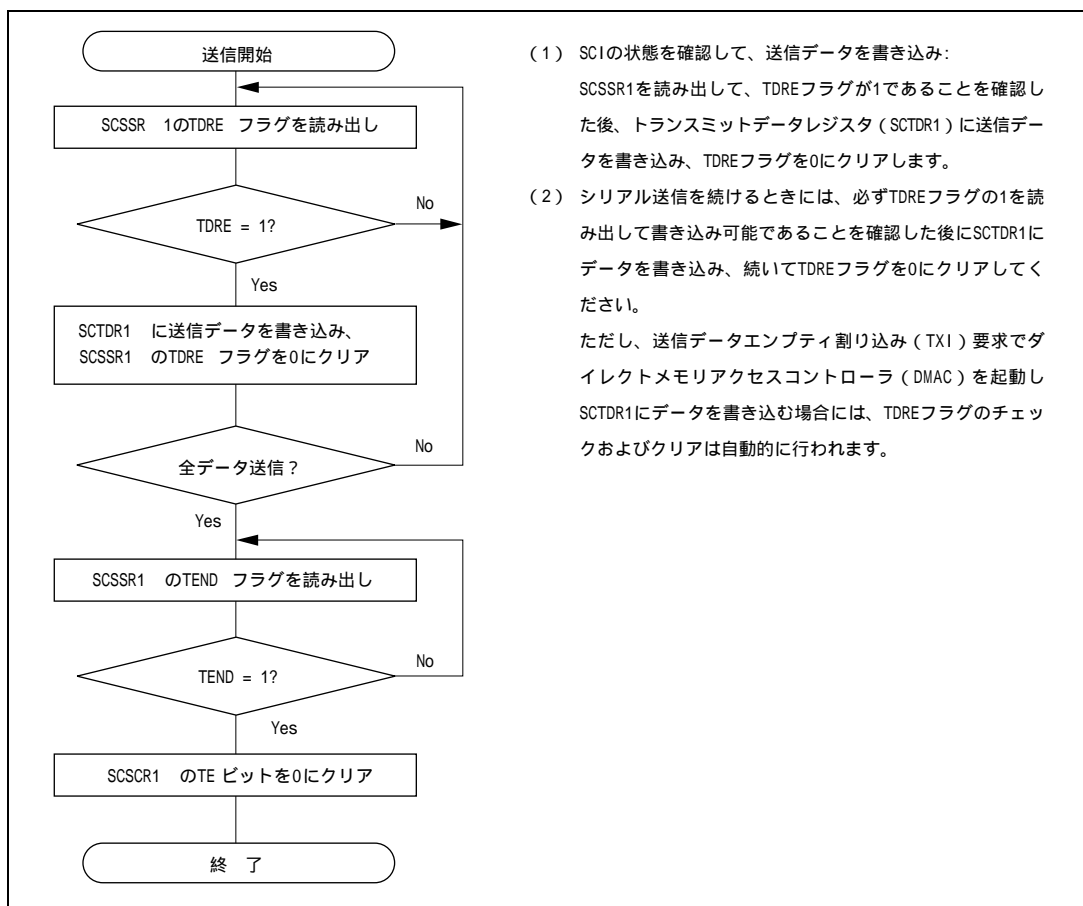


図15.19 シリアル送信のフローチャートの例

SCIはシリアル送信時に以下のように動作します。

(1) SCIは、シリアルステータスレジスタ (SCSSR1) のTDREフラグを監視し、0であるとトランスミットデータレジスタ (SCTDR1) にデータが書き込まれたと認識し、SCTDR1からトランスミットシフトレジスタ (SCTSR1) にデータを転送します。

(2) SCTDR1からSCTSR1へデータを転送した後にTDREフラグを1にセットし、送信を開始します。

このとき、シリアルコントロールレジスタ (SCSCR1) の送信データエンpty割り込みイネーブルビット (TIE) が1にセットされていると送信データエンpty割り込み (TXI) 要求が発生します。

クロック出力モードに設定したときには、SCIは同期クロックを8パルス出力します。

外部クロックに設定したときには、入力クロックに同期してデータを出力します。

## 15. シリアルコミュニケーションインタフェース (SCI)

シリアル送信データは、LSB (ビット 0) ~ MSB (ビット 7) の順に TxD 端子から送り出されます。

- (3) SCI は、MSB (ビット 7) を送り出すタイミングで TDRE フラグをチェックします。

TDRE フラグが 0 であると SCTDR1 から SCTSR1 にデータを転送し、次フレームのシリアル送信を開始します。

TDRE フラグが 1 であるとシリアルステータスレジスタ (SCSSR1) の TEND フラグを 1 にセットし、MSB (ビット 7) を送り出した後、トランスミットデータ端子 (TxD 端子) は状態を保持します。

このとき SCSSR1 の送信終了割り込みイネーブルビット (TEIE) が 1 にセットされていると送信終了割り込み要求 (TEI) を発生します。

- (4) シリアル送信終了後は、SCK 端子はハイレベル固定になります。

図 15.20 に SCI の送信時の動作例を示します。

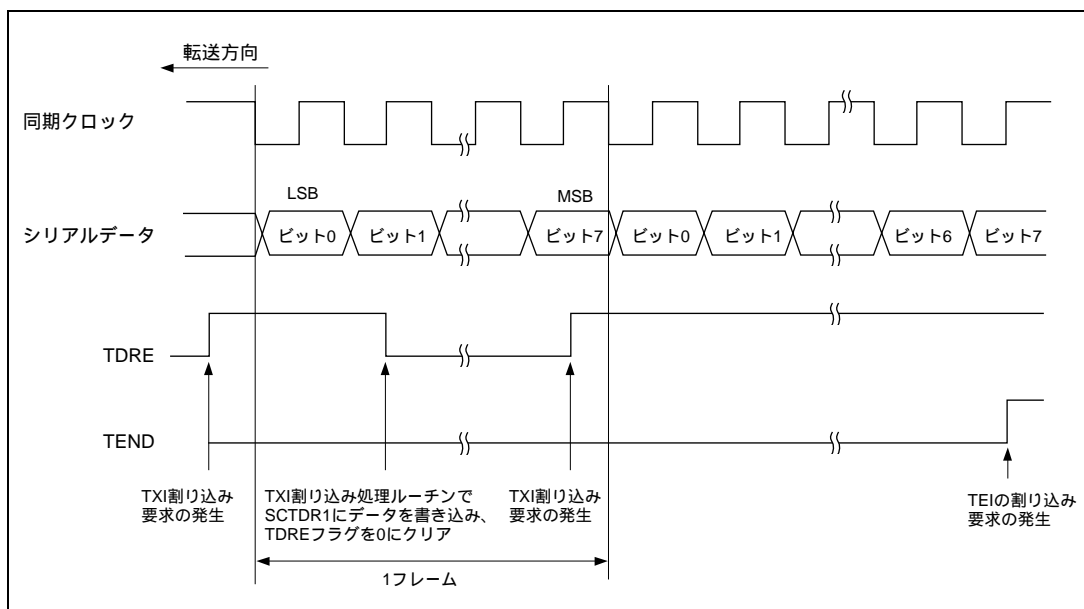


図15.20 SCIの送信時の動作例

- シリアルデータ受信 (クロック同期式)

図 15.21 にシリアル受信のフローチャートの例を示します。

シリアルデータ受信は、SCIを受信動作可能状態に設定した後、以下の手順に従って行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り換える際には、必ず、ORER、PER、FERの各フラグが0にクリアされていることを確認してください。

FER、PERフラグが1にセットされているとRDRFフラグがセットされません。また、送信 / 受信動作が行えません。



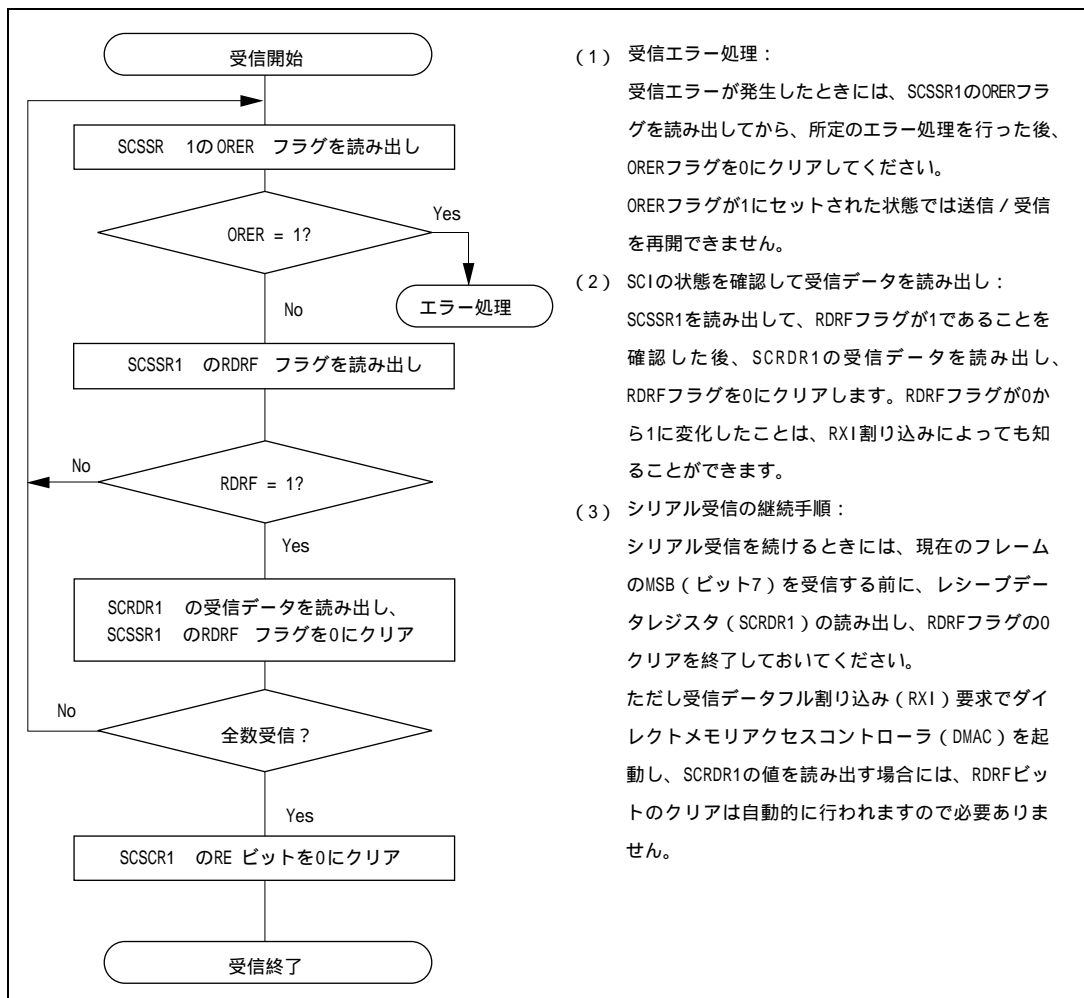


図15.21 シリアルデータ受信フローチャートの例（1）

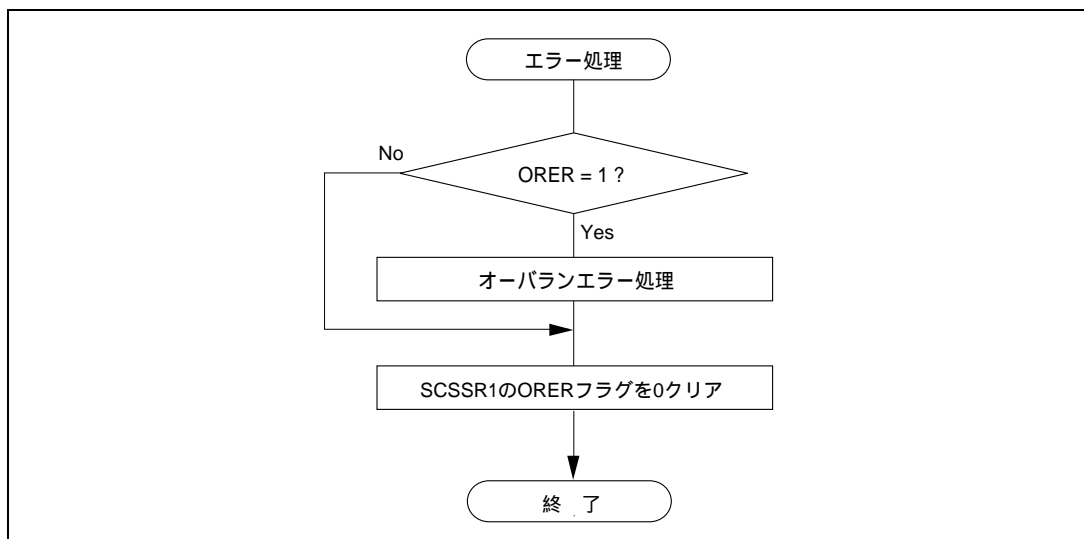


図15.21 シリアルデータ受信フローチャートの例 (2)

SCI は受信時に以下のように動作します。

- (1) SCI は同期クロックの入力または出力に同期して内部を初期化します。
- (2) 受信したデータをレシーブシフトレジスタ (SCRSR1) の LSB から MSB の順に格納します。  
 受信後、SCI は RDRF フラグが 0 であり、受信データを SCRSR1 からレシーブデータレジスタ (SCRDR1) に転送できる状態であるかをチェックします。  
 このチェックがパスしたとき RDRF フラグが 1 にセットされ、SCRDR1 に受信データが格納されます。  
 エラーチェックで受信エラーが発生すると表 15.11 のように動作し、この状態では以後の送信、受信動作ができません。  
 また、受信時に RDRF フラグが 1 にセットされませんので、必ずフラグを 0 にクリアしてください。
- (3) RDRF フラグが 1 になったとき、シリアルコントロールレジスタ (SCSCR1) の RIE ビットが 1 にセットされていると受信データフル割り込み (RXI) 要求が発生します。  
 また、ORER フラグが 1 になったとき、SCSCR1 の RIE ビットが 1 にセットされていると受信エラー割り込み (ERI) 要求が発生します。

図 15.22 に SCI の受信時の動作例を示します。

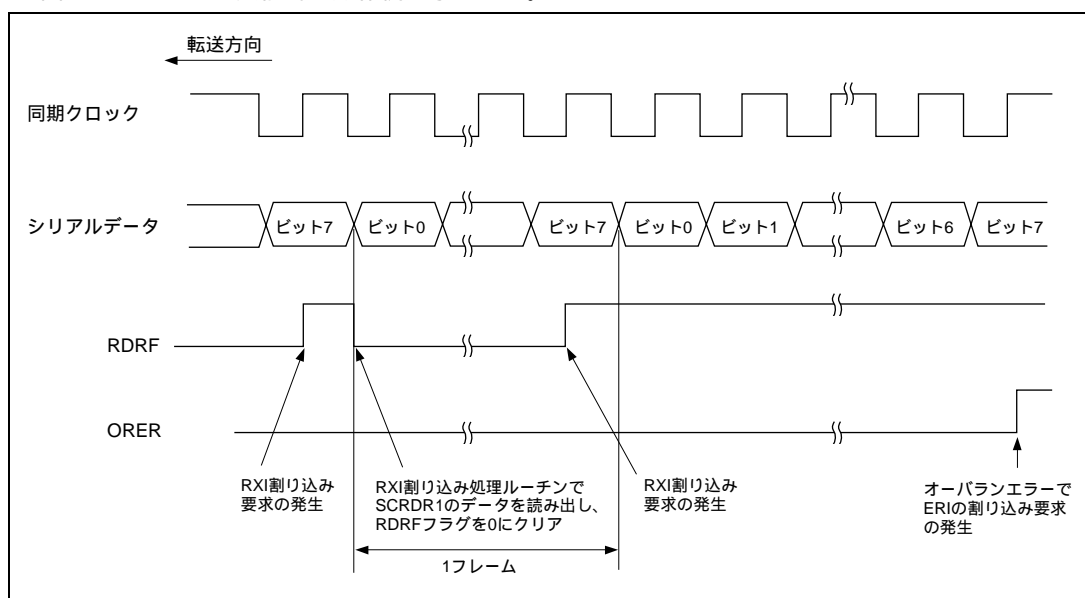


図15.22 SCIの受信時の動作例

- シリアルデータ送受信同時動作（クロック同期式）

図 15.23 にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータ送受信同時動作は、SCIを送受信動作可能状態に設定した後、以下の手順に従って行ってください。

## 15. シリアルコミュニケーションインタフェース (SCI)

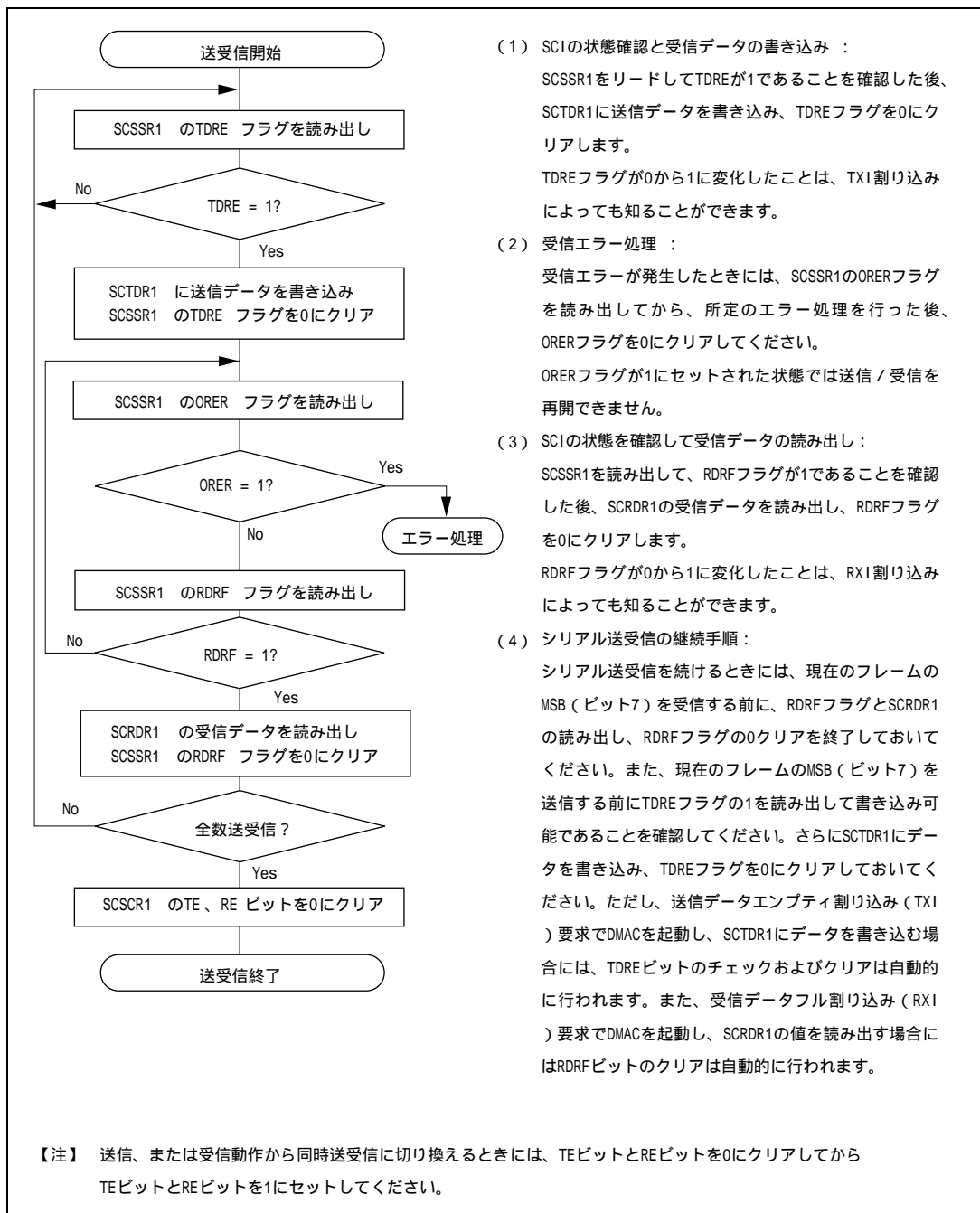


図15.23 シリアルデータ送受信フローチャートの例

## 15.4 SCI の割り込み要因と DMAC

SCI は、送信終了割り込み (TEI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、送信データエンプティ割り込み (TXI) 要求の 4 種類の割り込み要因を持っています。

表 15.12 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSCR1 の TIE、RIE、TEIE ビット、および SCSPTR1 の EIO ビットで、許可または禁止ができます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

シリアルステータスレジスタ (SCSSR1) の TDRE フラグが 1 にセットされると、割り込み要求とは別に TDR エンプティ 要求が発生します。TDR エンプティ 要求で、ダイレクトメモリアクセスコントローラ (DMAC) を起動してデータ転送を行うことができます。TDRE フラグは DMAC によるトランスミットデータレジスタ (SCTDR1) への書き込みが行われると自動的に 0 にクリアされます。

SCSSR1 の RDRF フラグが 1 にセットされると、割り込みとは別に RDR フル 要求が発生します。RDR フル 要求で、DMAC を起動して、データ転送を行うことができます。

RDRF フラグは DMAC によるレシーブデータレジスタ (SCRDR1) の読み出しが行われると、自動的に 0 にクリアされます。

また、SCSSR1 の ORER、FER フラグまたは PER が 1 にセットされると、ERI 割り込み要求が発生します。この ERI 割り込み要求で DMAC の起動はできません。DMAC で受信データの処理を行い、CPU への割り込みで受信エラー処理を行う場合、RIE ビットを 1 に設定するとともに、SCSPTR1 の EIO ビットを 1 にセットし受信エラーのみで割り込みエラーが発生するようにしてください。EIO ビットを 0 に設定しますと正常なデータ受信時にも CPU への割り込みが発生してしまいます。

さらに、SCSSR1 の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。この TEI 割り込み要求で DMAC の起動はできません。

なお、TXI 割り込みは送信データを書き込み可能なことを示し、TEI 割り込みは送信動作が終了したことを示しています。

表 15.12 SCI 割り込み要因

| 割り込み要因 | 内容                           | DMAC の起動 | リセット解除時の優先順位 |
|--------|------------------------------|----------|--------------|
| ERI    | 受信エラー (ORER、FER、PER) による割り込み | 不可       | 高            |
| RXI    | 受信データフル (RDRF) による割り込み       | 可        |              |
| TXI    | 送信データエンプティ (TDRE) による割り込み    | 可        |              |
| TEI    | 送信終了 (TEND) による割り込み          | 不可       | 低            |

優先順位、SCI 以外の割り込みとの関係は、「第 5 章 例外処理」を参照してください。

## 15.5 使用上の注意

SCI を使用する際は、以下のことに注意してください。

### (1) SCTDR1 への書き込みと TDRE フラグの関係について

シリアルステータスレジスタ (SCSSR1) の TDRE フラグはトランスミットデータレジスタ (SCTDR1) からトランスミットシフトレジスタ (SCTSR1) に送信データの転送が行われたことを示すステータスフラグです。SCI が SCTDR1 から SCTSR1 にデータを転送すると、TDRE フラグが 1 にセットされます。

SCTDR1 へのデータの書き込みは、TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを SCTDR1 に書き込むと、SCTDR1 に格納されていたデータは、まだ SCTSR1 に転送されていないため失われてしまいます。したがって SCTDR1 への送信データの書き込みは、必ず TDRE フラグが 1 にセットされていることを確認

## 15. シリアルコミュニケーションインタフェース (SCI)

してから行ってください。

### (2) 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SCSSR1の各ステータスフラグの状態は、表15.13のようになります。また、オーバランエラーが発生した場合にはレシープシフトレジスタ (SCRSR1) からレシープデータレジスタ (SCRDR1) へのデータ転送は行われず、受信データは失われます。

表 15.13 SCSSR1 のステータスフラグの状態と受信データの転送

| 受信エラーの状態                          | SCSSR1 のステータスフラグ |      |     |     | 受信データ<br>転送<br>SCRSR1<br>SCRDR1 |
|-----------------------------------|------------------|------|-----|-----|---------------------------------|
|                                   | RDRF             | ORER | FER | PER |                                 |
| オーバランエラー                          | 1                | 1    | 0   | 0   | ×                               |
| フレーミングエラー                         | 0                | 0    | 1   | 0   |                                 |
| パリティエラー                           | 0                | 0    | 0   | 1   |                                 |
| オーバランエラー + フレーミングエラー              | 1                | 1    | 1   | 0   | ×                               |
| オーバランエラー + パリティエラー                | 1                | 1    | 0   | 1   | ×                               |
| フレーミングエラー + パリティエラー               | 0                | 0    | 1   | 1   |                                 |
| オーバランエラー + フレーミングエラー<br>+ パリティエラー | 1                | 1    | 1   | 1   | ×                               |

：SCRSR1 SCRDR1 に受信データを転送します。

×：SCRSR1 SCRDR1 に受信データを転送しません。

### (3) ブレークの検出と処理について

フレーミングエラー (FER) 検出時にRxD端子の値を直接読み出すことで、ブレークを検出できます。ブレークでは、RxD端子からの入力すべて0になりますのでFERフラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCIは、ブレークを受信した後も受信動作を続けますので、FERフラグを0にクリアしても再び1にセットされますので、注意してください。

### (4) ブレークの送り出し

TxD端子は、シリアルポートレジスタ (SCSPTR1) のSPB0IO、SPB0DTビットで入出力条件とレベルを決めることができます。これを使ってブレークの送り出しができます。

シリアル送信の初期化からTEビットを1にセット (送信可能) するまでは、TxD端子として機能しません。この間は、マーク状態はSPB0DTビットの値で代替えされます。このため、最初はSPB0IOとSPB0DTビットを1に設定 (出力、ハイレベル) しておきます。

シリアル送信時にブレークを送り出したいときはSPB0DTビットを0にクリア (ローレベル) した後、TEビットを0にクリア (送信停止) します。TEビットを0にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD端子からは0が出力されます。

### (5) 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が1にセットされた状態では、TDREフラグを1にセットしても送信を開始できません。必ず送信開始時には、受信エラーフラグを0にクリアしておいてください。

また、REビットを0にクリアしても受信エラーフラグは0にクリアできませんので注意してください。

### (6) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIは転送レートの16倍の周波数の基本クロックで動作しています。

受信時にSCIは、スタートビットの立ち下がりを基本クロックでサンプリングして、内部を

同期化します。また、受信データを基本クロックの8クロック目の立ち上がりエッジで内部に取り込みます。

これを図15.24に示します。

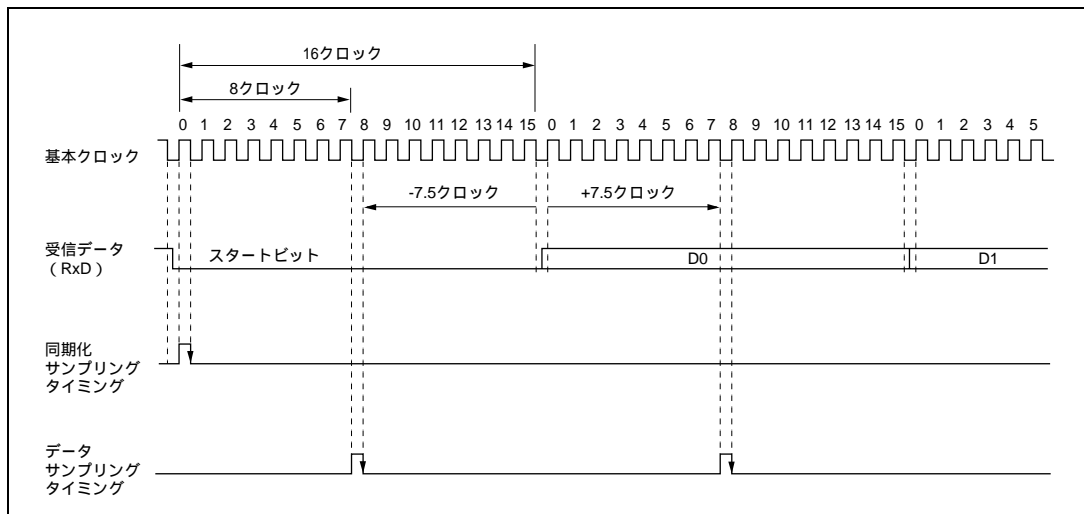


図15.24 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式(1)のように表すことができます。

$$M = \left| \left( 0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100\% \dots \text{式(1)}$$

M: 受信マージン (%)

N: クロックに対するビットレートの比 (N=16)

D: クロックデューティ (D=0~1.0)

L: フレーム長 (L=9~12)

F: クロック周波数の偏差の絶対値

式(1)で、F=0、D=0.5 とすると、受信マージンは式(2)より 46.875% となります。

D = 0.5、F=0 のとき

$$M = \left( 0.5 - \frac{1}{2 \times 16} \right) \times 100\%$$

$$= 46.875\%$$

.....式(2)

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

## 15. シリアルコミュニケーションインタフェース (SCI)

- DMAC 使用上の注意事項

- 同期クロックに外部クロックソースを使用する場合、DMAC による SCTDR1 の更新後、周辺動作クロックで 5 サイクル以上経過した後に外部クロックを入力してください。  
SCTDR1 の更新後 4 サイクル以内に送信クロックを入力すると誤動作することがあります (図 15.25 参照)。

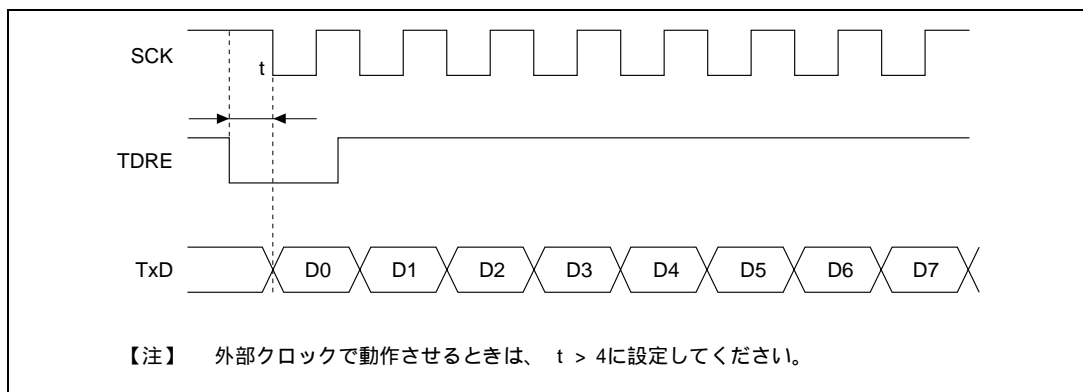


図 15.25 DMAC による同期クロック転送例

- DMAC により、SCRDR1 の読み出しを行うときは必ず CHCR の RS3 ~ RS0 ビットで起動要因を当該 SCI の受信データフル割り込みに設定してください。

### (7) クロック同期外部クロックモード時の注意事項

- TE = 1、RE = 1 に設定するのは、外部クロック SCK を 0 1 にしてから周辺動作クロック 4 クロック以上経過してからにしてください。
- TE = RE = 1 に設定するのは、必ず外部クロック SCK が 1 のときにしてください。
- 受信時において、RxD の D7 ビットの SCK 入力の立ち上がりエッジから周辺動作クロック 2.5 ~ 3.5 クロック後に RE = 0 にすると RDRF = 1 になりますが、SCRDR1 へのコピーができませんので注意してください。

### (8) クロック同期内部クロックモード時の注意事項

- 受信時において、RxD の D7 ビットの SCK 出力の立ち上がりエッジから周辺動作クロック 1.5 クロック後に RE = 0 にすると RDRF = 1 になりますが、SCRDR1 へのコピーができませんので注意してください。



---

## 16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

---

### 16.1 概要

FIFO バッファ内蔵のシリアルコミュニケーションインタフェース (SCIF: Serial Communication Interface with FIFO) です。SCIF は、調歩同期式通信のシリアル通信ができます。

送受信に FIFO レジスタを各々 16 段内蔵しており、効率の良い高速連続通信を行うことができます。

#### 16.1.1 特長

SCIF には次のような特長があります。

- 調歩同期式シリアル通信  
キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。  
シリアルデータ通信フォーマットを 8 種類のフォーマットから選択できます。
  - データ長: 7 ビット、または 8 ビット
  - ストップビット長: 1 ビット、または 2 ビット
  - パリティ: 偶数パリティ、奇数パリティ、またはパリティなし
  - 受信エラーの検出: パリティエラー、フレーミングエラー、オーバランエラーを検出
  - ブレークの検出:  
フレーミングエラーが発生し、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合、ブレークを検出します。また、フレーミングエラー発生時に RxD2 端子のレベルをシリアルポートレジスタ (SCSPTR2) から直接読み出すことによってもブレークを検出できます。
- 全二重通信が可能  
独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。  
また、送信部、および受信部ともに 16 段の FIFO バッファ構造になっていますのでシリアルデータの高速連続送信、連続受信ができます。
- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- 送受信クロックソースを、ボーレートジェネレータからの内部クロック、または SCK2 端子からの外部クロックから選択可能
- 4 種類の割り込み要因  
送信 FIFO データエンプティ、ブレーク、受信 FIFO データフル、受信エラーの 4 種類の割り込み要因があり、それぞれ独立に要求することができます。
- 送信 FIFO データエンプティ時と受信 FIFO 内に受信データがあるとき、DMA 転送要求を出すことにより、DMA コントローラ (DMAC) を起動させてデータの転送を行うことができます。
- SCIF を使用しないときは、消費電力低減のため SCIF に対してクロックの供給を止めて動作を停止させることができます。
- モデムコントロール機能 ( $\overline{\text{RTS2}}$ 、 $\overline{\text{CTS2}}$ ) を内蔵しています。

## 16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

- 送受信 FIFO レジスタ内のデータ数および受信 FIFO レジスタ内の受信データの受信エラー数を知ることができます。
- 受信時、タイムアウトエラー (DR) を検出できます。

### 16.1.2 ブロック図

図 16.1 に SCIF のブロック図を示します。

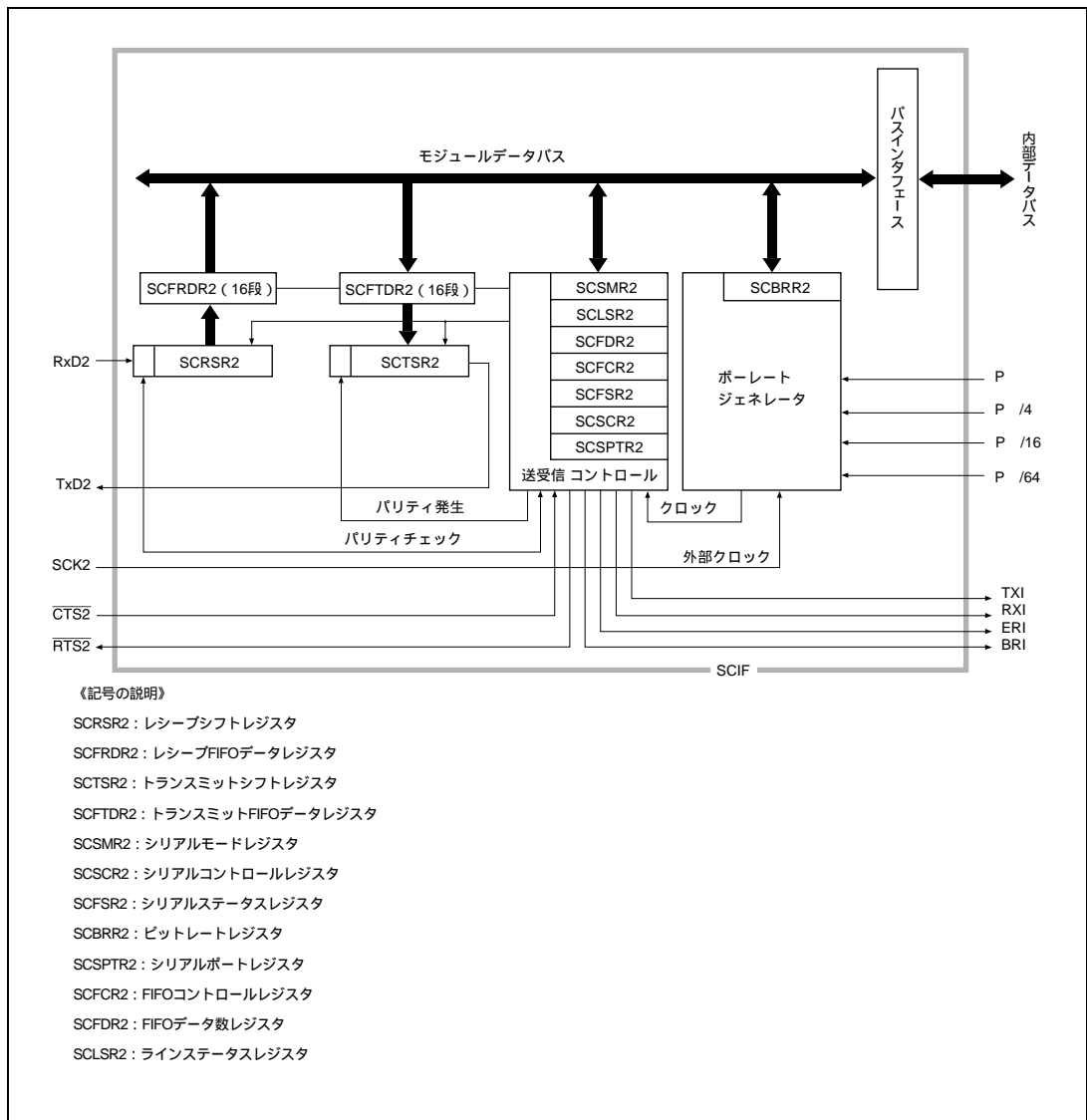


図 16.1 SCIF のブロック図

### 16.1.3 端子構成

SCIF の端子構成を表 16.1 に示します。

表 16.1 端子構成

| 名称           | 略称          | 入出力 | 機能      |
|--------------|-------------|-----|---------|
| シリアルクロック端子   | MRESET/SCK2 | 入力  | クロック入力  |
| レシーブデータ端子    | MD2/RxD2    | 入力  | 受信データ入力 |
| トランスミットデータ端子 | MD1/TxD2    | 出力  | 送信データ出力 |
| モデムコントロール端子  | CTS2        | 入出力 | 送信可     |
| モデムコントロール端子  | MD8/RTS2    | 入出力 | 送信要求    |

【注】 マニュアルリセット時には、マニュアルリセット端子 MRESET として機能します。また、パワーオンリセット時には、モード入力端子 MD1、MD2、MD8 として機能します。

SCIF の動作設定を SCSCR2 の TE、RE ビットおよび SCFCR2 の MCE ビットで行うことにより、シリアル端子として機能します。ブ레이크状態の送出、検出は、SCIF の SCSPTR2 によって行うことができます。

### 16.1.4 レジスタ構成

SCIF には、表 16.2 に示す内部レジスタがあります。これらのレジスタによりデータフォーマットの指定、ビットレートの指定、および送信部 / 受信部の制御を行うことができます。

表 16.2 レジスタ構成

| 名称                   | 略称      | R/W      | 初期値      | P4 アドレス    | エリア 7 アドレス | アクセスサイズ |
|----------------------|---------|----------|----------|------------|------------|---------|
| シリアルモードレジスタ          | SCSMR2  | R/W      | H'0000   | H'FFE80000 | H'1FE80000 | 16      |
| ビットレートレジスタ           | SCBRR2  | R/W      | H'FF     | H'FFE80004 | H'1FE80004 | 8       |
| シリアルコントロールレジスタ       | SCSCR2  | R/W      | H'0000   | H'FFE80008 | H'1FE80008 | 16      |
| トランスミット FIFO データレジスタ | SCFTDR2 | W        | 不定       | H'FFE8000C | H'1FE8000C | 8       |
| シリアルステータスレジスタ        | SCFSR2  | R/(W) *1 | H'0060   | H'FFE80010 | H'1FE80010 | 16      |
| レシーブ FIFO データレジスタ    | SCFRDR2 | R        | 不定       | H'FFE80014 | H'1FE80014 | 8       |
| FIFO コントロールレジスタ      | SCFCR2  | R/W      | H'0000   | H'FFE80018 | H'1FE80018 | 16      |
| FIFO データ数レジスタ        | SCFDR2  | R        | H'0000   | H'FFE8001C | H'1FE8001C | 16      |
| シリアルポートレジスタ          | SCSPTR2 | R/W      | H'0000*2 | H'FFE80020 | H'1FE80020 | 16      |
| ラインステータスレジスタ         | SCLSR2  | R/(W) *3 | H'0000   | H'FFE80024 | H'1FE80024 | 16      |

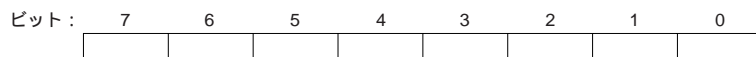
【注】 \*1 フラグをクリアするために 0 のみ書き込むことができます。ビット 15～8、3、2 は読み出し専用であり書き込むことはできません。

\*2 ビット 6、4、0 は不定です。

\*3 フラグをクリアするために 0 のみ書き込むことができます。ビット 15～1 は読み出し専用であり書き込むことはできません。

## 16.2 レジスタの説明

### 16.2.1 レシーブシフトレジスタ (SCRSR2)



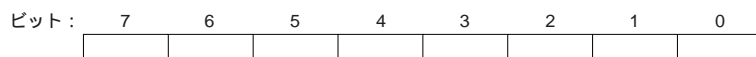
R/W :

レシーブシフトレジスタ (SCRSR2) は、シリアルデータを受信するためのレジスタです。

SCIF は、SCRSR2 に Rx/D2 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的にレシーブ FIFO レジスタである SCFRDR2 へ転送されます。

CPU から直接 SCRSR2 の読み出し／書き込みをすることはできません。

### 16.2.2 レシーブ FIFO データレジスタ (SCFRDR2)



R/W :      R          R          R          R          R          R          R

レシーブ FIFO データレジスタ (SCFRDR2) は、受信したシリアルデータを格納する 16 段の FIFO レジスタです。

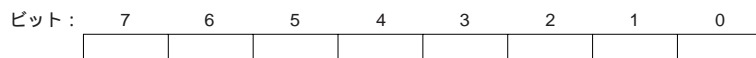
SCIF は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (SCRSR2) から SCFRDR2 へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、SCRSR2 は受信可能になり、レシーブ FIFO レジスタが一杯になる 16 データまで連続した受信動作が可能です。

SCFRDR2 は、読み出し専用レジスタですので CPU から書き込むことはできません。

また、レシーブ FIFO レジスタに受信データがない状態で読み出した値は不定値になります。レシーブ FIFO レジスタ内の受信データが一杯になると、以降のシリアルデータは失われます。

SCFRDR2 は、パワーオンリセット、マニュアルリセット時に不定となります。

### 16.2.3 トランスミットシフトレジスタ (SCTSR2)



R/W :

トランスミットシフトレジスタ (SCTSR2) は、シリアルデータを送信するためのレジスタです。

SCIF は、トランスミット FIFO データレジスタ (SCFTDR2) から送信データをいったん SCTSR2 に転送し、LSB (ビット 0) から順に Tx/D2 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に SCFTDR2 から SCTSR2 へ次の送信データを転送し、送信を開始します。

CPU から、直接 SCTSR2 の読み出し／書き込みをすることはできません。

### 16.2.4 トランスミット FIFO データレジスタ (SCFTDR2)

|      |   |   |   |   |   |   |   |   |
|------|---|---|---|---|---|---|---|---|
| ビット: | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|      |   |   |   |   |   |   |   |   |
| R/W: | W | W | W | W | W | W | W | W |

トランスミット FIFO データレジスタ (SCFTDR2) は、シリアル送信するデータを格納する 8 ビット長の 16 段 FIFO レジスタです。

SCIF は、送信データが SCFTDR2 に書き込まれたとき、トランスミットシフトレジスタ (SCTSR2) が空ならば、SCFTDR2 に書き込まれた送信データを SCTSR2 に転送してシリアル送信を開始します。

SCFTDR2 は、書き込み専用レジスタですので CPU から読み出すことはできません。

SCFTDR2 内の送信データが 16 バイト一杯のときは次のデータを書き込むことはできません。書き込んだデータは無視されます。

SCFTDR2 は、パワーオンリセット、マニュアルリセット時に不定となります。

### 16.2.5 シリアルモードレジスタ (SCSMR2)

|      |    |     |     |     |      |    |      |      |
|------|----|-----|-----|-----|------|----|------|------|
| ビット: | 15 | 14  | 13  | 12  | 11   | 10 | 9    | 8    |
|      |    |     |     |     |      |    |      |      |
| 初期値: | 0  | 0   | 0   | 0   | 0    | 0  | 0    | 0    |
| R/W: | R  | R   | R   | R   | R    | R  | R    | R    |
| ビット: | 7  | 6   | 5   | 4   | 3    | 2  | 1    | 0    |
|      |    | CHR | PE  | O/E | STOP |    | CKS1 | CKS0 |
| 初期値: | 0  | 0   | 0   | 0   | 0    | 0  | 0    | 0    |
| R/W: | R  | R/W | R/W | R/W | R/W  | R  | R/W  | R/W  |

シリアルモードレジスタ (SCSMR2) は、SCIF のシリアル通信フォーマットの設定と、ポーレートジェネレータのクロックソースを選択するための 16 ビットのレジスタです。

SCSMR2 は、常に CPU による読み出し／書き込みが可能です。

SCSMR2 は、パワーオンリセット、マニュアルリセット時に H'0000 に初期化されます。スタンバイモード、モジュールスタンバイ時には初期化されません。

#### ビット15～7: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

#### ビット6: キャラクタレングス (CHR)

調歩同期式モードのデータ長を 7 ビット／8 ビットデータのいずれかから選択します。

| ビット 6 | 説明             |
|-------|----------------|
| CHR   |                |
| 0     | 8 ビットデータ (初期値) |
| 1     | 7 ビットデータ*      |

【注】 \* 7 ビットデータを選択した場合、トランスミット FIFO データレジスタ (SCFTDR2) の MSB (ビット 7) は送信されません。

## 16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

### ビット5：パリティイネーブル (PE)

送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。

| ビット5 | 説明                          |
|------|-----------------------------|
| PE   |                             |
| 0    | パリティビットの付加、およびチェックを禁止 (初期値) |
| 1    | パリティビットの付加、およびチェックを許可*      |

【注】 \* PE ビットに 1 をセットすると送信時には、O/ $\bar{E}$  ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/ $\bar{E}$  ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

### ビット4：パリティモード (O/ $\bar{E}$ )

パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれで行うかを選択します。O/ $\bar{E}$  ビットの設定は、PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。パリティの付加やチェックを禁止している場合には、O/ $\bar{E}$  ビットの設定は無効です。

| ビット4         | 説明                         |
|--------------|----------------------------|
| O/ $\bar{E}$ |                            |
| 0            | 偶数パリティ* <sup>1</sup> (初期値) |
| 1            | 奇数パリティ* <sup>2</sup>       |

【注】 \*<sup>1</sup> 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。  
受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。

\*<sup>2</sup> 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。  
受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。

### ビット3：ストップビットレングス (STOP)

ストップビットの長さを 1 ビット / 2 ビットのいずれかから選択します。

| ビット3 | 説明                            |
|------|-------------------------------|
| STOP |                               |
| 0    | 1 ストップビット* <sup>1</sup> (初期値) |
| 1    | 2 ストップビット* <sup>2</sup>       |

【注】 \*<sup>1</sup> 送信時には、送信キャラクタの最後尾に 1 ビットの 1 (ストップビット) を付加して送信します。

\*<sup>2</sup> 送信時には、送信キャラクタの最後尾に 2 ビットの 1 (ストップビット) を付加して送信します。

なお、受信時には STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合は、ストップビットとして扱いますが、0 の場合は、次の送信キャラクタのスタートビットとして扱います。

### ビット2：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

**ビット1、0：クロックセレクト1、0 (CKS1、CKS0)**

内蔵ポーレートジェネレータのクロックソースを選択します。CKS1、CKS0 ビットの設定で Pφ、Pφ/4、Pφ/16、Pφ/64 の 4 種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「16.2.8 ビットレートレジスタ」を参照してください。

| ビット 1 | ビット 0 | 説明            |
|-------|-------|---------------|
| CKS1  | CKS0  |               |
| 0     | 0     | Pφ クロック (初期値) |
|       | 1     | Pφ/4 クロック     |
| 1     | 0     | Pφ/16 クロック    |
|       | 1     | Pφ/64 クロック    |

【注】 Pφ：周辺クロック

**16.2.6 シリアルコントロールレジスタ (SCSCR2)**

|      |    |    |    |    |    |    |   |   |
|------|----|----|----|----|----|----|---|---|
| ビット： | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|      |    |    |    |    |    |    |   |   |

|      |   |   |   |   |   |   |   |   |
|------|---|---|---|---|---|---|---|---|
| 初期値： | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W： | R | R | R | R | R | R | R | R |

|      |     |     |    |    |      |   |      |   |
|------|-----|-----|----|----|------|---|------|---|
| ビット： | 7   | 6   | 5  | 4  | 3    | 2 | 1    | 0 |
|      | TIE | RIE | TE | RE | REIE |   | CKE1 |   |

|      |     |     |     |     |     |   |     |   |
|------|-----|-----|-----|-----|-----|---|-----|---|
| 初期値： | 0   | 0   | 0   | 0   | 0   | 0 | 0   | 0 |
| R/W： | R/W | R/W | R/W | R/W | R/W | R | R/W | R |

シリアルコントロールレジスタ (SCSCR2) は、SCIF の送信／受信動作、割り込み要求の許可／禁止、および送信／受信クロックソースの選択を行うレジスタです。

SCSCR2 は、常に CPU による読み出し／書き込みが可能です。

SCSCR2 は、パワーオンリセット、マニュアルリセット時に H'0000 に初期化されます。スタンバイモード、モジュールスタンバイ時には初期化されません。

**ビット15～8、2、0：予約ビット**

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

**ビット7：トランスミットインタラプトイネーブル (TIE)**

トランスミット FIFO データレジスタ (SCFTDR2) からトランスミットシフトレジスタ (SCTSR2) へシリアル送信データが転送され、送信 FIFO レジスタ内のデータ数が送信トリガ設定数以下になり、シリアルステータスレジスタ (SCFSR2) の TDFE フラグが 1 にセットされたときに、送信 FIFO データエンプティ割り込み (TXI) 要求の発生を許可／禁止します。

| ビット 7 | 説明                                      |
|-------|---|
| TIE   |   |
| 0     | 送信 FIFO データエンプティ割り込み (TXI) 要求を禁止* (初期値) |
| 1     | 送信 FIFO データエンプティ割り込み (TXI) 要求を許可        |

【注】 \* TXI の解除は、SCFTDR2 に送信トリガ設定数より多い送信データを書き込み、TDFE フラグの 1 を読み出した後、0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。

## 16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

### ビット6: レシーブインタラプトイネーブル (RIE)

SCFSR2 の RDF フラグまたは DR フラグが 1 にセットされたときの受信データフル割り込み (RXI) 要求、SCFSR2 の ER フラグが 1 にセットされたときの受信エラー割り込み (ERI) 要求、SCFSR2 の BRK フラグまたは SCLSR2 の ORER フラグが 1 にセットされたときのブ레이크割り込み (BRI) 要求の発生を許可 / 禁止します。

| ビット 6 |  |
|-------|--|
| RIE   | 説明   |
| 0     | 受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求を禁止* (初期値) |
| 1     | 受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求、ブ레이크割り込み (BRI) 要求を許可        |

【注】 \* RXI 割り込み要求の解除は、RDF、DR フラグの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。ERI、BRI 割り込み要求の解除は、ER、BRK、ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。

### ビット5: トランスミットイネーブル (TE)

SCIF のシリアル送信動作の開始を許可 / 禁止します。

| ビット 5 |               |
|-------|---------------|
| TE    | 説明            |
| 0     | 送信動作を禁止 (初期値) |
| 1     | 送信動作を許可*      |

【注】 \* この状態で、SCFTDR2 に送信データを書き込むとシリアル送信を開始します。  
 なお、TE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SCSMR2)、FIFO コントロールレジスタ (SCFCR2) の設定を行い、送信フォーマットを決定し、送信 FIFO をリセットしてください。

### ビット4: レシーブイネーブル (RE)

SCIF のシリアル受信動作の開始を許可 / 禁止します。

| ビット 4 |                             |
|-------|-----------------------------|
| RE    | 説明                          |
| 0     | 受信動作を禁止* <sup>1</sup> (初期値) |
| 1     | 受信動作を許可* <sup>2</sup>       |

【注】 \*<sup>1</sup> RE ビットを 0 にクリアしても DR、ER、BRK、RDF、FER、PER、ORER の各フラグは影響を受けず、状態を保持しますので注意してください。

\*<sup>2</sup> この状態でスタートビットを検出すると、シリアル受信を開始します。  
 なお、RE ビットを 1 にセットする前に必ずシリアルモードレジスタ (SCSMR2)、FIFO コントロールレジスタ (SCFCR2) の設定を行い、受信フォーマットを決定し、受信 FIFO をリセットしてください。



**ビット3：レシーブエラーインタラプトイネーブル (REIE)**

受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求の発生を許可／禁止します。ただし、REIE ビットの設定は RIE ビットが 0 のときのみ有効です。

| ビット 3 | 説明  |
|-------|---|
| REIE  |   |
| 0     | 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を禁止*<br>(初期値) |
| 1     | 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求を許可           |

【注】 \* 受信エラー割り込み (ERI) 要求、ブレーク割り込み (BRI) 要求の解除は、ER、BRK、ORER フラグの 1 を読み出した後、0 にクリアするか、RIE、REIE ビットを 0 にクリアすることで行えます。RIE を 0 に設定しても、REIE を 1 に設定すれば、ERI、BRI 割り込み要求は発生します。DMAC 転送時に ERI、BRI 割り込み要求を割り込みコントローラへ通知したいときに設定します。

**ビット1：クロックイネーブル1 (CKE1)**

SCIF のクロックソースを設定します。SCSMR2 で SCIF の動作モードを決定する前に、必ず CKE1 ビットの設定をしてください。

| ビット 1 | 説明                             |
|-------|--------------------------------|
| CKE1  |                                |
| 0     | 内部クロック／SCK2 端子は入力端子（入力信号は無視）*1 |
| 1     | 外部クロック／SCK2 端子はクロック入力*2        |

【注】 \*1 初期値

\*2 ビットレートの 16 倍の周波数のクロックを入力

**16.2.7 シリアルステータスレジスタ (SCFSR2)**

|      |      |      |      |      |      |      |      |      |
|------|------|------|------|------|------|------|------|------|
| ビット： | 15   | 14   | 13   | 12   | 11   | 10   | 9    | 8    |
|      | PER3 | PER2 | PER1 | PER0 | FER3 | FER2 | FER1 | FER0 |
| 初期値： | 0    | 0    | 0    | 0    | 0    | 0    | 0    | 0    |
| R/W： | R    | R    | R    | R    | R    | R    | R    | R    |

|      |        |        |        |        |     |     |        |        |
|------|--------|--------|--------|--------|-----|-----|--------|--------|
| ビット： | 7      | 6      | 5      | 4      | 3   | 2   | 1      | 0      |
|      | ER     | TEND   | TDFE   | BRK    | FER | PER | RDF    | DR     |
| 初期値： | 0      | 1      | 1      | 0      | 0   | 0   | 0      | 0      |
| R/W： | R/(W)* | R/(W)* | R/(W)* | R/(W)* | R   | R   | R/(W)* | R/(W)* |

【注】 \* フラグをクリアするために 0 のみ書き込むことができます。

シリアルステータスレジスタ (SCFSR2) は 16 ビット長のレジスタです。下位 8 ビットは、SCIF の動作状態を示すステータスフラグを、上位 8 ビットはレシーブ FIFO レジスタ内のデータの受信エラー数を示します。

SCFSR2 は常に CPU から読み出し／書き込みができます。ただし、ER、TEND、TDFE、BRK、RDF、DR の各フラグへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。また、FER フラグ、および PER フラグは読み出し専用であり、書き込むことはできません。

SCFSR2 は、パワーオンリセット、マニュアルリセット時に H'0060 に初期化されます。スタンバイモード、モジュールスタンバイ時には初期化されません。

## 16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

### ビット15～12：パリティエラー数 (PER3～0)

レシーブ FIFO データレジスタ (SCFRDR2) に格納されている受信データでパリティエラーの発生しているデータ数を示します。

SCFSR2 の ER ビットがセットされた後、ビット 15～12 で示される値がパリティエラー発生データ数を表示します。

SCFRDR2 の 16 バイトの受信データすべてがパリティエラーを伴う場合、PER3～PER0 は 0 を表示します。

### ビット11～8：フレーミングエラー数 (FER3～0)

レシーブ FIFO データレジスタ (SCFRDR2) に格納されている受信データでフレーミングエラーの発生しているデータ数を示します。

SCFSR2 の ER ビットがセットされた後、ビット 11～8 で示される値がフレーミングエラーの発生しているデータ数を表示します。

SCFRDR2 の 16 バイトの受信データすべてがフレーミングエラーを伴う場合、FER3～FER0 は 0 を表示します。

### ビット7：レシーブエラー (ER)

受信時にフレーミングエラー、パリティエラーが発生したことを示します。\*<sup>1</sup>

| ビット7<br>ER | 説明  |
|------------|---|
| 0          | 受信時にフレーミングエラーまたはパリティエラーが発生していないことを表示<br>(初期値)<br>[クリア条件]<br>(1) パワーオンリセット、マニュアルリセット時<br>(2) ER = 1 の状態を読み出した後、0 を書き込んだとき  |
| 1          | 受信時にフレーミングエラーまたはパリティエラーが発生したことを表示<br>[セット条件]<br>(1) 受信終了時に受信データの最後尾のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 であったとき* <sup>2</sup><br>(2) 受信時の受信データとパリティビットを合わせた 1 の数がシリアルモードレジスタ (SCSMR2) の O/E ビットで指定した偶数 / 奇数パリティの設定と一致しなかったとき |

【注】 \*<sup>1</sup> SCSCR2 の RE ビットを 0 にクリアしたときには、ER フラグは影響を受けず以前の状態を保持します。レシーブエラーが発生しても受信データは SCFRDR2 に転送され、受信動作を続けます。SCFRDR2 から読み出したデータに受信エラーがあるかどうかは、SCFSR2 の FER、PER ビットで判定できます。

\*<sup>2</sup> 2ストップモードのときは1ビット目のストップビットが1であるかどうかのみを判定し2ストップビット目のストップビットはチェックしません。

## ビット6: トランスミットエンド (TEND)

送信キャラクタの最後尾ビットの送信時に SCFTDR2 に有効なデータがなく、送信を終了したことを示します。

| ビット 6 | 説明   |
|-------|--|
| TEND  |  |
| 0     | 送信中であることを表示<br>[ クリア条件 ]<br>(1) SCFTDR2 に送信データを書き込み、TEND = 1 の状態を読み出した後、TEND フラグに 0 を書き込んだとき<br>(2) DMAC で SCFTDR2 ヘデータを書き込んだとき                    |
| 1     | 送信を終了したことを表示 (初期値)<br>[ セット条件 ]<br>(1) パワーオンリセット、マニュアルリセット時<br>(2) SCSCR2 の TE ビットが 0 のとき<br>(3) 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に SCFTDR2 に送信データがないとき |

## ビット5: トランスミットFIFOデータエンプティ (TDFE)

トランスミット FIFO データレジスタ (SCFTDR2) からトランスミットシフトレジスタ (SCTSR2) にデータ転送が行われ、SCFTDR2 内のデータ数が FIFO コントロールレジスタ (SCFCR2) の TTRG1、TTRG0 ビットで設定した送信トリガデータ数以下になり、SCFTDR2 に送信データを書き込むことが可能になったことを示します。

| ビット 5 | 説明   |
|-------|--|
| TDFE  |  |
| 0     | SCFTDR2 に送信トリガ設定数より多い送信データが書き込まれていることを表示<br>[ クリア条件 ]<br>(1) SCFTDR2 に送信トリガ設定数を超える送信データを書き込み、TDFE = 1 の状態を読み出した後、0 を書き込んだとき<br>(2) DMAC で SCFTDR2 に送信トリガ設定数を超えるデータを書き込んだとき |
| 1     | SCFTDR2 の送信データ数が送信トリガ設定数以下であることを表示 (初期値)<br>[ セット条件 ]<br>(1) パワーオンリセット、マニュアルリセット時<br>(2) SCFTDR2 の送信データ数が送信動作によって送信トリガ設定数以下になったとき*   |

【注】 \* SCFTDR2 は 16 バイトの FIFO レジスタですので TDFE = 1 で書き込むことができる最大データ数は、16 - (送信トリガ設定数) になります。これより多くデータを書き込んだ場合は無視されます。また、SCFTDR2 内のデータ数は SCFCR2 の上位ビットに示されます。

## 16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

### ビット4：ブレーク検出 (BRK)

受信データのブレーク信号を検出して示します。

| ビット 4 | 説明  |
|-------|---|
| BRK   |   |
| 0     | ブレーク信号を受信していないことを表示 (初期値)<br>[ クリア条件 ]<br>(1) パワーオンリセット、マニュアルリセット時<br>(2) BRK=1 の状態を読み出した後、0 を書き込んだとき |
| 1     | ブレーク信号を受信したことを表示*<br>[ セット条件 ]<br>フレーミングエラーを伴うデータを受信したとき、引き続き 1 フレーム長以上スペース 0 (ローレベル) の場合             |

【注】 \* ブレーク検出すると受信データ (H'00) の SCFRDR2 転送は停止します。  
ブレークが終了し、受信信号がマーク 1 に戻ると受信データの転送が再開します。

### ビット3：フレーミングエラー表示 (FER)

レシブ FIFO データレジスタ (SCFRDR2) から読み出したデータのフレーミングエラーを表示します。

| ビット 3 | 説明   |
|-------|--|
| FER   |  |
| 0     | SCFRDR2 から読み出した受信データにフレーミングエラーがないことを表示 (初期値)<br>[ クリア条件 ]<br>(1) パワーオンリセット、マニュアルリセット時<br>(2) SCFRDR2 読み出しデータにフレーミングエラーなし |
| 1     | SCFRDR2 から読み出した受信データにフレーミングエラーが発生していることを表示<br>[ セット条件 ]<br>SCFRDR2 読み出しデータにフレーミングエラーあり                                   |

### ビット2：パリティエラー表示 (PER)

レシブ FIFO データレジスタ (SCFRDR2) から読み出したデータのパリティエラーを表示します。

| ビット 2 | 説明   |
|-------|--|
| PER   |  |
| 0     | SCFRDR2 から読み出した受信データにパリティエラーがないことを表示 (初期値)<br>[ クリア条件 ]<br>(1) パワーオンリセット、マニュアルリセット時<br>(2) SCFRDR2 読み出しデータにパリティエラーなし |
| 1     | SCFRDR2 から読み出した受信データにパリティエラーが発生していることを表示<br>[ セット条件 ]<br>SCFRDR2 読み出しデータにパリティエラーあり                                   |

**ビット1：レシーブFIFOデータフル (RDF)**

受信したデータがレシーブシフトレジスタ (SCRSR2) からレシーブ FIFO データレジスタ (SCFRDR2) に転送され、SCFRDR2 内の受信データ数が、FIFO コントロールレジスタ (SCFCR2) の RTRG1、RTRG0 ビットで設定した受信トリガデータ数以上になったことを示します。

| ビット1 | 説明  |
|------|---|
| RDF  |   |
| 0    | SCFRDR2 内の受信データ数が受信トリガ設定数より少ないことを表示<br>[クリア条件] (初期値)<br>(1) パワーオンリセット、マニュアルリセット時<br>(2) SCFRDR2 内の受信データ数が受信トリガ設定数より少なくなるまで SCFRDR2 を読み出し、RDF=1 を読み出した後、0 を書き込んだとき<br>(3) DMAC で SCFRDR2 内の受信データ数が受信トリガ設定数より少なくなるまで SCFRDR2 を読み出したとき |
| 1    | SCFRDR2 内の受信データ数が受信トリガ設定数以上であることを表示<br>[セット条件]<br>SCFRDR2 に受信トリガ設定数以上の受信データが格納されたとき*  |

【注】 \* SCFRDR2 は 16 バイトの FIFO レジスタです。RDF=1 で少なくとも受信トリガ設定数のデータを読み出すことができます。SCFRDR2 が空の状態ではデータを読み出すと不定値が読み出されます。なお SCFRDR2 内の受信データ数は SCFCR2 の下位ビットに示されます。

**ビット0：レシーブデータレディ (DR)**

レシーブ FIFO データレジスタ (SCFRDR2) に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15ETU 時間以上、次のデータが来ないことを示します。

| ビット0 | 説明  |
|------|---|
| DR   |   |
| 0    | 受信中または正常に受信完了して SCFRDR2 に受信データが残っていないことを表示<br>[クリア条件] (初期値)<br>(1) パワーオンリセット、マニュアルリセット時<br>(2) SCFRDR2 内の受信データをすべて読み出し、DR=1 を読み出した後、0 を書き込んだとき<br>(3) DMAC で SCFRDR2 内の受信データをすべて読み出したとき |
| 1    | 次の受信データが来ないことを表示<br>[セット条件]<br>SCFRDR2 に受信トリガ設定数未満のデータがあり、かつ最後に受信したデータのストップビットから 15etu 時間以上次のデータが来ないとき*   |

【注】 \* 8 ビット長 1 ストップビットフォーマット時の 1.5 フレーム時間に相当します。  
etu (Elementary Time Unit : 1 ビットの転送期間の略)

**16.2.8 ビットレートレジスタ (SCBRR2)**

|      |     |     |     |     |     |     |     |     |
|------|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット: | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|      |     |     |     |     |     |     |     |     |
| 初期値: | 1   | 1   | 1   | 1   | 1   | 1   | 1   | 1   |
| R/W: | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

ビットレートレジスタ (SCBRR2) は、シリアルモードレジスタ (SCSMR2) の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックと合わせて、シリアル送信／受信のビットレートを設定する 8 ビットのレジスタです。

SCBRR2 は、常に CPU による読み出し／書き込みが可能です。

SCBRR2 は、パワーオンリセット、マニュアルリセット時に H'FF に初期化されます。スタンバイモード、モジュールスタンバイ時には初期化されません。

## 16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

SCBRR2 の設定値は以下の計算式で求められます。

〔調歩同期式モード〕

$$N = \frac{P\phi}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの SCBRR2 の設定値 ( $0 \leq N \leq 255$ )

Pφ : 周辺モジュール用動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n=0、1、2、3)  
(n とクロックの関係は、下表を参照してください)

| n | クロック  | SCSMR2 の設定値 |      |
|---|-------|-------------|------|
|   |       | CKS1        | CKS0 |
| 0 | Pφ    | 0           | 0    |
| 1 | Pφ/4  | 0           | 1    |
| 2 | Pφ/16 | 1           | 0    |
| 3 | Pφ/64 | 1           | 1    |

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{P\phi \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

### 16.2.9 FIFO コントロールレジスタ (SCFCR2)

|      |    |    |    |    |    |    |   |   |
|------|----|----|----|----|----|----|---|---|
| ビット: | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|      |    |    |    |    |    |    |   |   |
| 初期値: | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 |
| R/W: | R  | R  | R  | R  | R  | R  | R | R |

|      |       |       |       |       |     |       |       |      |
|------|-------|-------|-------|-------|-----|-------|-------|------|
| ビット: | 7     | 6     | 5     | 4     | 3   | 2     | 1     | 0    |
|      | RTRG1 | RTRG0 | TTRG1 | TTRG0 | MCE | TFRST | RFRST | LOOP |
| 初期値: | 0     | 0     | 0     | 0     | 0   | 0     | 0     | 0    |
| R/W: | R/W   | R/W   | R/W   | R/W   | R/W | R/W   | R/W   | R/W  |

FIFO コントロールレジスタ (SCFCR2) は送信、受信各 FIFO レジスタのデータ数リセット、およびトリガデータ数の設定を行うレジスタです。またループバックテストの許可ビットを含んでいます。

SCFCR2 は、常に CPU による読み出し／書き込みが可能です。

SCFCR2 は、パワーオンリセット、マニュアルリセット時に H'0000 に初期化されます。スタンバイモード、モジュールスタンバイ時には初期化されません。

#### ビット15～8: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット7、ビット6：レシーブFIFOデータ数トリガ (RTRG1、0)

シリアルステータスレジスタ (SCFSR2) のレシーブデータフル (RDF) フラグをセットする受信データ数を設定するビットです。

レシーブFIFOデータレジスタ (SCFRDR2) 内に格納された受信データ数が下表に示すトリガ設定数以上になったとき RDF フラグをセットします。

| ビット7<br>RTRG1 | ビット6<br>RTRG0 | 受信トリガ数 |
|---------------|---------------|--------|
| 0             | 0             | 1*     |
| 0             | 1             | 4      |
| 1             | 0             | 8      |
| 1             | 1             | 14     |

【注】 \* 初期値

ビット5、ビット4：トランスミットFIFOデータ数トリガ (TTRG1、0)

シリアルステータスレジスタ (SCFSR2) のトランスミットFIFOデータレジスタエンプティ (TDFE) フラグをセットする残りの送信データ数を設定するビットです。

送信動作によりトランスミットFIFOデータレジスタ (SCFTDR2) 内の送信データ数が、下表に示すトリガ設定数以下になったとき TDFE フラグをセットします。

| ビット5<br>TTRG1 | ビット4<br>TTRG0 | 送信トリガ数  |
|---------------|---------------|---------|
| 0             | 0             | 8 (8) * |
| 0             | 1             | 4 (12)  |
| 1             | 0             | 2 (14)  |
| 1             | 1             | 1 (15)  |

【注】 \* 初期値。( ) 内の値はフラグ発生時の SCFTDR2 の空き数を示します。

ビット3：モデムコントロールイネーブル (MCE)

モデムコントロール信号  $\overline{\text{CTS2}}$ 、 $\overline{\text{RTS2}}$  を有効にします。

| ビット3<br>MCE | 説明              |
|-------------|-----------------|
| 0           | モデム信号を無効* (初期値) |
| 1           | モデム信号を有効        |

【注】 \*  $\overline{\text{CTS2}}$  は入力値にかかわらず 0 アクティブに、 $\overline{\text{RTS2}}$  出力も 0 に固定します。

ビット2：トランスミットFIFOデータレジスタリセット (TFRST)

トランスミットFIFOデータレジスタ内の送信データを無効とし、空の状態にリセットします。

| ビット2<br>TFRST | 説明               |
|---------------|------------------|
| 0             | リセット動作を禁止* (初期値) |
| 1             | リセット動作を許可        |

【注】 \* パワーオンリセット、マニュアルリセット時にはリセット動作が行われます。

## 16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

### ビット1：レシーブFIFOデータレジスタリセット (RFRST)

レシーブ FIFO データレジスタ内の受信データを無効とし、空の状態にリセットします。

| ビット1  | 説明               |
|-------|------------------|
| RFRST |                  |
| 0     | リセット動作を禁止* (初期値) |
| 1     | リセット動作を許可        |

【注】 \* パワーオンリセット、マニュアルリセット時にはリセット動作が行われます。

### ビット0：ループバックテスト (LOOP)

送信出力端子 (TxD2) と受信入力端子 (RxD2)、 $\overline{\text{RTS2}}$  端子と  $\overline{\text{CTS2}}$  端子を内部で接続し、ループバックテストを可能にします。

| ビット0 | 説明                 |
|------|--------------------|
| LOOP |                    |
| 0    | ループバックテストを禁止 (初期値) |
| 1    | ループバックテストを許可       |

## 16.2.10FIFO データ数レジスタ (SCFDR2)

トランスミット FIFO データレジスタ (SCFTDR2) および、レシーブ FIFO データレジスタ (SCFRDR2) 内に格納されているデータ数を示す 16 ビット長のレジスタです。

上位 8 ビットで SCFTDR2 内の送信データ数を、下位 8 ビットで SCFRDR2 内の受信データ数を示します。

SCFDR2 は常に CPU から読み出しができます。

|      |    |    |    |    |    |    |    |    |
|------|----|----|----|----|----|----|----|----|
| ビット: | 15 | 14 | 13 | 12 | 11 | 10 | 9  | 8  |
|      |    |    |    | T4 | T3 | T2 | T1 | T0 |
| 初期値: | 0  | 0  | 0  | 0  | 0  | 0  | 0  | 0  |
| R/W: | R  | R  | R  | R  | R  | R  | R  | R  |

SCFTDR2 内に格納されている未送信のデータ数を示します。

H'00 は送信データがないことを、H'10 は SCFTDR2 に一杯の送信データが格納されていることを示します。

|      |   |   |   |    |    |    |    |    |
|------|---|---|---|----|----|----|----|----|
| ビット: | 7 | 6 | 5 | 4  | 3  | 2  | 1  | 0  |
|      |   |   |   | R4 | R3 | R2 | R1 | R0 |
| 初期値: | 0 | 0 | 0 | 0  | 0  | 0  | 0  | 0  |
| R/W: | R | R | R | R  | R  | R  | R  | R  |

SCFRDR2 内に格納されている受信データ数を示します。

H'00 は受信データがないことを、H'10 は SCFRDR2 に一杯の受信データが格納されていることを示します。



## 16.2.11 シリアルポートレジスタ (SCSPTR2)

|      |    |    |    |    |    |    |   |   |
|------|----|----|----|----|----|----|---|---|
| ビット: | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|      |    |    |    |    |    |    |   |   |
| 初期値: | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 |
| R/W: | R  | R  | R  | R  | R  | R  | R | R |

|      |       |       |       |       |   |   |        |        |
|------|-------|-------|-------|-------|---|---|--------|--------|
| ビット: | 7     | 6     | 5     | 4     | 3 | 2 | 1      | 0      |
|      | RTSIO | RTSDT | CTSIO | CTSDT |   |   | SPB2IO | SPB2DT |
| 初期値: | 0     |       | 0     |       | 0 | 0 | 0      |        |
| R/W: | R/W   | R/W   | R/W   | R/W   | R | R | R/W    | R/W    |

シリアルポートレジスタ (SCSPTR2) は、シリアルコミュニケーションインタフェース (SCIF) の端子にマルチプレクスされたポートの入出力およびデータを制御します。ビット 1、0 によって RxD2 端子から入力データを読み出し、TxD2 端子へ出力データを書き込むことができ、シリアル送受信のブレークを制御します。またビット 5 およびビット 4 で  $\overline{\text{CTS2}}$  端子に対してデータの読み込みおよび出力データを書き込むことができます。またビット 7 およびビット 6 で  $\overline{\text{RTS2}}$  端子に対してデータの読み込みおよび出力データを書き込むことができます。

SCSPTR2 レジスタは、16 ビットで、常に CPU による読み出し／書き込みが可能です。パワーオンリセット、マニュアルリセット時にビット 6、4、0 を除いたすべてのビットが 0 に初期化されます。ビット 6、4、0 は、不定です。スタンバイモード、モジュールスタンバイ時には初期化されません。

## ビット15～8：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## ビット7：シリアルポートRTSポート入出力 (RTSIO)

シリアルポートの  $\overline{\text{RTS2}}$  端子の入出力を指定します。実際に  $\overline{\text{RTS2}}$  端子をポート出力端子として RTSDT ビットで設定した値を出力する場合は、SCFCR2 の MCE ビットを 0 に設定してください。

| ビット 7 |   |
|-------|---|
| RTSIO | 説明  |
| 0     | $\overline{\text{RTS2}}$ 端子に RTSDT ビットの値を出力しないことを示します (初期値) |
| 1     | $\overline{\text{RTS2}}$ 端子に RTSDT ビットの値を出力することを示します        |

## ビット6：シリアルポートRTSポートデータ (RTSDT)

シリアルポートの  $\overline{\text{RTS2}}$  端子の入出力データを指定します。入力か出力かは RTSIO ビットで指定します (詳細はビット 7：RTSIO の説明参照)。出力の場合、RTSDT ビットの値が  $\overline{\text{RTS2}}$  端子に出力されます。RTSIO ビットの値にかかわらず、RTSDT ビットからは  $\overline{\text{RTS2}}$  端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。

| ビット 6 |                        |
|-------|------------------------|
| RTSDT | 説明                     |
| 0     | 入出力データがローレベルであることを示します |
| 1     | 入出力データがハイレベルであることを示します |

## 16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

### ビット5：シリアルポートCTSポート入出力 (CTSIO)

シリアルポートの  $\overline{\text{CTS2}}$  端子の入出力を指定します。実際に  $\overline{\text{CTS2}}$  端子をポート出力端子として CTSDT ビットで設定した値を出力する場合は、SCFCR2 の MCE ビットを 0 に設定してください。

| ビット 5 | 説明  |
|-------|---|
| CTSIO |   |
| 0     | $\overline{\text{CTS2}}$ 端子に CTSDT ビットの値を出力しないことを示します (初期値) |
| 1     | $\overline{\text{CTS2}}$ 端子に CTSDT ビットの値を出力することを示します        |

### ビット4：シリアルポートCTSポートデータ (CTSDT)

シリアルポートの  $\overline{\text{CTS2}}$  端子の入出力データを指定します。入力か出力かは CTSIO ビットで指定します (詳細はビット 5：CTSIO の説明参照)。出力の場合、CTSDT ビットの値が  $\overline{\text{CTS2}}$  端子に出力されます。CTSIO ビットの値にかかわらず、CTSDT ビットからは  $\overline{\text{CTS2}}$  端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。

| ビット 4 | 説明                     |
|-------|------------------------|
| CTSDT |                        |
| 0     | 入出力データがローレベルであることを示します |
| 1     | 入出力データがハイレベルであることを示します |

### ビット3、2：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### ビット1：シリアルポートブ레이크入出力 (SPB2IO)

シリアルポートの TxD2 端子の出力条件を指定します。実際に TxD2 端子をポート出力端子として SPB2DT ビットで設定した値を出力する場合は、SCSCR2 の TE ビットを 0 に設定してください。

| ビット 1  | 説明                                       |
|--------|--|
| SPB2IO |  |
| 0      | TxD2 端子に SPB2DT ビットの値を出力しないことを示します (初期値) |
| 1      | TxD2 端子に SPB2DT ビットの値を出力することを示します        |

### ビット0：シリアルポートブ레이크データ (SPB2DT)

シリアルポートの RxD2 端子の入力データおよび TxD2 端子の出力データを指定します。TxD2 端子の出力条件は SPB2IO ビットで指定します (詳細はビット 1：SPB2IO の説明参照)。TxD2 端子を出力に設定した場合、SPB2DT ビットの値が TxD2 端子に出力されます。SPB2IO ビットの値にかかわらず、SPB2DT ビットからは RxD2 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。

| ビット 0  | 説明                     |
|--------|------------------------|
| SPB2DT |                        |
| 0      | 入出力データがローレベルであることを示します |
| 1      | 入出力データがハイレベルであることを示します |

SCIF の I/O ポートのブロック図を図 16.2 ~ 図 16.5 に示します

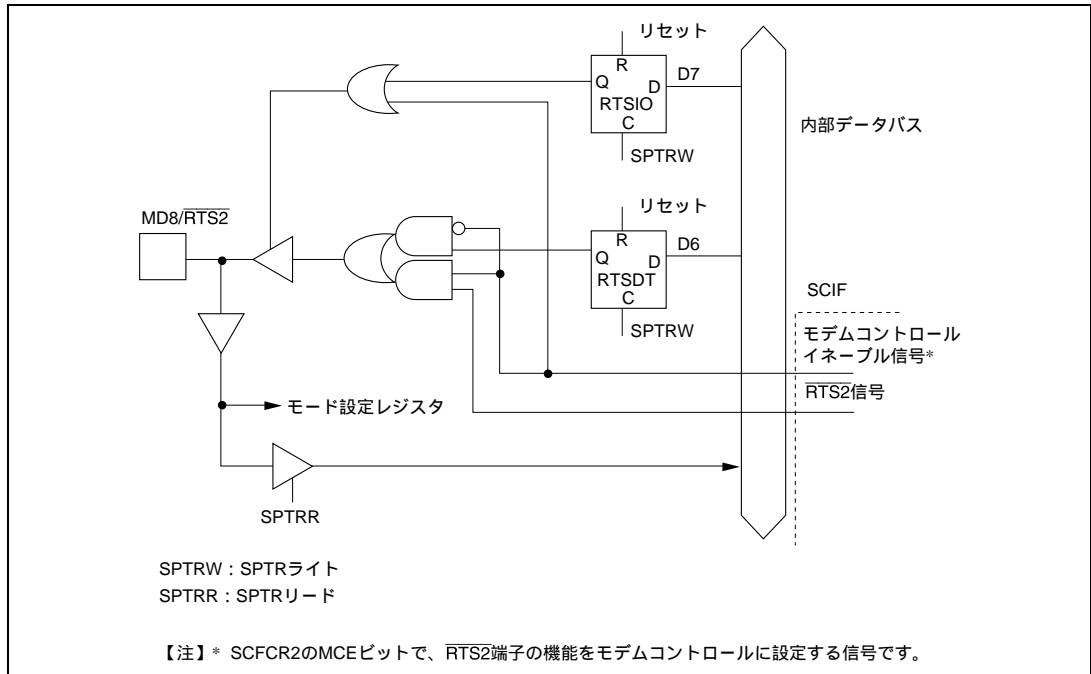


図 16.2 MD8/ $\overline{\text{RTS2}}$  端子

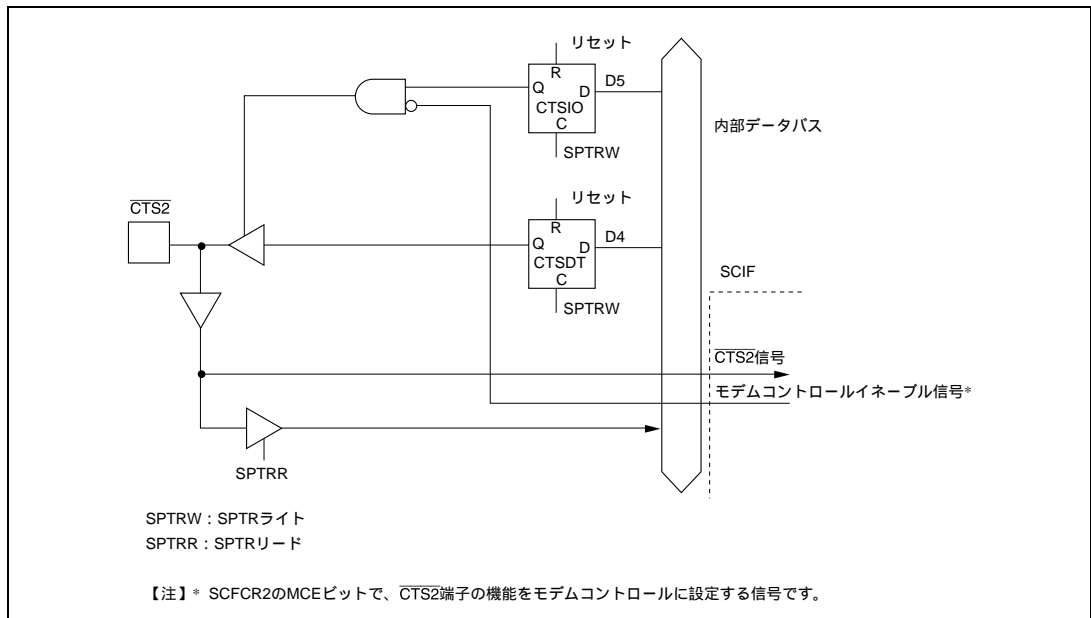


図 16.3  $\overline{\text{CTS2}}$  端子

## 16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

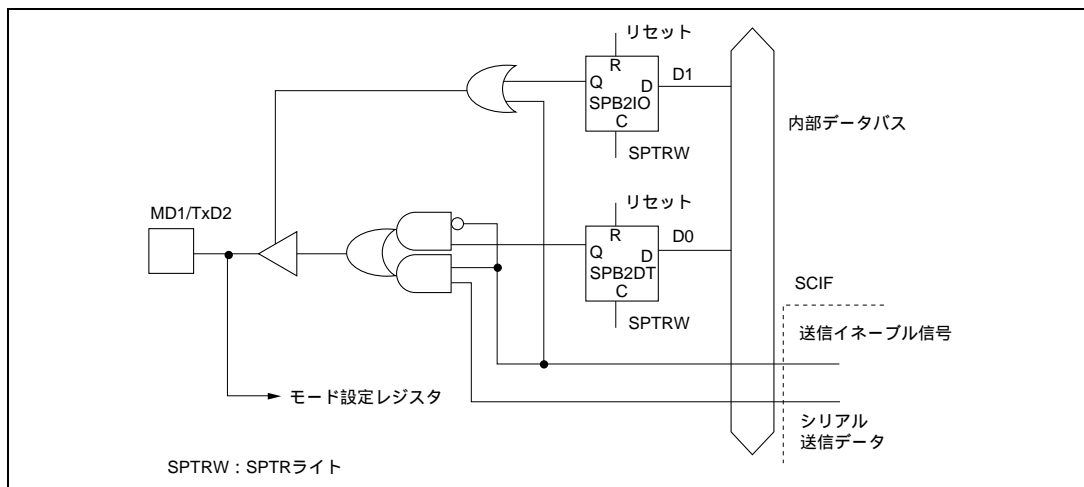


図 16.4 MD1/TxD2 端子

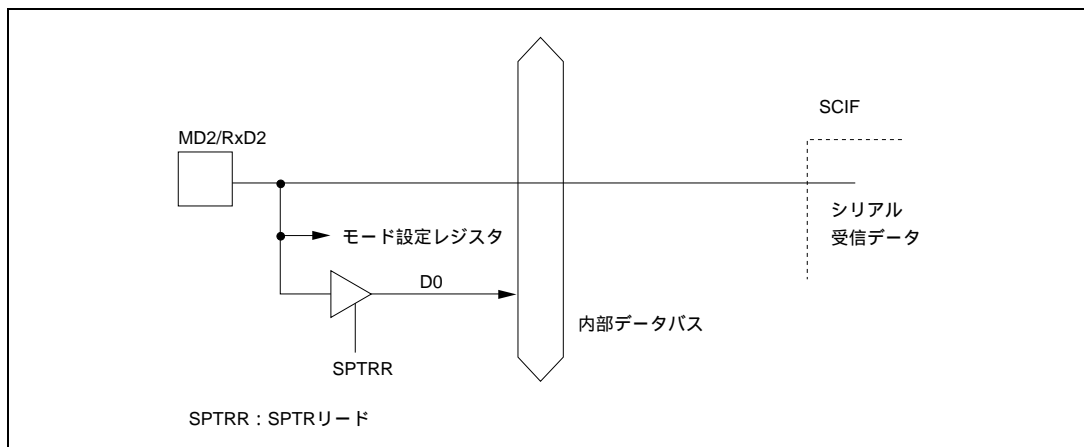


図 16.5 MD2/RxD2 端子

### 16.2.12 ラインステータスレジスタ (SCLSR2)

|      |    |    |    |    |    |    |   |   |
|------|----|----|----|----|----|----|---|---|
| ビット: | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|      |    |    |    |    |    |    |   |   |
| 初期値: | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 |
| R/W: | R  | R  | R  | R  | R  | R  | R | R |

|      |   |   |   |   |   |   |   |        |
|------|---|---|---|---|---|---|---|--------|
| ビット: | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0      |
|      |   |   |   |   |   |   |   | ORER   |
| 初期値: | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0      |
| R/W: | R | R | R | R | R | R | R | (R/W)* |

【注】 \* フラグをクリアするために0のみ書き込むことができます。

#### ビット15～1: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

#### ビット0: オーバランエラー (ORER)

受信時にオーバランエラーが発生して異常終了したことを示します。

| ビット0 | 説明  |
|------|---|
| ORER |   |
| 0    | 受信中、または正常に受信を完了したことを表示* <sup>1</sup> (初期値)<br>[クリア条件]<br>(1) パワーオンリセット、マニュアルリセット時<br>(2) ORER=1の状態を読み出した後、0を書き込んだとき |
| 1    | 受信時にオーバランエラーが発生したことを表示* <sup>2</sup><br>[セット条件]<br>受信 FIFO フルの状態で次のシリアル受信を完了したとき                                    |

【注】 \*<sup>1</sup> SCSCR2 の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。

\*<sup>2</sup> SCFRDR2 ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。

## 16.3 動作説明

### 16.3.1 概要

SCIF は、キャラクタ単位で同期をとりながら通信する調歩同期式モードで、シリアル通信ができます。調歩同期式モードの動作については「15.3.2 調歩同期式モード時の動作」を参照してください。

送受信各々に 16 段の FIFO バッファを内蔵しており、CPU のオーバヘッドを減らし、高速連続通信が可能です。また、モデムコントロール信号として  $\overline{\text{RTS2}}$ 、 $\overline{\text{CTS2}}$  信号を内蔵しています。

送受信フォーマットの選択は、シリアルモードレジスタ (SCSMR2) で行います。これを表 16.3 に示します。また、SCIF のクロックソースは、シリアルコントロールレジスタ (SCSCR2) の CKE1 で決まります。これを表 16.4 に示します。

## 16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

- データ長：7 ビット / 8 ビットから選択可能
- パリティの付加および 1 ビット / 2 ビットのストップビットの付加を選択可能(これらの組み合わせにより送信 / 受信フォーマット、およびキャラクタ長を決定)
- 受信時にフレーミングエラー、パリティエラー、レシーブ FIFO データフル、オーバランエラー、レシーブデータレディ、およびブレークの検出が可能
- 送受信 FIFO レジスタ各々の格納データ数を表示
- SCIF のクロックソース：内部クロック / 外部クロックから選択可能
  - 内部クロックを選択した場合：
    - SCIFはボーレートジェネレータのクロックで動作
  - 外部クロックを選択した場合：
    - ビットレートの16倍の周波数のクロックを入力することが必要
    - (内蔵ボーレートジェネレータを使用しない)

表 16.3 SCSMR2 の設定値とシリアル送信 / 受信フォーマット

| SCSMR2 の設定値 |       |       | モード          | SCIF の送信 / 受信フォーマット |            |         |          |       |
|-------------|-------|-------|--------------|---------------------|------------|---------|----------|-------|
| ビット 6       | ビット 5 | ビット 3 |              | データ長                | マルチプロセスビット | パリティビット | ストップビット長 |       |
| CHR         | PE    | STOP  |              |                     |            |         |          |       |
| 0           | 0     | 0     | 調歩同期式<br>モード | 8 ビットデータ            | なし         | なし      | 1 ビット    |       |
|             |       | 1     |              |                     |            |         | 2 ビット    |       |
|             | 1     | 0     |              |                     |            | あり      | 1 ビット    |       |
|             |       | 1     |              |                     |            |         | 2 ビット    |       |
| 1           | 0     | 0     |              | 7 ビットデータ            |            | なし      | なし       | 1 ビット |
|             |       | 1     |              |                     |            |         |          | 2 ビット |
|             | 1     | 0     |              |                     |            |         | あり       | 1 ビット |
|             |       | 1     |              |                     |            |         |          | 2 ビット |

表 16.4 SCSCR2 の設定と SCIF のクロックソースの選択

| SCSCR2 の設定 | SCIF の送信 / 受信クロック |         |                          |
|------------|-------------------|---------|--------------------------|
| ビット 1      | モード               | クロックソース | SCK2 端子の機能               |
| CKE1       |                   |         |                          |
| 0          | 調歩同期式             | 内部      | SCIF は、SCK2 端子を使用しません    |
| 1          | モード               | 外部      | ビットレートの 16 倍の周波数のクロックを入力 |

### 16.3.2 シリアル動作

#### (1) 送信 / 受信フォーマット

設定可能な送信 / 受信フォーマットを、表 16.5 に示します。

送信 / 受信フォーマットは 8 種類あり、シリアルモードレジスタ (SCSMR2) の設定により選択できます。

表 16.5 シリアル送信／受信フォーマット

| SCSMR2の設定 |    |      | シリアル送信／受信フォーマットとフレーム長 |         |   |   |   |   |   |   |      |      |      |      |
|-----------|----|------|-----------------------|---------|---|---|---|---|---|---|------|------|------|------|
| CHR       | PE | STOP | 1                     | 2       | 3 | 4 | 5 | 6 | 7 | 8 | 9    | 10   | 11   | 12   |
| 0         | 0  | 0    | S                     | 8ビットデータ |   |   |   |   |   |   |      | STOP |      |      |
| 0         | 0  | 1    | S                     | 8ビットデータ |   |   |   |   |   |   |      | STOP | STOP |      |
| 0         | 1  | 0    | S                     | 8ビットデータ |   |   |   |   |   |   |      | P    | STOP |      |
| 0         | 1  | 1    | S                     | 8ビットデータ |   |   |   |   |   |   |      | P    | STOP | STOP |
| 1         | 0  | 0    | S                     | 7ビットデータ |   |   |   |   |   |   | STOP |      |      |      |
| 1         | 0  | 1    | S                     | 7ビットデータ |   |   |   |   |   |   | STOP | STOP |      |      |
| 1         | 1  | 0    | S                     | 7ビットデータ |   |   |   |   |   |   | P    | STOP |      |      |
| 1         | 1  | 1    | S                     | 7ビットデータ |   |   |   |   |   |   | P    | STOP | STOP |      |

## 《記号説明》

S : スタートビット

STOP : ストップビット

P : パリティビット

## (2) クロック

SCIF の送受信クロックは、シリアルコントロールレジスタ (SCSCR2) の CKE1 ビットの設定により、内蔵ボーレートジェネレータの生成した内部クロックまたは、SCK2 端子から入力された外部クロックの 2 種類から選択できます。SCIF のクロックソースの選択については表 16.4 を参照してください。

外部クロックを SCK2 端子に入力する場合には、使用するビットレートの 16 倍の周波数のクロックを入力してください。

## (3) データの送信／受信動作

- SCIF の初期化

データの送信／受信前には、まず SCSCR2 の TE ビット、および RE ビットを 0 にクリアした後、以下の順で SCIF を初期化してください。

通信フォーマットの変更などの場合には必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。TE ビットを 0 にクリアすると、トランスミットシフトレジスタ (SCTSR2) が初期化されます。TE、RE ビットを 0 にクリアしても、シリアルステータスレジスタ (SCFSR2)、トランスミット FIFO データレジスタ (SCFTDR2) および、レシーブ FIFO データレジスタ (SCFRDR2) の内容は保持されますので注意してください。TE ビットの 0 クリアは、送信データをすべて送信し SCFSR2 の TEND フラグがセットされた後

## 16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

に行ってください。送信中でも0クリア可能ですが、送信中のデータは0クリア後、マーク状態になります。また再度TEビットを1にセットして送信開始する前にSCFCR2のTFRSTビットをいったん1にセットしてSCFTDR2をリセットしてください。

外部クロックを使用している場合には、動作が不確実にになりますので初期化を含めた動作中にクロックを止めないでください。

図16.6にSCIFの初期化フローチャートの例を示します。

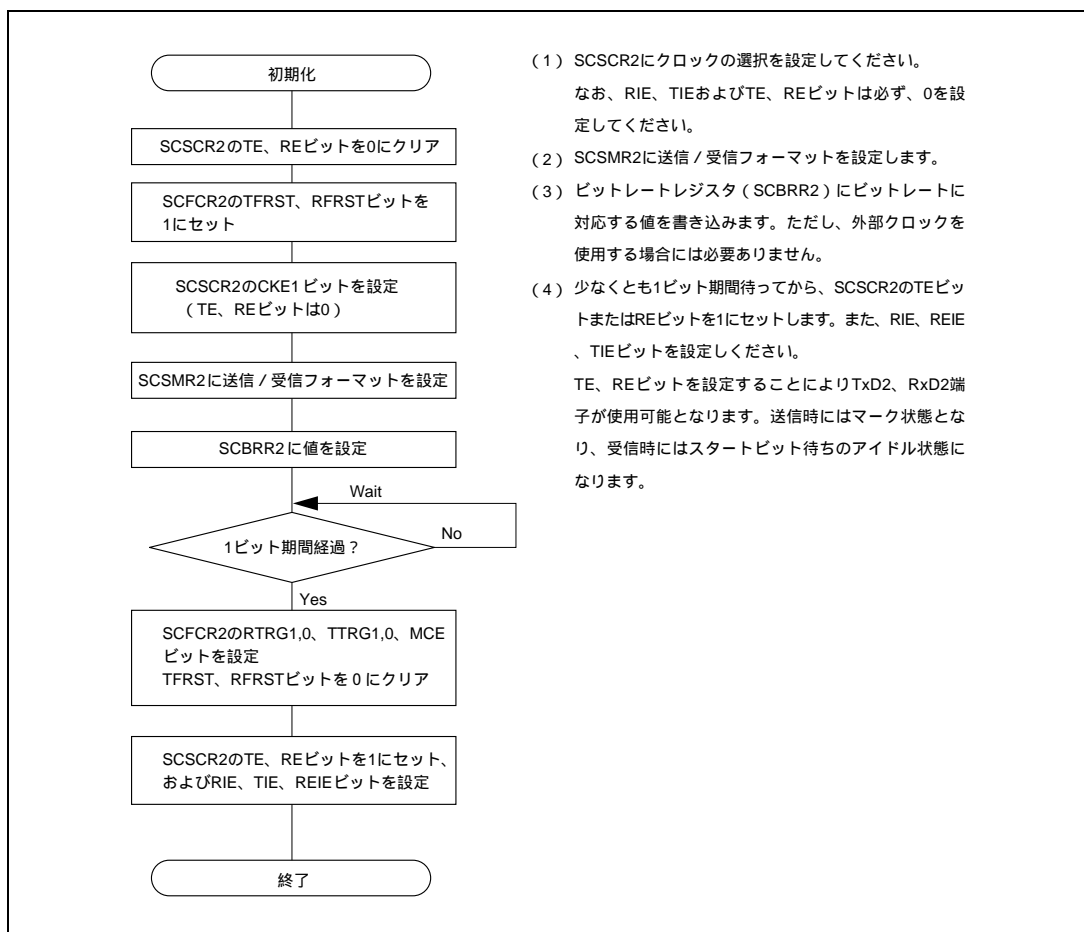


図 16.6 SCIF の初期化フローチャートの例



- シリアルデータ送信

図16.7にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は、SCIFを送信動作可能状態に設定した後、以下の手順を参考に行ってください。

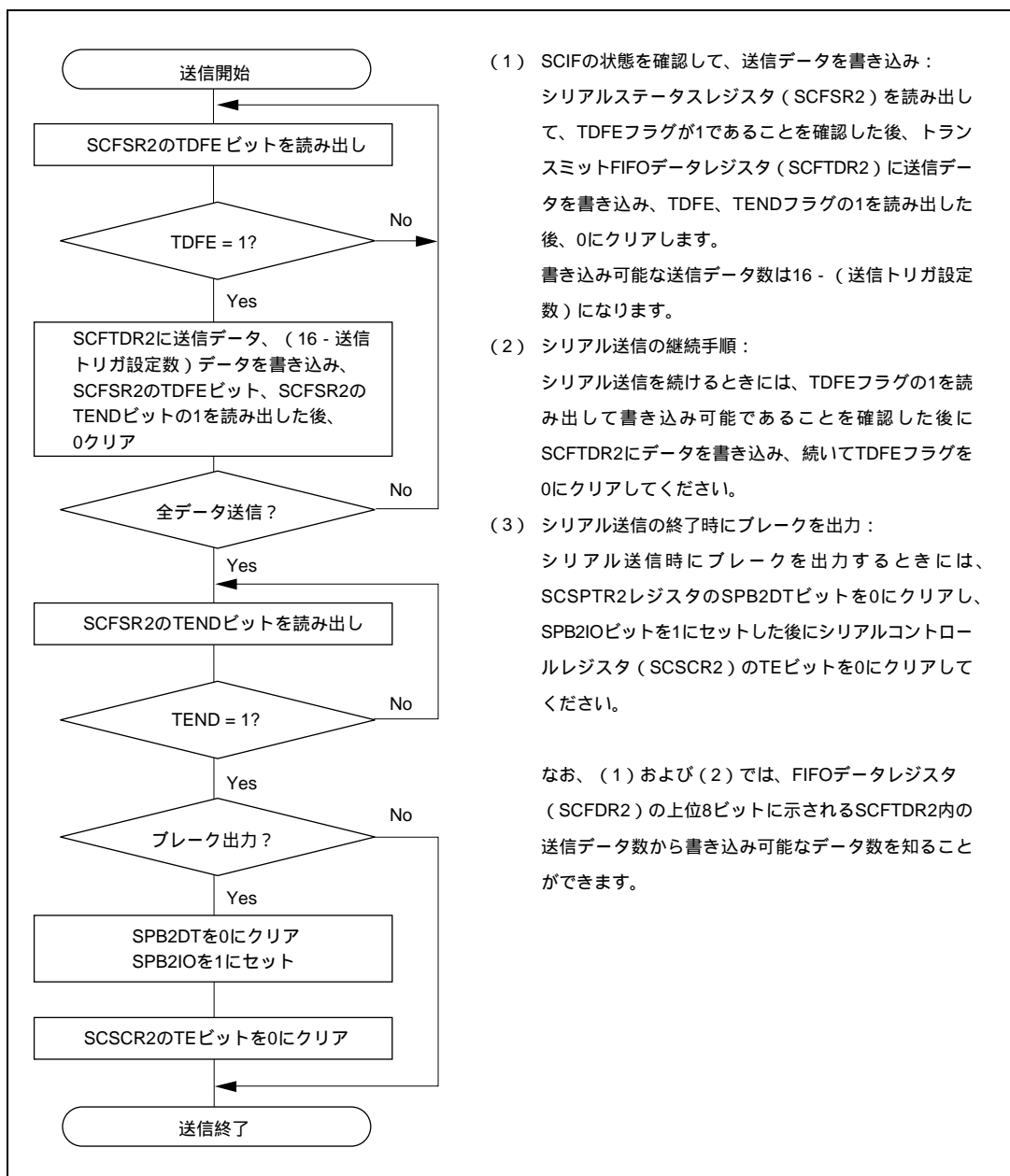


図 16.7 シリアル送信のフローチャートの例

## 16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

---

SCIF はシリアル送信時に以下のように動作します。

- (1) SCIF は、トランスミット FIFO データレジスタ (SCFTDR2) にデータが書き込まれると、SCFTDR2 からトランスミットシフトレジスタ (SCTSR2) にデータを転送し、送信を開始します。SCFTDR2 にはシリアルステータスレジスタ (SCFSR2) の TDFE フラグが 1 であることを確認して送信データを書き込んでください。書き込み可能なデータ数は少なくとも (16 - 送信トリガ設定) 数です。
- (2) SCFTDR2 から SCTSR2 へデータが転送され、送信を開始すると、SCFTDR2 に送信データがなくなるまで連続して送信動作を続けます。途中、SCFTDR2 内の送信データ数が FIFO コントロールレジスタ (SCFCR2) で設定した送信トリガ数以下になったとき、TDFE フラグをセットします。  
このとき、シリアルコントロールレジスタ (SCSCR2) の TIE ビットが 1 にセットされていると送信 FIFO データエンプティ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順に Tx D2 端子から送り出されます。

- (a) スタートビット：1 ビットの 0 が出力されます。
  - (b) 送信データ：8 ビット、または 7 ビットのデータが LSB から順に出力されます。
  - (c) パリティビット (偶数パリティ、または奇数パリティ) が出力されます。  
なお、パリティビットを出力しないフォーマットも選択できます。
  - (d) ストップビット：1 ビットまたは 2 ビットの 1 (ストップビット) が出力されます。
  - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで 1 を出力し続けます。
- (3) SCIF は、ストップビットを送出するタイミングで SCFTDR2 の送信データをチェックします。  
データがあると SCFTDR2 から SCTSR2 にデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。  
送信データがないとシリアルステータスレジスタ (SCFSR2) の TEND フラグに 1 をセットし、ストップビットを送り出した後、1 を出力するマーク状態になります。

調歩同期式モードでの送信時の動作例を図 16.8 に示します。

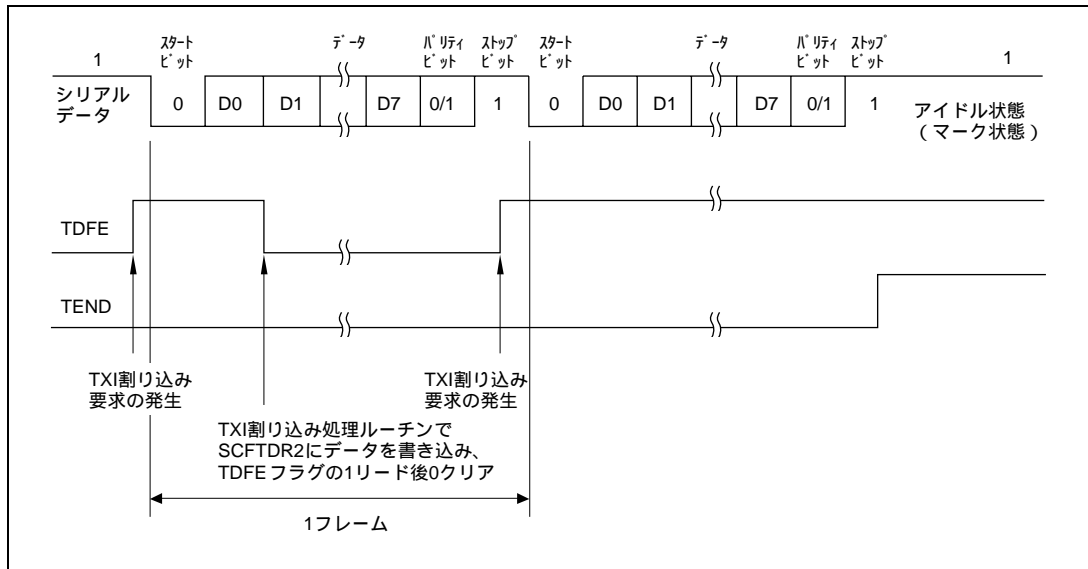
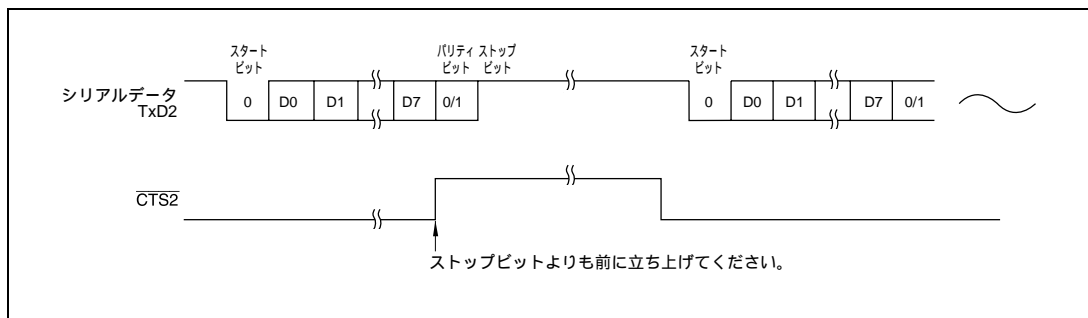


図 16.8 送信時の動作例

(8 ビットデータ／パリティあり／1 ストップビットの例)

- (4) モデムコントロールイネーブル時は  $\overline{\text{CTS2}}$  入力値によって送信動作を停止／再開することができます。 $\overline{\text{CTS2}}$  が 1 になると現在送信中のときは 1 フレーム送信終了後マーク状態になります。 $\overline{\text{CTS2}}$  を 0 にすると再びスタートビットから次の送信データを出力します。モデムコントロール時の動作例を図16.9に示します。


図 16.9 モデムコントロール ( $\overline{\text{CTS2}}$ ) 時の動作例

- シリアルデータ受信

図16.10にシリアル受信フローチャートの例を示します。

シリアルデータ受信は、SCIFを受信動作可能状態に設定した後、以下の手順に従って行ってください。

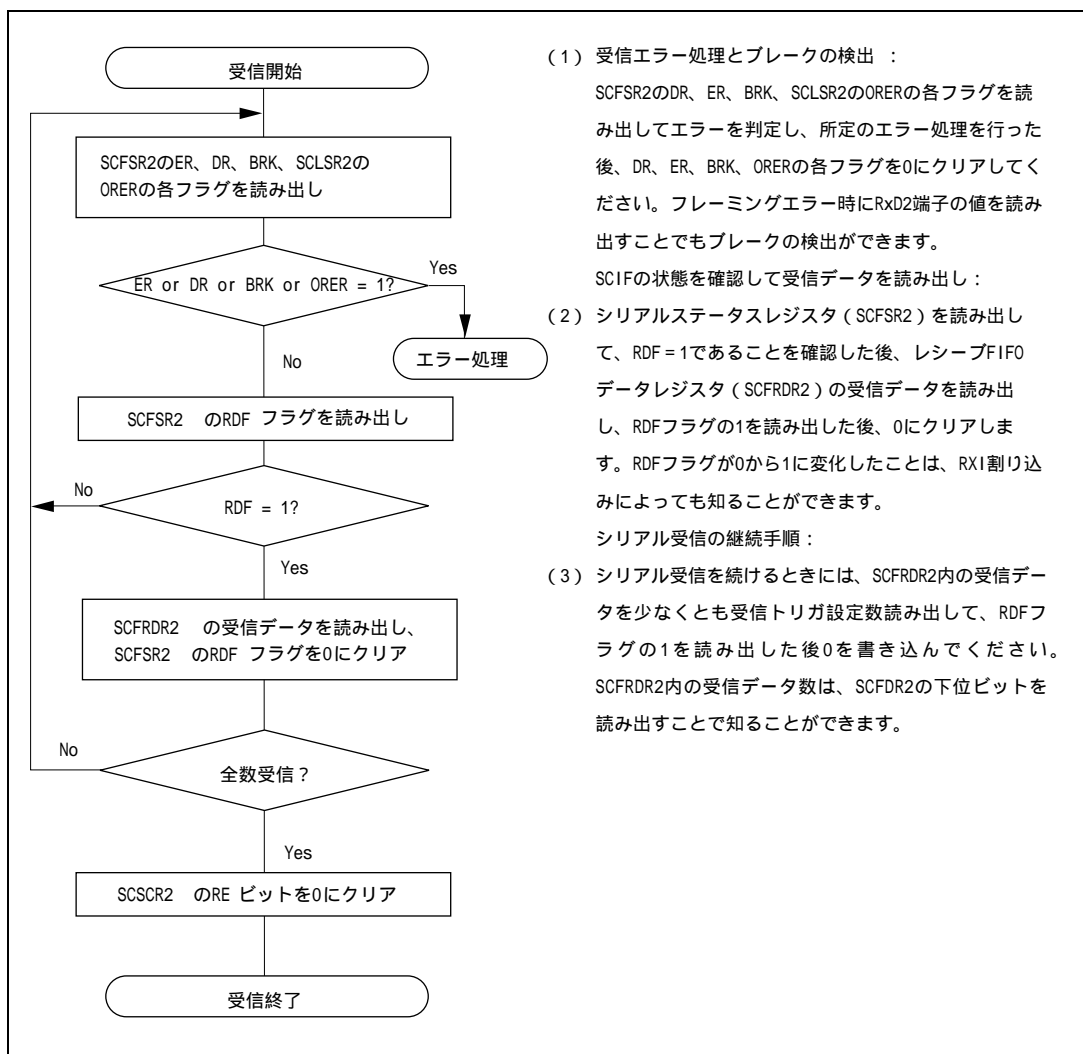


図 16.10 シリアル受信のフローチャートの例 (1)

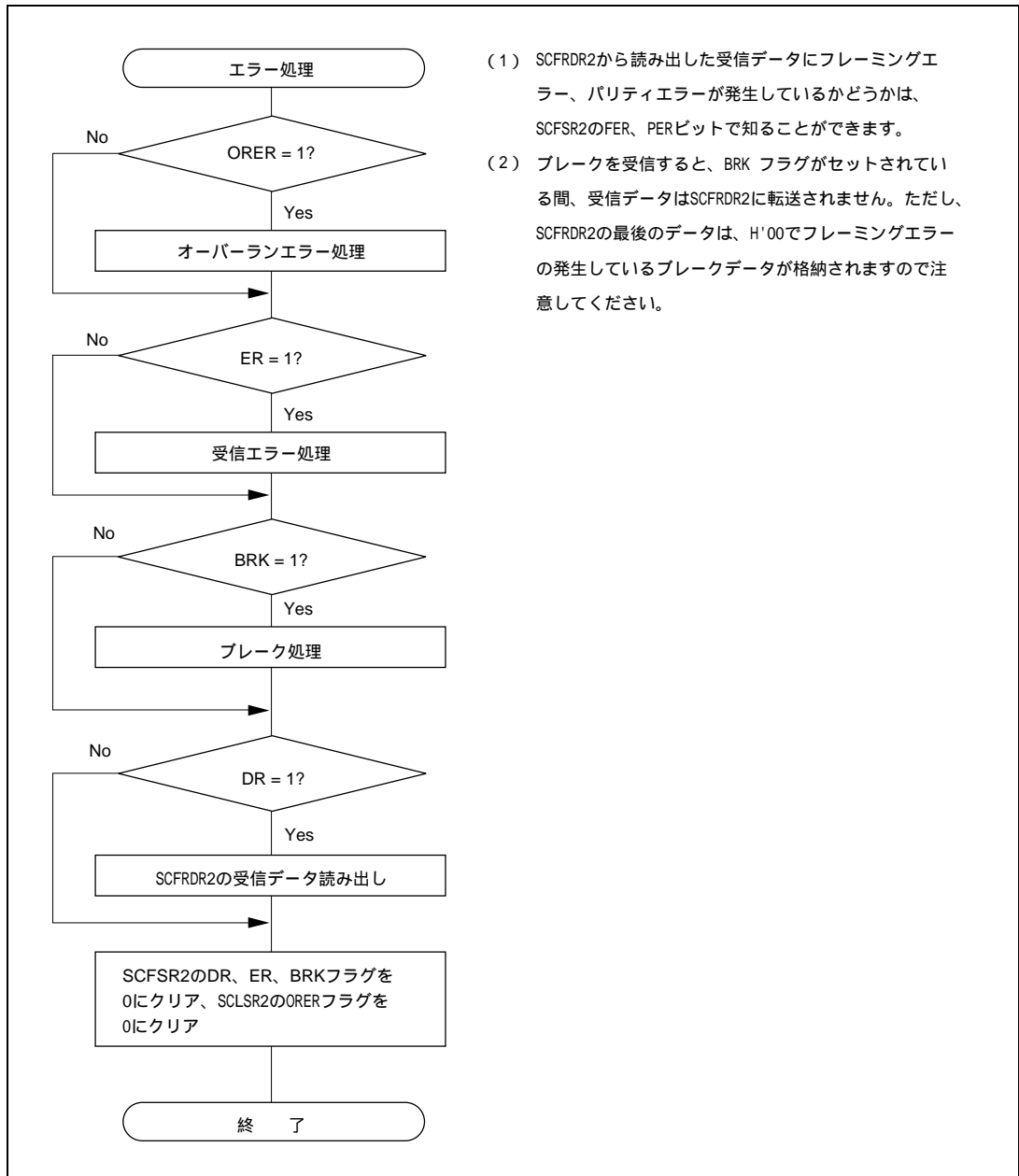


図 16.10 シリアル受信のフローチャートの例 (2)

## 16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

---

SCIF は受信時に以下のように動作します。

- (1) SCIF は通信回線を監視し、スタートビットの 0 を検出すると内部を同期化し、受信を開始します。
- (2) 受信したデータを SCRSR2 の LSB から MSB の順に格納します。
- (3) パリティビット、およびストップビットを受信します。

受信後、SCIF は以下のチェックを行います。

- (a) ストップビットチェック：ストップビットが 1 であるかをチェックします。  
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (b) 受信データをレシフシフトレジスタ (SCRSR2) から SCFRDR2 に転送できる状態であるかをチェックします。
- (c) オーバランエラーチェック：ORER フラグが 0 であり、オーバランエラーが発生していないことをチェックします。
- (d) ブレークチェック：BRK フラグが 0 であり、ブレーク状態でないことをチェックします。

以上のチェックがパスしたとき、SCFRDR2 に受信データが格納されます。

【注】パリティエラー、フレーミングエラーが発生しても受信動作を続けます。

- (4) RDF フラグまたは DR フラグが 1 になったとき、SCSCR2 の RIE ビットが 1 にセットされていると受信 FIFO データフル割り込み (RXI) 要求が発生します。  
また、ER フラグが 1 になったとき、SCSCR2 の RIE ビットまたは REIE ビットが 1 にセットされていると受信エラー割り込み (ERI) 要求が発生します。  
さらに、BRK フラグまたは ORER フラグが 1 になったとき、SCSCR2 の RIE ビットまたは REIE ビットが 1 にセットされていると、ブレーク受信割り込み (BRI) 要求が発生します。

調歩同期式モード受信時の動作例を図 16.11 に示します。

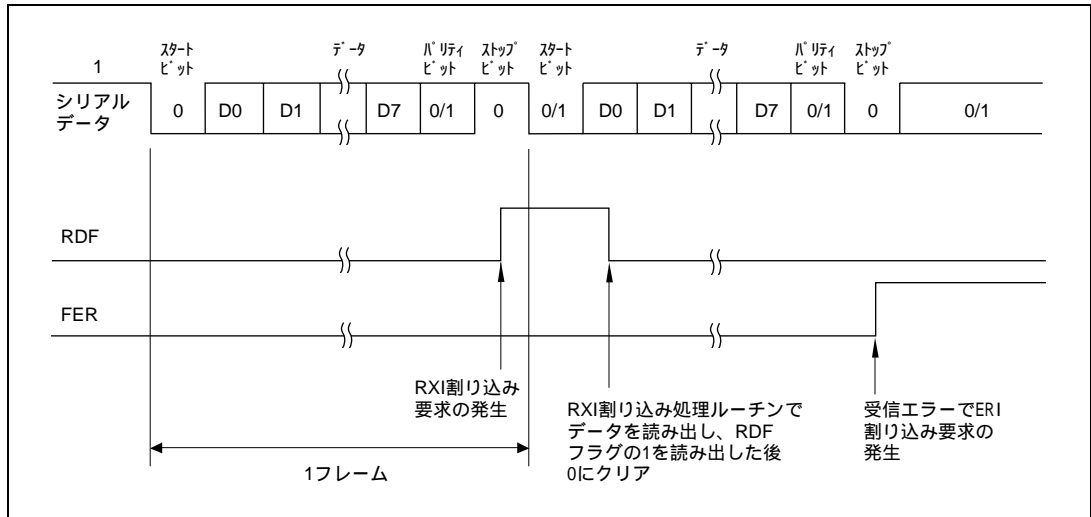


図 16.11 SCIF の受信時の動作例  
(8 ビットデータ / パリティあり / 1 ストップビットの例)

(5) モデムコントロールイネーブル時は、SCFRDR2 の空き状況によって  $\overline{\text{RTS2}}$  信号を出力します。

$\overline{\text{RTS2}}$  が 0 のときは受信可能状態です。

$\overline{\text{RTS2}}$  が 1 のときは SCFRDR2 内のデータが 15 バイト以上で空きがなく受信不可能を示します。

モデムコントロール時の動作例を図 16.12 に示します。

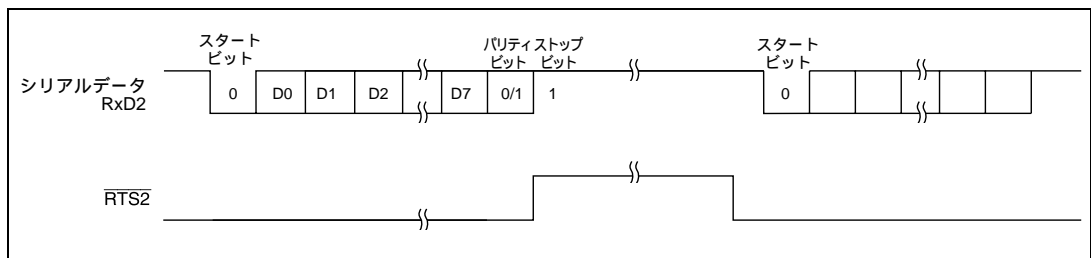


図 16.12 モデムコントロール ( $\overline{\text{RTS2}}$ ) の動作例

## 16.4 SCIF 割り込み要因と DMAC

SCIF は、送信 FIFO データエンプティ割り込み (TXI) 要求、受信エラー割り込み (ERI) 要求、受信 FIFO データフル割り込み (RXI) 要求、ブレーク割り込み (BRI) 要求の 4 種類の割り込み要因を持っています。

表 16.6 に各割り込み要因と優先順位を示します。各割り込み要因は、SCSCR2 の TIE、RIE、REIE ビットで、許可または禁止ができます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

DMAC を使って送受信を行う場合は、SCSCR2 の RIE ビットを 0 に設定することにより、割り込みコントローラに割り込み要求を出さない設定にできます。この状態で REIE ビットを 1 に設定すると、RXI 割り込み要求を出さずに ERI 割り込み要求と BRI 割り込み要求だけを出すことができます。

SCFSR2 の TDFE フラグが 1 にセットされると、割り込み要求とは別に送信 FIFO データエンプティ要求が発生します。送信 FIFO データエンプティ要求で、DMAC を起動してデータ転送を行うことができます。

SCFSR2 の RDF フラグまたは DR フラグが 1 にセットされると、割り込み要求とは別に受信 FIFO データフル要求が発生します。受信 FIFO データフル要求で、DMAC を起動してデータ転送を行うことができます。

DMAC を使って送受信を行う場合は、先に DMAC を設定し、イネーブル状態にしてから SCIF の設定を行ってください。DMAC の設定方法は「第 14 章 ダイレクトメモリアクセスコントローラ」を参照してください。

さらに、SCFSR2 の BRK フラグまたは SCLSR2 の ORER フラグが 1 にセットされると、BRI 割り込み要求が発生します。

なお、TXI 割り込みは送信データを書き込み可能なことを示し、RXI 割り込みは受信データが SCFDR2 にあることを示しています。

表 16.6 SCIF 割り込み要因

| 割り込み要因 | 内容                                       | DMACの起動 | リセット解除時の優先順位  |
|--------|--|---------|---|
| ERI    | 受信エラー (ER) による割り込み                       | 不可      | <div style="text-align: center;">           高<br/>           ↑<br/>           ↓<br/>           低         </div> |
| RXI    | 受信FIFOデータフル (RDF) またはデータレディ (DR) による割り込み | 可       |   |
| BRI    | ブレーク (BRK) またはオーバランエラー (ORER) による割り込み    | 不可      |   |
| TXI    | 送信FIFOデータエンプティ (TDFE) による割り込み            | 可       |   |

優先順位、SCIF 以外の割り込みとの関係は、「第 5 章 例外処理」を参照してください。



## 16.5 使用上の注意

SCIF を使用する際は、以下のことに注意してください。

### (1) SCFTDR2 への書き込みと TDFE フラグについて

シリアルステータスレジスタ (SCFSR2) の TDFE フラグはトランスミット FIFO データレジスタ (SCFTDR2) 内に書き込んだ送信データ数が、FIFO コントロールレジスタ (SCFCR2) の TTRG1、0 ビットで設定した送信トリガ数以下になったときセットされます。TDFE がセットされた後、SCFTDR2 の空きデータ数まで送信データを書き込むことができ、効率よい連続送信が可能となります。

しかし TDFE フラグは SCFTDR2 に書き込まれているデータ数が送信トリガ数以下の場合には、1 を読み出し後、0 にクリアしても再び 1 にセットされます。TDFE のクリアは送信トリガ数より多い送信データが SCFTDR2 に格納されたときに行ってください。

SCFTDR2 内の送信データ数は FIFO データ数レジスタ (SCFDR2) の上位 8 ビットで知ることができます。

### (2) SCFRDR2 の読み出しと RDF フラグについて

シリアルステータスレジスタ (SCFSR2) の RDF フラグは、レシーブ FIFO データレジスタ (SCFRDR2) 内の受信データ数が FIFO コントロールレジスタ (SCFCR2) の RTRG1、0 ビットで設定した受信トリガ数以上になったときセットします。RDF がセットされた後、SCFRDR2 からトリガ数分の受信データを読み出すことで効率のよい連続受信が可能です。

ただし、読み出し後も SCFRDR2 内のデータ数がトリガ数以上の場合、RDF フラグを 0 にクリアしても再び 1 にセットされますので、すべての受信データを読み出した後、RDF フラグの 1 を読み出し 0 にクリアしてください。

SCFRDR2 内の受信データ数は FIFO データ数レジスタ (SCFDR2) の下位 8 ビットで知ることができます。

### (3) ブレークの検出と処理について

フレーミングエラー (FER) 検出時に RxD2 端子の値を直接読み出すことによっても、ブレークを検出できます。ブレークでは、RxD2 端子からの入力すべて 0 になりますので、FER フラグがセットされ、またパリティエラー (PER) もセットされる場合があります。

SCIF は、ブレークを検出すると SCFRDR2 への受信データの転送は停止しますが、受信動作は続けています。

### (4) ブレークの送り出し

TxD2 端子は、シリアルポートレジスタ (SCSPTR2) の SPB2IO、SPB2DT ビットで入出力条件とレベルを決めることができます。これを使ってブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセット (送信可能) するまでは、TxD2 端子として機能しません。この間は、マーク状態は SPB2DT ビットの値で代替えされます。このため、最初は SPB2IO と SPB2DT ビットを 1 に設定 (出力、ハイレベル) しておきます。

シリアル送信時にブレークを送り出したいときは SPB2DT ビットを 0 (ローレベル) にクリアした後、TE ビットを 0 にクリア (送信停止) します。TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD2 端子からは 0 が出力されます。

### (5) 受信データサンプリングタイミングと受信マージン

SCIF は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCIF は、スタートビットの立ち下がりを基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。

これを図 16.13 に示します。

## 16. FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)

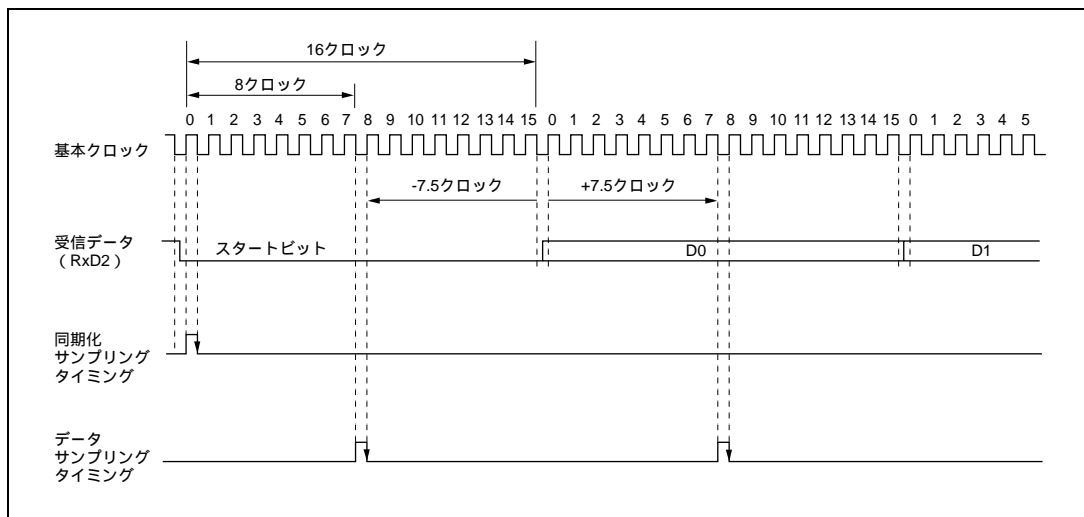


図 16.13 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left( 0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\% \dots \text{式 (1)}$$

M : 受信マージン (%)

N : クロックに対するビットレート of 比 (N = 16)

D : クロックデューティ (D = 0 ~ 1.0)

L : フレーム長 (L = 9 ~ 12)

F : クロック周波数の偏差の絶対値

式 (1) で、F = 0、D = 0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D = 0.5、F = 0 のとき

$$M = \left( 0.5 - \frac{1}{2 \times 16} \right) \times 100\% \\ = 46.875\%$$

.....式 (2)

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ~ 30% の余裕を持たせてください。

### (6) SCK2/MRESET

SCK2 端子にマニュアルリセット端子がマルチプレクスされていますので、外部クロックモードで SCIF を動作中、マニュアルリセットを行わないでください。

### (7) DMAC 使用時

DMAC を使って送受信を行う場合は、割り込みコントローラへ RXI、TXI 割り込み要求を出さない設定にしてください。割り込み要求を出さず設定にした場合でも、割り込みコントローラへの割り込み要求は割り込み処理プログラムとは無関係に DMAC によってクリアされます。

## (8) シリアルポート

シリアルポートを使用して SCIF 端子の値を読み出す場合、周辺クロックの 2 サイクル前の値を読み出しますので注意してください。

## (9) オーバランエラーフラグ

データ受信中にオーバランエラーとフレーミングエラーが同時に発生した場合、つまりオーバランした 17 バイト目の受信データがフレーミングエラーを伴う場合、オーバランエラーフラグはセットされません。フレーミングエラーが発生したことを示す SCFSR2.ER フラグだけがセットされます。受信 FIFO は、オーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。失われたデータについては、SCFSR2.FER に相当するビットの設定はありません。

通常のオーバランエラー処理に加えて、フレーミングエラー発生時にもオーバランエラーが発生したか否かをチェックし、オーバランエラーが発生した場合はオーバランエラー処理を行ってください。(オーバランエラーだけが発生して他の受信エラーが発生していない場合や、オーバランエラーとパリティエラーが同時に発生した場合は問題ありませんので通常のオーバランエラー処理を行ってください。通常のオーバランエラー処理を優先して行ってください。)

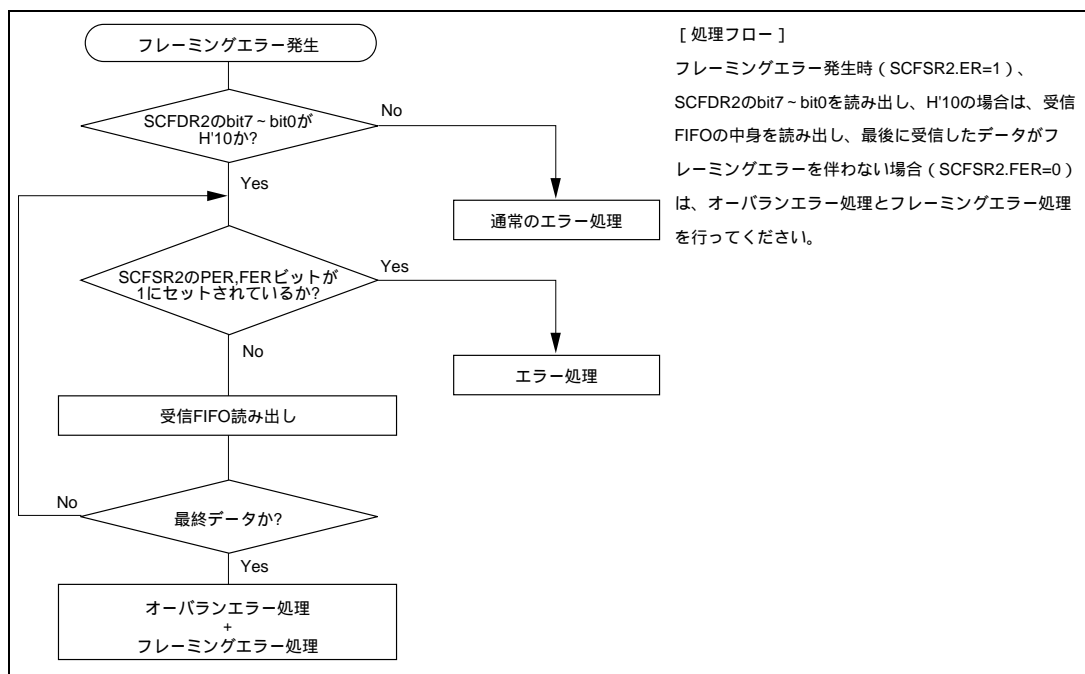


図 16.14 フレーミングエラー発生処理フロー

---

## 17. スマートカードインタフェース

---

### 17.1 概要

シリアルコミュニケーションインタフェース (SCI) の拡張機能として、ISO/IEC7816-3 (Identification Card) に準拠した IC カード (スマートカード) インタフェースをサポートしています。

通常のシリアルコミュニケーションインタフェースとスマートカードインタフェースの切り換えはレジスタの設定で行います。

#### 17.1.1 特長

スマートカードインタフェースには次の特長があります。

- 調歩同期式モード
  - データ長：8 ビット
  - パリティビットの生成およびチェック
  - 受信モードにおけるエラーシグナル (パリティエラー) の送出
  - 送信モードにおけるエラーシグナルの検出とデータの自動再送信
  - ダイレクトコンベンション / インバースコンベンションの両方をサポート
- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- 3 種類の割り込み要因

送信データエンプティ、受信データフル、送受信エラーの3種類の割り込み要因があり、それぞれ独立に要求することができます。

送信データエンプティ要求と受信データフル要求により、DMAコントローラ (DMAC) を起動させてデータの転送を行うことができます。

### 17.1.2 ブロック図

スマートカードインタフェースのブロック図を図 17.1 に示します。

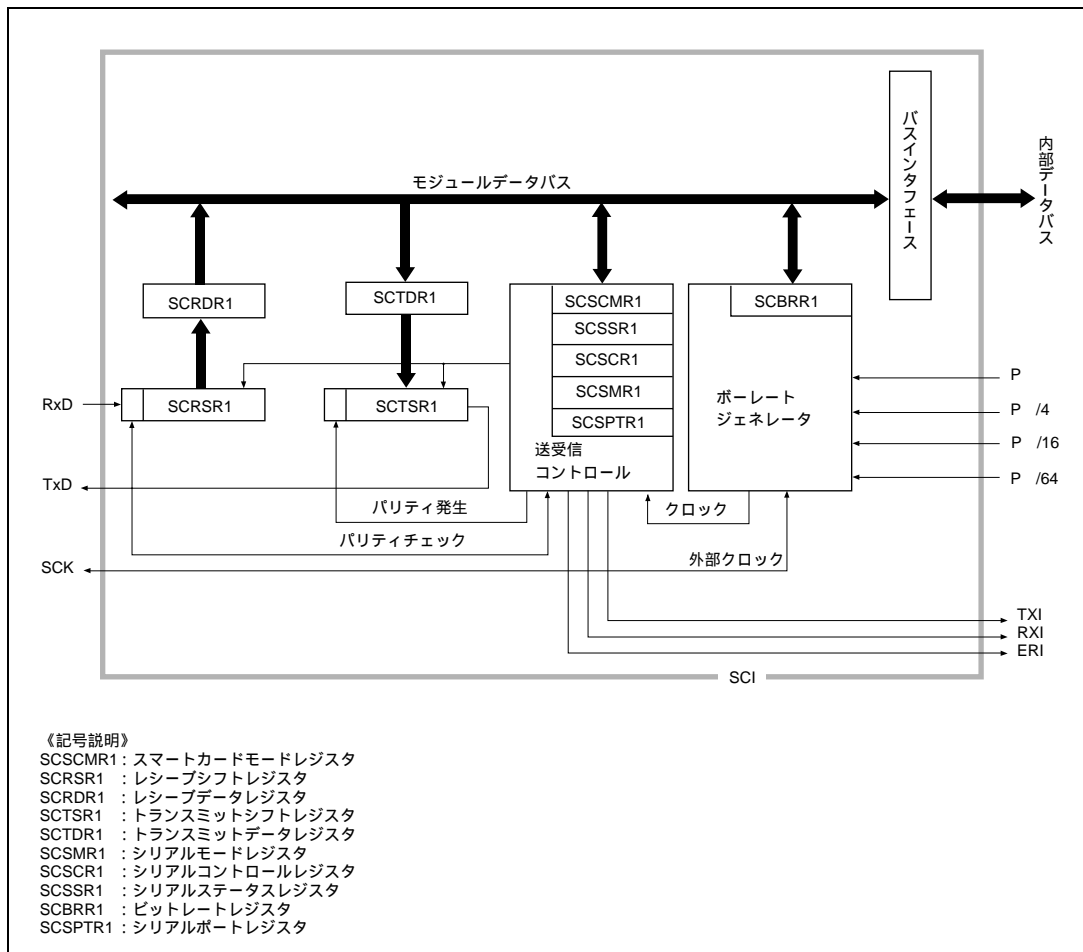


図 17.1 スマートカードインタフェース

### 17.1.3 端子構成

スマートカードインタフェースの端子構成を表 17.1 に示します。

表 17.1 端子構成

| 名称           | 略称      | 入出力 | 機能      |
|--------------|---------|-----|---------|
| シリアルクロック端子   | MD0/SCK | 入出力 | クロック入出力 |
| レシーブデータ端子    | RxD     | 入力  | 受信データ入力 |
| トランスミットデータ端子 | MD7/TxD | 出力  | 送信データ出力 |

### 17.1.4 レジスタ構成

スマートカードインタフェースで使用するレジスタ構成を表 17.2 に示します。SCBRR1、SCTDR1、SCRDR1、SCSPTR1 については、通常の SCI の機能と同様ですので、「第 15 章 シリアルコミュニケーションインタフェース」のレジスタの説明を参照してください。

スマートカードインタフェース用のレジスタはシリアルポートレジスタを除き、パワーオンリセット、マニュアルリセット時だけではなく、スタンバイモード、モジュールスタンバイ時にも初期化されます。スタンバイモード、モジュールスタンバイからの復帰時にはレジスタを再度設定し直す必要があります。

表 17.2 レジスタ構成

| 名称                 | 略称      | R/W      | 初期値    | P4 アドレス    | エリア 7<br>アドレス | アクセス<br>サイズ |
|--------------------|---------|----------|--------|------------|---------------|-------------|
| シリアルモードレジスタ        | SCSMR1  | R/W      | H'00   | H'FFE00000 | H'1FE00000    | 8           |
| ビットレートレジスタ         | SCBRR1  | R/W      | H'FF   | H'FFE00004 | H'1FE00004    | 8           |
| シリアルコントロール<br>レジスタ | SCSCR1  | R/W      | H'00   | H'FFE00008 | H'1FE00008    | 8           |
| トランスミットレジスタ        | SCTDR1  | R/W      | H'FF   | H'FFE0000C | H'1FE0000C    | 8           |
| シリアルステータスレジスタ      | SCSSR1  | R/(W) *1 | H'84   | H'FFE00010 | H'1FE00010    | 8           |
| レシーブデータレジスタ        | SCRDR1  | R        | H'00   | H'FFE00014 | H'1FE00014    | 8           |
| スマートカードモード<br>レジスタ | SCSCMR1 | R/W      | H'00   | H'FFE00018 | H'1FE00018    | 8           |
| シリアルポートレジスタ        | SCSPTR1 | R/W      | H'00*2 | H'FFE0001C | H'1FE0001C    | 8           |

【注】 \*1 フラグをクリアするための 0 ライトのみ可能です。

\*2 ビット 2、0 は不定。

## 17.2 各レジスタの説明

スマートカードインタフェースで追加されるレジスタおよび機能が変更されるビットについて説明します。

### 17.2.1 スマートカードモードレジスタ (SCSCMR1)

スマートカードモードレジスタ (SCSCMR1) は、スマートカードインタフェースの機能の選択を行います。8ビットの読み出し／書き込み可能なレジスタです。SCSCMR1 レジスタは、パワーオンリセット、マニュアルリセット、スタンバイモード、およびモジュールスタンバイ時に H'00 に初期化されます。

|      |   |   |   |   |      |      |   |      |
|------|---|---|---|---|------|------|---|------|
| ビット： | 7 | 6 | 5 | 4 | 3    | 2    | 1 | 0    |
|      |   |   |   |   | SDIR | SINV |   | SMIF |
| 初期値： |   |   |   |   | 0    | 0    |   | 0    |
| R/W： |   |   |   |   | R/W  | R/W  |   | R/W  |

ビット7～4、1：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット3：スマートカードデータ転送ファディレクション (SDIR)

シリアル／パラレル変換のフォーマットを選択します。

| ビット3 | 説明   |
|------|--|
| SDIR |  |
| 0    | SCTDR1 の内容を LSB ファーストで送信<br>受信データを LSB ファーストとして SCRDR1 に格納 (初期値) |
| 1    | SCTDR1 の内容を MSB ファーストで送信<br>受信データを MSB ファーストとして SCRDR1 に格納       |

ビット2：スマートカードデータインバート (SINV)

データのロジックレベルの反転を指定します。この機能は、ビット3の機能を組み合わせインバースコンベンションカードとの送受信に使用します。SINV は、パリティビットのロジックレベルには影響しません。パリティに関する設定方法については、「17.3.4 レジスタ設定」を参照してください。

| ビット2 | 説明   |
|------|--|
| SINV |  |
| 0    | SCTDR1 の内容をそのまま送信<br>受信データをそのまま SCRDR1 に格納 (初期値) |
| 1    | SCTDR1 の内容を反転してデータを送信<br>受信データを反転して SCRDR1 に格納   |

ビット0：スマートカードインタフェースモードセレクト (SMIF)

スマートカードインタフェース機能をイネーブルにするビットです。

| ビット0 | 説明                        |
|------|---------------------------|
| SMIF |                           |
| 0    | スマートカードインタフェース機能を禁止 (初期値) |
| 1    | スマートカードインタフェース機能を許可       |

### 17.2.2 シリアルモードレジスタ (SCSMR1)

スマートカードインタフェースモードにおいては、SCSMR1 のビット 7 の機能が変更されます。

|      |                    |     |     |              |      |     |      |      |
|------|--------------------|-----|-----|--------------|------|-----|------|------|
| ビット: | 7                  | 6   | 5   | 4            | 3    | 2   | 1    | 0    |
|      | GM (C/ $\bar{A}$ ) | CHR | PE  | O/ $\bar{E}$ | STOP | MP  | CKS1 | CKS0 |
| 初期値: | 0                  | 0   | 0   | 0            | 0    | 0   | 0    | 0    |
| R/W: | R/W                | R/W | R/W | R/W          | R/W  | R/W | R/W  | R/W  |

#### ビット7: GSMモード (GM)

スマートカードインタフェース機能を GSM モードに設定します。

通常のスマートカードインタフェース時は 0 に設定します。GSM モードは、本ビットを 1 に設定し、送信完了を示す TEND フラグのセットタイミングの前倒しと、クロック出力の制御モードの追加を行います。クロック出力の制御モードの追加内容は、シリアルコントロールレジスタ (SCSCR1) の CKE1 ビットと CKE0 ビットで指定します。GSM モードでは CKE1、CKE0 による SCK 起動、停止指定時にパルス幅が保証されます。

| ビット 7 | 説明   |
|-------|--|
| GM    |  |
| 0     | 通常のスマートカードインタフェースモードの動作 (初期値)<br>(1) TEND フラグが開始ビットの先頭から 12.5etu のタイミングで発生<br>(2) クロック出力の ON/OFF 制御のみ                              |
| 1     | GSM モードのスマートカードインタフェースモードの動作<br>(1) TEND フラグが開始ビットの先頭から 11.0etu のタイミングで発生<br>(2) クロック出力の ON/OFF の他、High/Low 固定制御可能<br>(設定は SCSCR1) |

etu : Elementary Time Unit

#### ビット6～0:

通常の SCI と同様の動作をします。詳細は「第 15 章 シリアルコミュニケーションインタフェース」を参照してください。スマートカードインタフェースでは、CHR=0、PE=1、STOP=1、MP=0 に設定してください。

### 17.2.3 シリアルコントロールレジスタ (SCSCR1)

スマートカードインタフェースモードにおいては、SCSCR1 のビット 1 とビット 0 の機能が変更されます。

|      |     |     |     |     |     |     |      |      |
|------|-----|-----|-----|-----|-----|-----|------|------|
| ビット: | 7   | 6   | 5   | 4   | 3   | 2   | 1    | 0    |
|      | TIE | RIE | TE  | RE  | —   | —   | CKE1 | CKE0 |
| 初期値: | 0   | 0   | 0   | 0   | 0   | 0   | 0    | 0    |
| R/W: | R/W | R/W | R/W | R/W | R/W | R/W | R/W  | R/W  |

#### ビット7～4:

通常の SCI と同様の動作をします。詳細は「第 15 章 シリアルコミュニケーションインタフェース」を参照してください。

#### ビット3、2:

スマートカードインタフェースでは使用しません。



## 17. スマートカードインタフェース

ビット1、0：クロックイネーブル1、0（CKE1、0）

SCK 端子の機能の指定を行います。スマートカードインタフェースモードではクロックソースは常に内部クロックを用います。スマートカードインタフェースモードでは、通常のクロック出力の許可／禁止切り換えの他、クロック出力の High レベル固定と Low レベル固定を指定することができます。

| GM | CKE1 | CKE0 | SCK 端子の機能           |
|----|------|------|---------------------|
| 0  | 0    | 0    | ポート入出力端子として動作する     |
| 0  | 0    | 1    | SCK 出力端子としてクロック出力する |
| 0  | 1    | 0    | 設定無効。設定しないでください     |
| 0  | 1    | 1    | 設定無効。設定しないでください     |
| 1  | 0    | 0    | 出力端子として Low 出力固定    |
| 1  | 0    | 1    | 出力端子としてクロック出力する     |
| 1  | 1    | 0    | 出力端子として High 出力固定   |
| 1  | 1    | 1    | 出力端子としてクロック出力する     |

### 17.2.4 シリアルステータスレジスタ（SCSSR1）

スマートカードインタフェースモードにおいては、SCSSR1 のビット 4 の機能が変更されます。また、これに関連してビット 2 の TEND のセット条件が変更になります。

|      |        |        |        |         |        |      |   |     |
|------|--------|--------|--------|---------|--------|------|---|-----|
| ビット： | 7      | 6      | 5      | 4       | 3      | 2    | 1 | 0   |
|      | TDRE   | RDRF   | ORER   | FER/ERS | PER    | TEND | — | —   |
| 初期値： | 1      | 0      | 0      | 0       | 0      | 1    | 0 | 0   |
| R/W： | R(W) * | R(W) * | R(W) * | R(W) *  | R(W) * | R    | R | R/W |

【注】 \* フラグをクリアするための0ライトのみ可能です。

ビット7～5：

通常の SCI と同様の動作をします。詳細は「第 15 章 シリアルコミュニケーションインタフェース」を参照してください。

ビット4：エラーシグナルステータス（ERS）

スマートカードインタフェースモードでは、送信時に受信側から送り返されるエラーシグナルのステータスを示します。なお、スマートカードインタフェースではフレーミングエラーは検出しません。

| ビット 4 | 説明   |
|-------|--|
| ERS   |  |
| 0     | 正常に受信され、エラーシグナルがないことを表示（初期値）<br>[クリア条件]<br>(1) パワーオンリセット、マニュアルリセット、スタンバイモード、モジュールスタンバイ時<br>(2) ERS=1 の状態を読み出した後、0 を書き込んだとき |
| 1     | 受信側からパリティエラーの検出を示すエラーシグナルが送出されたことを表示<br>[セット条件]<br>エラーシグナルローレベルをサンプリングしたとき   |

【注】 SCSCR1 の TE ビットを 0 にクリアしても、ERS フラグは影響を受けず以前の状態を保持します。

## ビット3：パリティエラー（PER）

通常の SCI と同様の動作をします。詳細は「第 15 章 シリアルコミュニケーションインタフェース」を参照してください。

## ビット2：トランスミットエンド（TEND）

ビット2のトランスミットエンド（TEND）のセット条件は次のようになります。

| ビット2<br>TEND | 説明   |
|--------------|--|
| 0            | 送信中であることを表示<br>[ クリア条件 ]<br>TDRE = 1 の状態をリードした後、TDRE フラグに 0 をライトしたとき   |
| 1            | 送信を終了したことを表示 (初期値)<br>[ セット条件 ]<br>(1) パワーオンリセット、マニュアルリセット、スタンバイモード、モジュールスタンバイ時<br>(2) SCSCSR1 の TE ビットが 0 かつ FER/ERS ビットが 0 のとき<br>(3) SCSSMR1 の GM ビットが 0 で、1 バイトのシリアルキャラクタ送信後、2.5etu 後に TDRE = 1 かつ FER/ERS = 0 (正常送信) のとき<br>(4) SCSSMR1 の GM ビットが 1 で、1 バイトのシリアルキャラクタ送信後、1.0etu 後に TDRE = 1 かつ FER/ERS = 0 (正常送信) のとき |

etu : Elementary Time Unit

## ビット1、0：

スマートカードインタフェースでは使用しません。

## 17.3 動作説明

### 17.3.1 概要

スマートカードインタフェースの主な機能は次のとおりです。

- (1) 1 フレームは、8 ビットデータとパリティビットで構成されます。
- (2) 送信時は、パリティビットの終了から次のフレーム開始まで 2etu (Elementary Time Unit : 1 ビットの転送期間) 以上のガードタイムをおきます。
- (3) 受信時はパリティエラーを検出した場合、スタートビットから 10.5etu 経過後エラーシグナルローレベルを 1etu 期間出力します。
- (4) 送信時はエラーシグナルをサンプリングすると、2etu 以上経過後、自動的に同じデータを送信します。
- (5) 調歩同期式非同期通信機能のみサポートし、クロック同期式通信機能はありません。

### 17.3.2 端子接続

スマートカードインタフェースに関する端子接続概略図を図 17.2 に示します。

IC カードとの通信においては、1 本のデータ伝送線で送信と受信が行われるので、LSI 外部で TxD 端子と RxD 端子とを結線してください。また、データ伝送線は、抵抗で電源  $V_{CC}$  側にプルアップしてください。TxD 端子は MD7 にマルチプレックスされており、リセット時は注意が必要です。

スマートカードインタフェースで生成するクロックを IC カードで使用する場合は、SCK 端子出力を IC カードの CLK 端子に入力します。IC カードで、内部クロックを使用する場合は接続不要です。

リセット信号としては、LSI のポート出力を使用します。

端子としては、これ以外に通常、電源とグランドの接続が必要です。

【注】 IC カードを接続しないで、RE=TE=1 に設定すると、閉じた送信／受信が可能となり自己診断をすることができます。

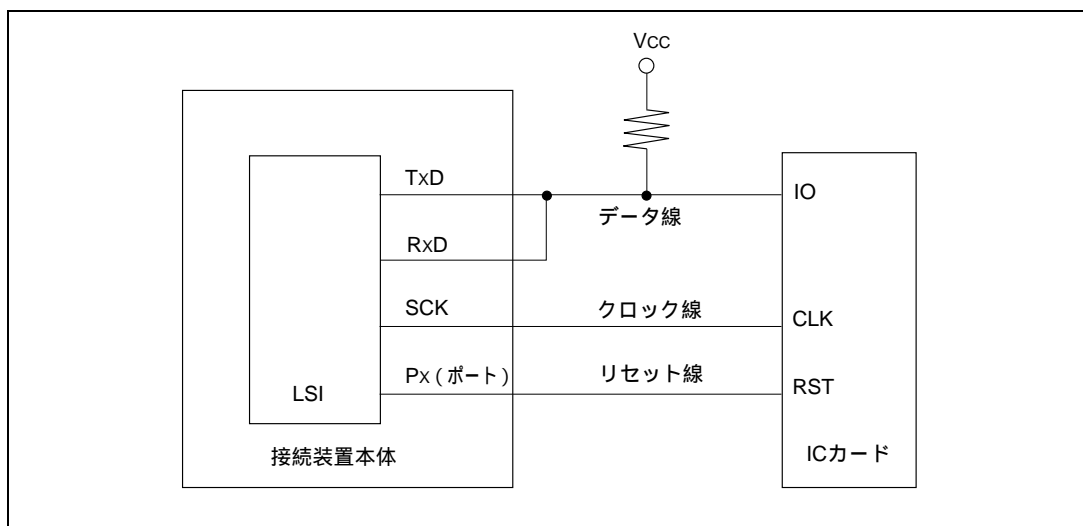


図 17.2 スマートカードインタフェース端子接続概略図

### 17.3.3 データフォーマット

図 17.3 にスマートカードインタフェースのデータフォーマットを示します。このモードでは、受信時は1フレームごとにパリティチェックを行い、エラーが検出された場合、送信側に対してエラーシグナルを送り返し、データの再送信要求をします。送信時はエラーシグナルをサンプリングすると同じデータを再送信します。

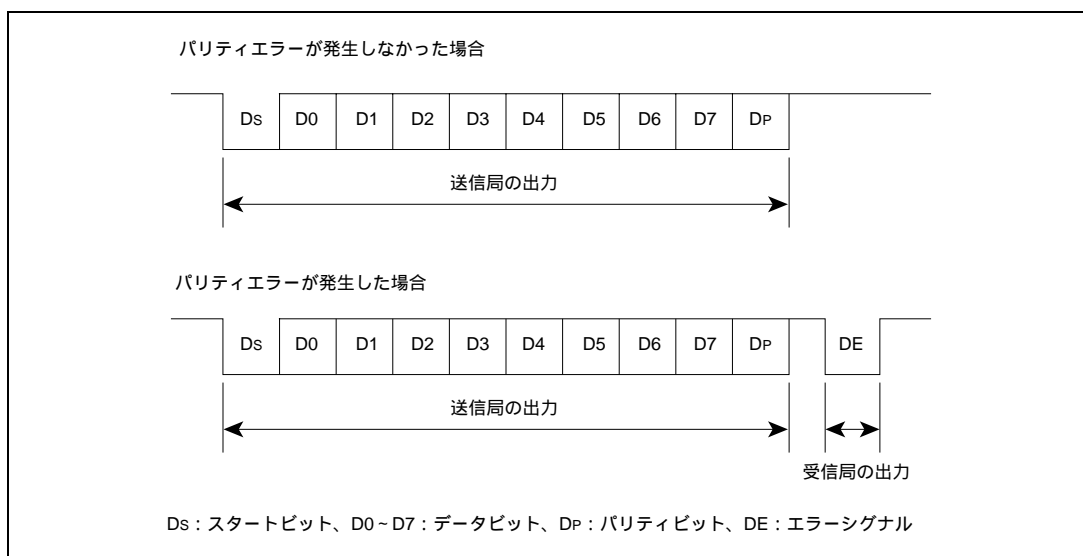


図 17.3 スマートカードインタフェースのデータフォーマット

動作シーケンスは次のようになっています。

- (1) データ線は、未使用時にはハイインピーダンス状態であり、プルアップ抵抗によりハイレベルに固定されます。
- (2) 送信側は、1 フレームのデータ送信を開始します。データのフレームは、スタートビット (Ds : ローレベル) から開始します。この後に、8 ビットのデータビット (D0 ~ D7) とパリティビット (Dp) が続きます。
- (3) スマートカードインタフェースでは、この後にデータ線をハイインピーダンスに戻します。データ線はプルアップ抵抗によりハイレベルになります。
- (4) 受信側は、パリティチェックを行います。  
パリティエラーがなく正常に受信した場合、そのまま次のデータ受信を待ちます。  
一方、パリティエラーが発生した場合は、エラーシグナル (DE : ローレベル) を出力し、データの再送信を要求します。受信局は、規定の期間エラーシグナルを出力した後、再び信号線をハイインピーダンスにします。信号線はプルアップ抵抗によりハイレベルに戻ります。
- (5) 送信側は、エラーシグナルを受信しなかった場合、次のフレームのデータ送信に移ります。  
一方、エラーシグナルを受信した場合は、エラーとなったデータを (2) に戻り再送信します。

#### 17.3.4 レジスタ設定

スマートカードインタフェースで使用するレジスタのビットマップを表 17.3 に示します。

0 または 1 が表示されているビットは、必ず表示されている値を設定してください。以下にそれ以外のビットの設定方法について説明します。

表 17.3 スマートカードインタフェースでのレジスタ設定

| レジスタ    | ビット   |       |       |              |        |        |        |        |
|---------|-------|-------|-------|--------------|--------|--------|--------|--------|
|         | ビット 7 | ビット 6 | ビット 5 | ビット 4        | ビット 3  | ビット 2  | ビット 1  | ビット 0  |
| SCSMR1  | GM    | 0     | 1     | O/ $\bar{E}$ | 1      | 0      | CKS1   | CKS0   |
| SCBRR1  | BRR7  | BRR6  | BRR5  | BRR4         | BRR3   | BRR2   | BRR1   | BRR0   |
| SCSCR1  | TIE   | RIE   | TE    | RE           | 0      | 0      | CKE1   | CKE0   |
| SCTDR1  | TDR7  | TDR6  | TDR5  | TDR4         | TDR3   | TDR2   | TDR1   | TDR0   |
| SCSSR1  | TDRE  | RDRF  | ORER  | FER/ERS      | PER    | TEND   | 0      | 0      |
| SCRDR1  | RDR7  | RDR6  | RDR5  | RDR4         | RDR3   | RDR2   | RDR1   | RDR0   |
| SCSCMR1 |       |       |       |              | SDIR   | SINV   |        | SMIF   |
| SCSPTR1 | EIO   |       |       |              | SPB1IO | SPB1DT | SPB0IO | SPB0DT |

: 未使用ビットを示します。

##### (1) シリアルモードレジスタ (SCSMR1) の設定

GM ビットは TEND フラグのセットタイミングの選択、およびシリアルコントロールレジスタ (SCSCR1) の CKE1、CKE0 ビットとの組み合わせでクロック出力状態を選択します。

O/ $\bar{E}$  ビットは IC カードがダイレクトコンベンション時は 0 を設定し、インバースコンベンション時は 1 を設定します。

CKS1、CKS0 ビットは、内蔵ポーレートジェネレータのクロックソースを選択します。「17.3.5 クロック」を参照してください。

## 17. スマートカードインタフェース

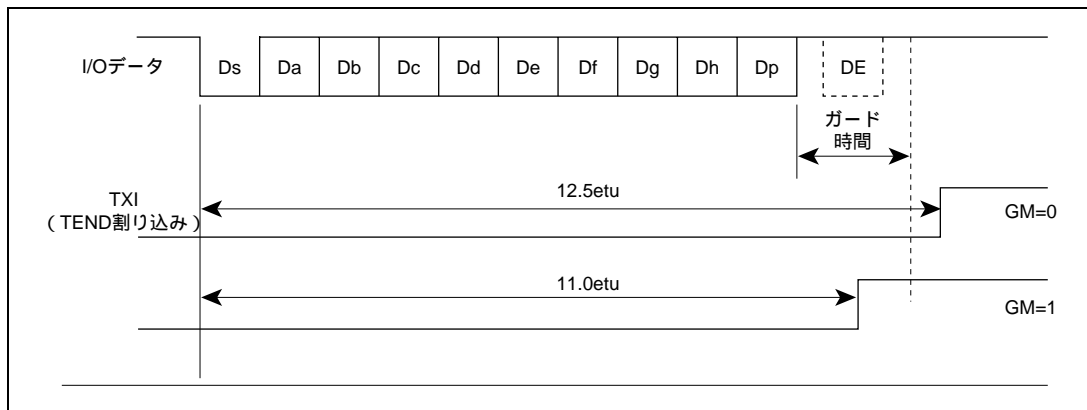


図 17.4 TEND 発生タイミング

### (2) ビットレートレジスタ (SCBRR1) の設定

ビットレートを設定します。設定値の算出方法は「17.3.5 クロック」を参照してください。

### (3) シリアルコントロールレジスタ (SCSCR1) の設定

TIE、RIE、TE、RE ビットの機能は通常の SCI と同様です。詳細は「第 15 章 シリアルコミュニケーションインタフェース」を参照してください。

CKE1、CKE0 ビットはクロック出力状態を選択します。詳細は「17.3.5 クロック」を参照してください。

### (4) スマートカードモードレジスタ (SCSCMR1) の設定

SDIR ビットおよび SINV ビットは、IC カードがダイレクトコンベンション時はどちらも 0 を設定し、インバースコンベンション時はどちらも 1 を設定します。

SMIF ビットはスマートカードインタフェースの場合 1 を設定します。

以下に 2 種類の IC カード（ダイレクトコンベンションタイプとインバースコンベンションタイプ）に対するレジスタ設定値と開始キャラクタでの波形例を図 17.5 に示します。

ダイレクトコンベンションタイプでは、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信する方式です。上記の開始キャラクタのデータは H'3B となります。パリティビットは、スマートカードの規格により偶数パリティで 1 となります。

インバースコンベンションタイプでは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信する方式です。上記の開始キャラクタのデータは H'3F となります。パリティビットは、スマートカードの規格により偶数パリティで論理 0 となり、状態 Z が対応します。

なお、SINV ビットによる反転はデータビット D7～D0 のみとなっています。パリティビットの反転のために SCSCMR1 の O/E ビットを奇数パリティモードに設定します。送信、受信とも同様です。

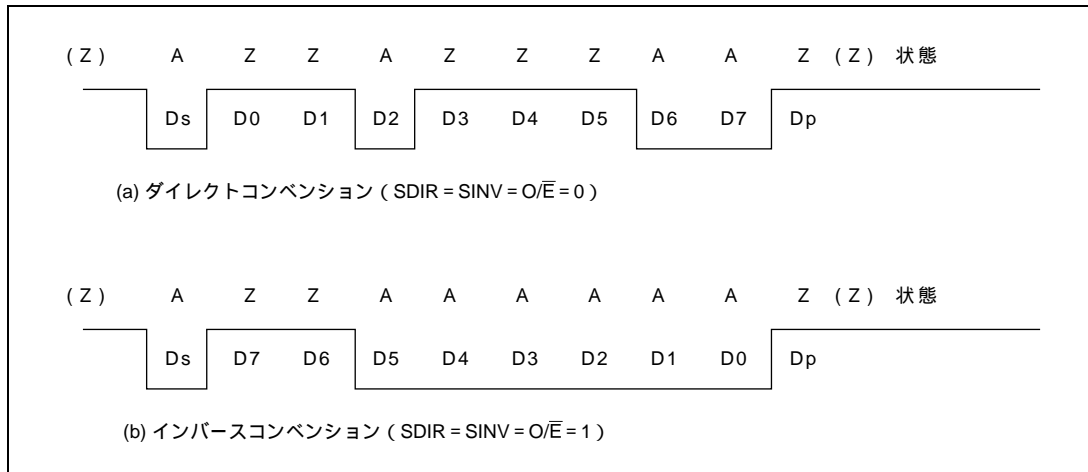


図 17.5 開始キャラクタの波形例

### 17.3.5 クロック

スマートカードインタフェースにおける送受信クロックは内蔵ポーレートジェネレータの生成した内部クロックのみ使用できます。このとき、ビットレートはビットレートレジスタ (SCBRR1) とシリアルモードレジスタ (SCSMR1) の CKS1、CKS0 ビットで設定され、以下に示す計算式になります。ビットレートの例を表 17.5 に示します。

このとき CKE0=1 でクロック出力を選択すると SCK 端子からはビットレートの 372 倍の周波数のクロックが出力されます。

$$B = \frac{P}{1488 \times 2^{2n-1} \times (N+1)} \times 10^6$$

ただし、N=SCBRR1 の設定値 (0 ≤ N ≤ 255)

B=ビットレート (bit/s)

Pφ=周辺モジュール用動作周波数 (MHz)

n=0~3 (表 17.4 を参照)

表 17.4 n と CKS1、CKS0 の対応表

| n | CKS1 | CKS0 |
|---|------|------|
| 0 | 0    | 0    |
| 1 | 0    | 1    |
| 2 | 1    | 0    |
| 3 | 1    | 1    |

表 17.5 SCBRR1 の設定に対するビットレート B (bit/s) の例 (ただし、n=0 のとき)

| N | Pφ (MHz) |         |         |         |         |         |         |
|---|----------|---------|---------|---------|---------|---------|---------|
|   | 7.1424   | 10.00   | 10.7136 | 14.2848 | 25.0    | 33.0    | 50.0    |
| 0 | 9600.0   | 13440.9 | 14400.0 | 19200.0 | 33602.2 | 44354.8 | 67204.3 |
| 1 | 4800.0   | 6720.4  | 7200.0  | 9600.0  | 16801.1 | 22177.4 | 33602.2 |
| 2 | 3200.0   | 4480.3  | 4800.0  | 6400.0  | 11200.7 | 14784.9 | 22401.4 |

【注】 ビットレートは、小数点以下 2 桁目を四捨五入した数値です。

## 17. スマートカードインタフェース

一方、周辺モジュール用動作周波数とビットレートからビットレートレジスタ (SCBRR1) の設定値を算出する式は次のようになります。ただし、N は整数値、0 ≤ N ≤ 255 であり、誤差の小さい方を指定します。

$$N = \frac{P}{1488 \times 2^{2n-1} \times B} \times 10^6 - 1$$

表 17.6 ビットレート B (bit/s) に対する SCBRR1 の設定例 (ただし、n = 0 のとき)

| bit/s | P (MHz) |      |       |       |         |       |         |      |       |       |       |      |       |      |
|-------|---------|------|-------|-------|---------|-------|---------|------|-------|-------|-------|------|-------|------|
|       | 7.1424  |      | 10.00 |       | 10.7136 |       | 14.2848 |      | 25.00 |       | 33.00 |      | 50.00 |      |
|       | N       | 誤差   | N     | 誤差    | N       | 誤差    | N       | 誤差   | N     | 誤差    | N     | 誤差   | N     | 誤差   |
| 9600  | 0       | 0.00 | 1     | 30.00 | 1       | 25.00 | 1       | 8.99 | 3     | 14.27 | 4     | 8.22 | 6     | 0.01 |

表 17.7 各周波数における最大ビットレート (スマートカードインタフェースモード時)

| P (MHz) | 最大ビットレート (bit/s) | N | n |
|---------|------------------|---|---|
| 7.1424  | 19200            | 0 | 0 |
| 10.00   | 26882            | 0 | 0 |
| 10.7136 | 28800            | 0 | 0 |
| 16.00   | 43010            | 0 | 0 |
| 20.00   | 53763            | 0 | 0 |
| 25.0    | 67204            | 0 | 0 |
| 30.0    | 80645            | 0 | 0 |
| 33.0    | 88710            | 0 | 0 |
| 50.0    | 67204            | 0 | 0 |

ビットレート誤差は以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{P}{1488 \times 2^{2n-1} \times B \times (N+1)} \right\} \times 10^6 - 1 \times 100$$

スマートカードインタフェースにおける送受信クロックのレジスタ設定値と出力状態の関係を表 17.8 に示します。

表 17.8 レジスタ設定値と SCK 端子

| 設定  | レジスタの値 |    |      |      | SCK 端子  |  |
|-----|--------|----|------|------|---|--|
|     | SMIF   | GM | CKE1 | CKE0 | 出力  | 状態                                       |
| 1*1 | 1      | 0  | 0    | 0    | ポート   | SCSPTR1 の SPB1IO、SPB1DT ビットの設定によって決まります。 |
|     | 1      | 0  | 0    | 1    |  | SCK (シリアルクロック) 出力状態                      |
| 2*2 | 1      | 1  | 0    | 0    | L 出力  | Low レベル出力状態                              |
|     | 1      | 1  | 0    | 1    |  | SCK (シリアルクロック) 出力状態                      |
| 3*2 | 1      | 1  | 1    | 0    | H 出力  | High レベル出力状態                             |
|     | 1      | 1  | 1    | 1    |  | SCK (シリアルクロック) 出力状態                      |

【注】 \*1 SCK 出力状態は CKE0 ビットを変更すると直ちに変化します。

CKE1 ビットは 0 を設定してください。

\*2 CKE0 ビットの変更によってクロックを停止、開始してもクロックのデューティは一定に保たれます。

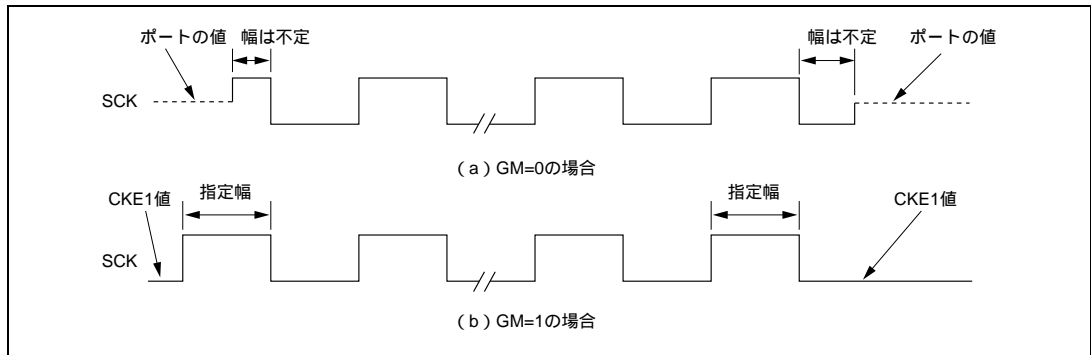


図 17.6 GM ビットの設定によるクロック出力の違い

### 17.3.6 データの送信 / 受信動作

#### (1) 初期化

データの送受信の前に、以下の手順で SCI を初期化してください。送信モードから受信モードへの切り換え、受信モードから送信モードへの切り換えにおいても初期化が必要です。初期化のフロー例を図 17.7 に示します。

- (a) シリアルコントロールレジスタ (SCSCR1) の TE、RE ビットを 0 にクリアします。
- (b) シリアルステータスレジスタ (SCSSR1) のエラーフラグ FER/ERS、PER、ORER を 0 にクリアしてください。
- (c) シリアルモードレジスタ (SCSMR1) の GM ビット、パリティビット (O $\bar{E}$  ビット) とボーレートジェネレータの選択ビット (CKS1、CKS0 ビット) を設定してください。このとき、CHR、MP ビットは 0 に、STOP、PE ビットは 1 に設定してください。
- (d) スマートカードモードレジスタ (SCSCMR1) の SMIF、SDIR、SINV ビットを設定してください。  
SMIF ビットを 1 にセットすると、TxD 端子および RxD 端子は共にハイインピーダンス状態となります。
- (e) ビットレートに対応する値をビットレートレジスタ (SCBRR1) に設定します。
- (f) シリアルコントロールレジスタ (SCSCR1) のクロックソースの選択ビット (CKE1、CKE0 ビット) を設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIE ビットは、0 に設定してください。  
CKE0 ビットを 1 にセットした場合は、SCK 端子からクロック出力されます。
- (g) 少なくとも、1 ビット期間待ってから、SCSCR1 の TIE、RIE、TE、RE ビットを設定してください。自己診断以外は TE ビットと RE ビットを同時にセットしないでください。



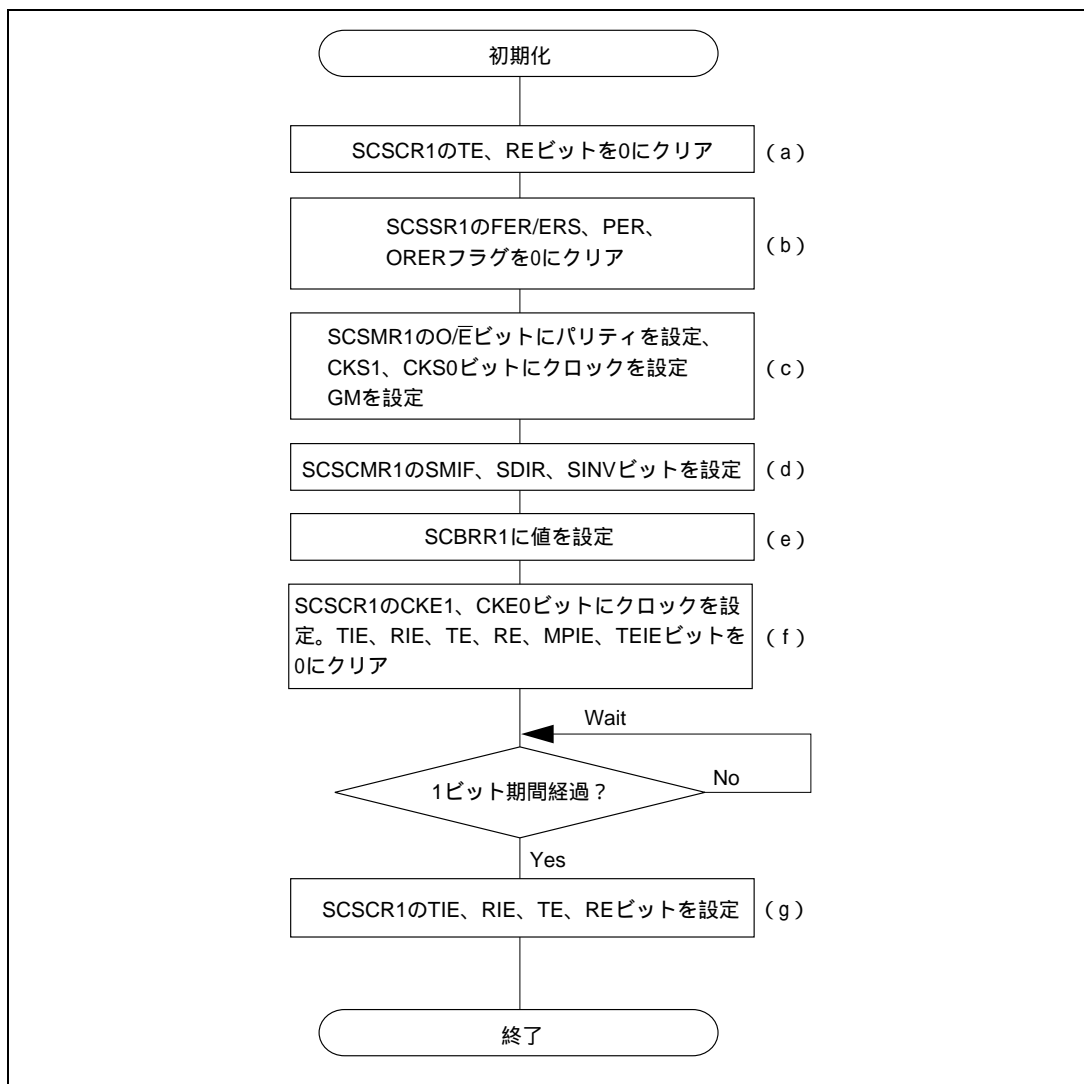


図 17.7 初期化のフロー例

## (2) シリアルデータ送信

スマートカードモードにおけるデータ送信ではエラーシグナルのサンプリングと再送信処理があるため、通常の SCI とは処理手順が異なります。送信処理フローの例を図 17.8 に示します。

- (a) (1) の手順に従いスマートカードインタフェースモードに初期化します。
- (b) SCSSR1 のエラーフラグ FER/ERS ビットが 0 にクリアされていることを確認してください。
- (c) SCSSR1 の TEND フラグが 1 にセットされていることが確認できるまで、(b) ~ (c) を繰り返してください。
- (d) SCTDR1 に送信データを書き込んで、TDRE フラグを 0 にクリアし送信動作を行います。  
このとき、TEND フラグは 0 にクリアされます。
- (e) 連続してデータを送信する場合は、(b) に戻ってください。
- (f) 送信を終了する場合は、TE ビットを 0 にクリアします。

以上の一連の処理は、割り込み処理が可能です。

TIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信が終了し TEND フラグが 1 にセットされると、送信データエンプティ割り込み (TXI) 要求が発生します。RIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信時にエラーが発生し、ERS フラグが 1 にセットされると、送受信エラー割り込み (ERI) 要求が発生します。

詳細は「17.3.6 (5) 割り込み動作」を参照してください。

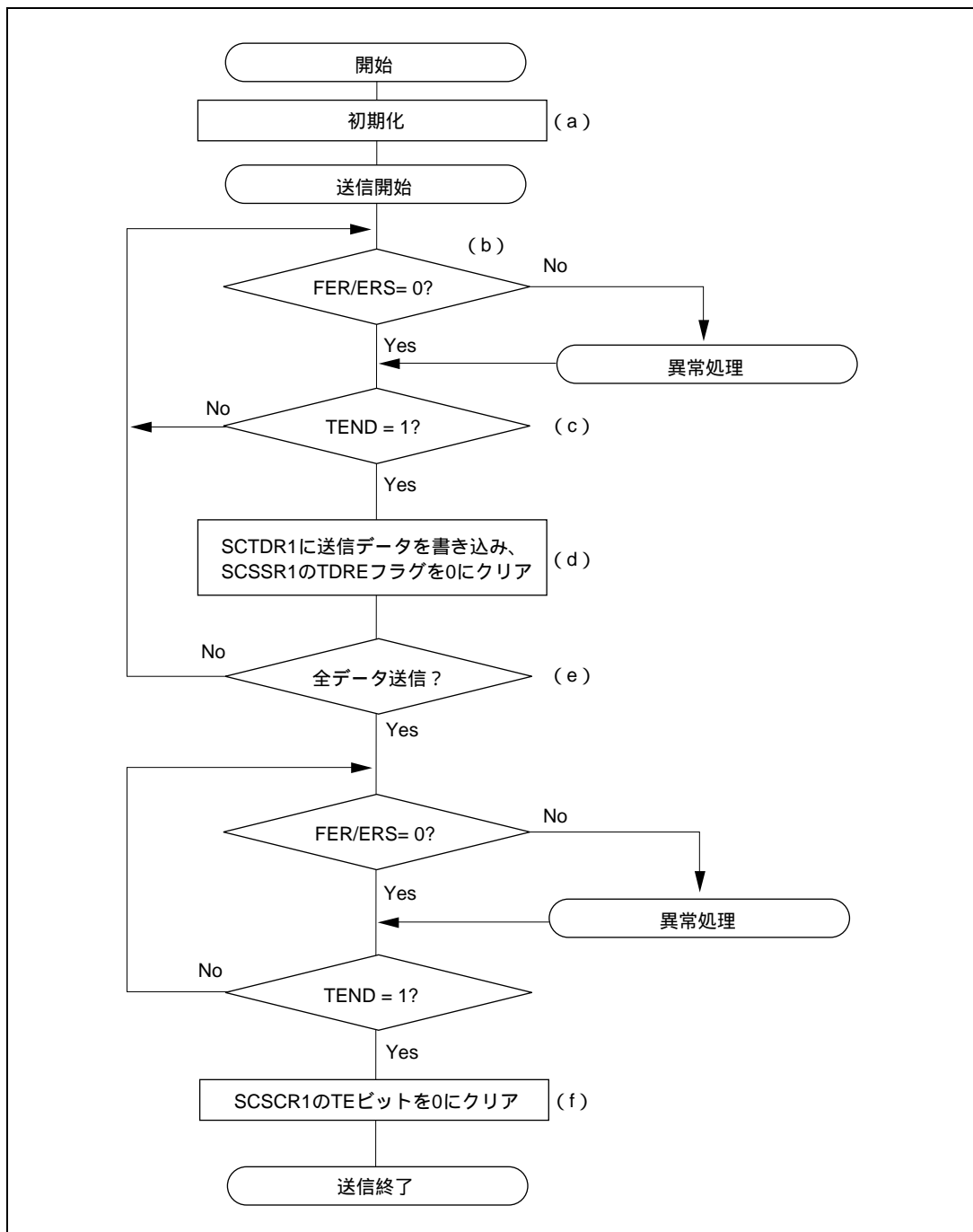


図 17.8 送信処理フローの例

### (3) シリアルデータ受信

スマートカードモードのデータ受信は、通常の SCI と同様の処理手順になります。受信処理フローの例を図 17.9 に示します。

- (a) SCI を (1) に従いスマートカードインタフェースモードに初期化します。
- (b) SCSSR1 の ORER フラグと PER フラグが 0 であることを確認してください。どちらかのフラグがセットされている場合は、所定の受信異常処理を行った後、ORER と PER フラグをすべて 0 にクリアしてください。
- (c) RDRF フラグが 1 であることを確認できるまで (b)、(c) を繰り返してください。
- (d) SCRDR1 から受信データを読み出してください。
- (e) 継続してデータを受信する場合は、RDRF フラグを 0 にクリアして (b) の手順に戻ってください。
- (f) 受信を終了する場合は、RE ビットを 0 にクリアします。

以上の一連の処理は、割り込み処理が可能です。

RIE ビットを 1 にセットし、割り込み要求を許可しておいたとき受信が終了し、RDRF フラグが 1 にセットされると、受信データフル割り込み (RXI) 要求が発生します。また、受信時にエラーが発生し ORER、PER フラグのいずれかが 1 にセットされると、送受信エラー割り込み (ERI) 要求が発生します。

詳細は「17.3.6 (5) 割り込み動作」を参照してください。

なお、受信時にパリティエラーが発生し PER が 1 にセットされた場合でも、受信したデータは SCRDR1 に転送されるのでこのデータを読み出すことは可能です。

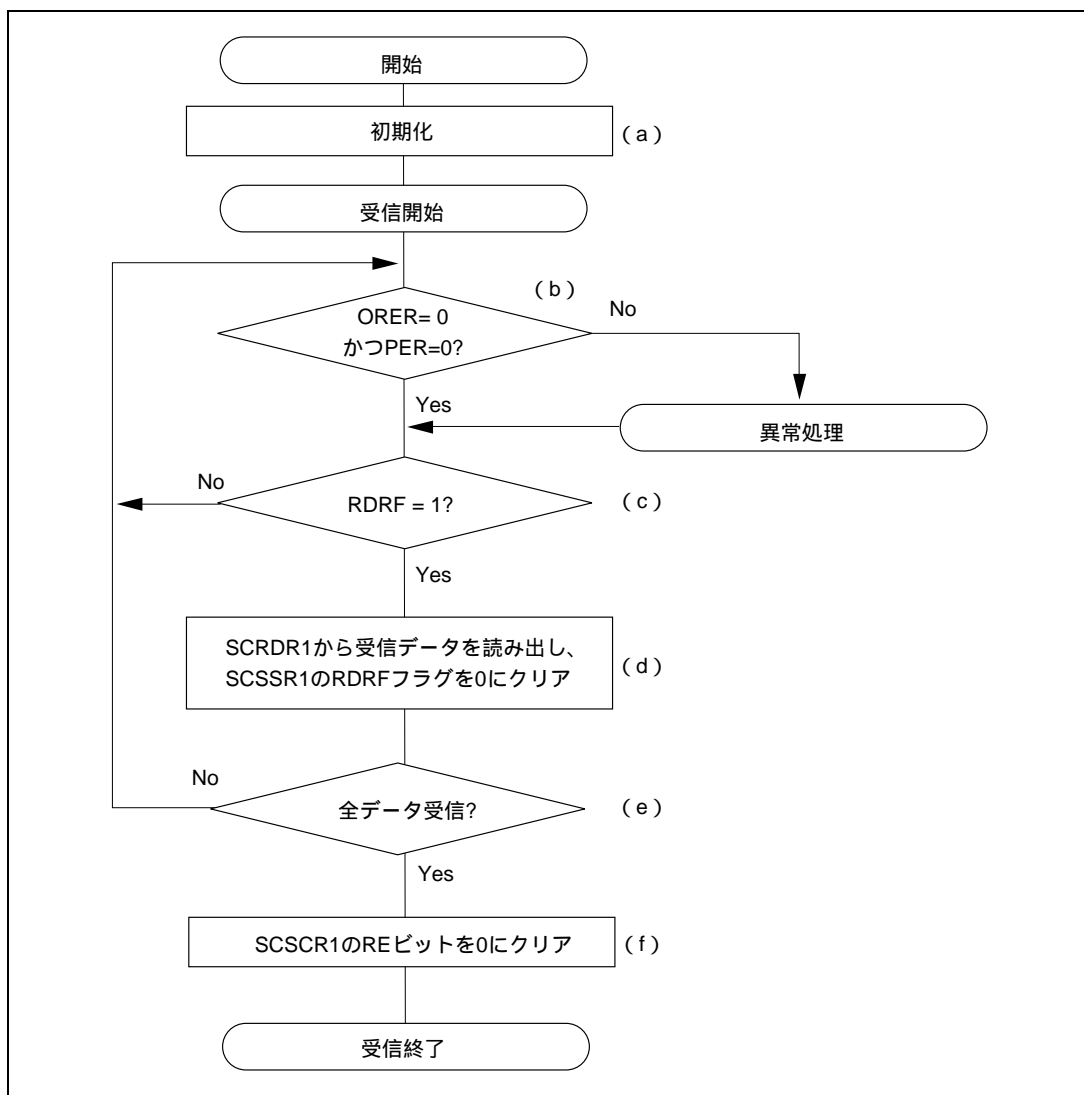


図 17.9 受信処理フローの例

## (4) モード切り換え動作

受信モードから送信モードに切り換える場合、受信動作が完了していることを確認した後、初期化から開始し、RE = 0、TE = 1 に設定してください。受信動作の完了は RDRF フラグあるいは PER、ORER フラグで確認できます。

送信モードから受信モードに切り換える場合、送信動作が完了していることを確認した後、初期化から開始し、TE = 0、RE = 1 に設定してください。送信動作の完了は TEND フラグで確認できます。

## (5) 割り込み動作

スマートカードインタフェースモードでは、送信データエンプティ割り込み (TXI) 要求、送受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求の 3 種類の割り込み要因があります。なお、本モードでは、送信終了割り込み (TEI) 要求は使用できません。

SCSSR1 の TEND フラグが 1 にセットされると、TXI 割り込み要求が発生します。

SCSSR1 の RDRF フラグが 1 にセットされると、RXI 割り込み要求が発生します。

SCSSR1 の ORER、PER、FER/ERS フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。これらの関係を表 17.9 に示します。

表 17.9 スマートカードモードの動作状態と割り込み要因

| 動作状態  |      | フラグ      | マスクビット | 割り込み要因 |
|-------|------|----------|--------|--------|
| 送信モード | 正常動作 | TEND     | TIE    | TXI    |
|       | エラー  | FER/ERS  | RIE    | ERI    |
| 受信モード | 正常動作 | RDRF     | RIE    | RXI    |
|       | エラー  | PER、ORER | RIE    | ERI    |

## (6) DMAC によるデータ転送動作

スマートカードモードの場合も通常の SCI の場合と同様に、DMAC を使って送受信を行うことができます。送信動作では、SCSSR1 の TEND フラグが 1 にセットされると、TXI 要求が発生します。あらかじめ DMAC の起動要因に TXI 要求を設定しておけば、TXI 要求により DMAC が起動されて送信データの転送を行います。TEND フラグは、DMAC によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は、SCI が自動的に同じデータを再送信します。この間 TEND は 0 のまま保持され、DMAC は起動されません。したがってエラー発生時の再送信を含め、SCI と DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時 ERS フラグは、自動的にクリアされませんので RIE ビットを 1 にセットしておき、エラー発生時に ERI 割り込みが発生させ、ERS をクリアしてください。

受信動作では、SCSSR1 の RDRF フラグが 1 にセットされると RXI 要求が発生します。あらかじめ DMAC の起動要因に RXI 要求を設定しておけば、RXI 要求で DMAC が起動されて受信データの転送を行います。RDRF フラグは、DMAC によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は、RDRF フラグはセットされずエラーフラグがセットされます。DMAC は起動されず、代わりに CPU に対し ERI 割り込みが発生しますのでエラーフラグをクリアしてください。

なお、DMAC を使って送受信を行う場合は、必ず先に DMAC を設定し、イネーブル状態にしてから SCI の設定を行ってください。DMAC の設定方法は「第 14 章 ダイレクトメモリアクセスコントロール」を参照してください。

## 17.4 使用上の注意

SCI をスマートカードインタフェースとして使用する際は、以下のことに注意してください。

### (1) 調歩同期式モードの受信データタイミングと受信マージン

調歩同期式モードでは、SCI は転送レートの 372 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 186 クロック目の立ち上がりエッジで内部に取り込みます。これを図 17.10 に示します。

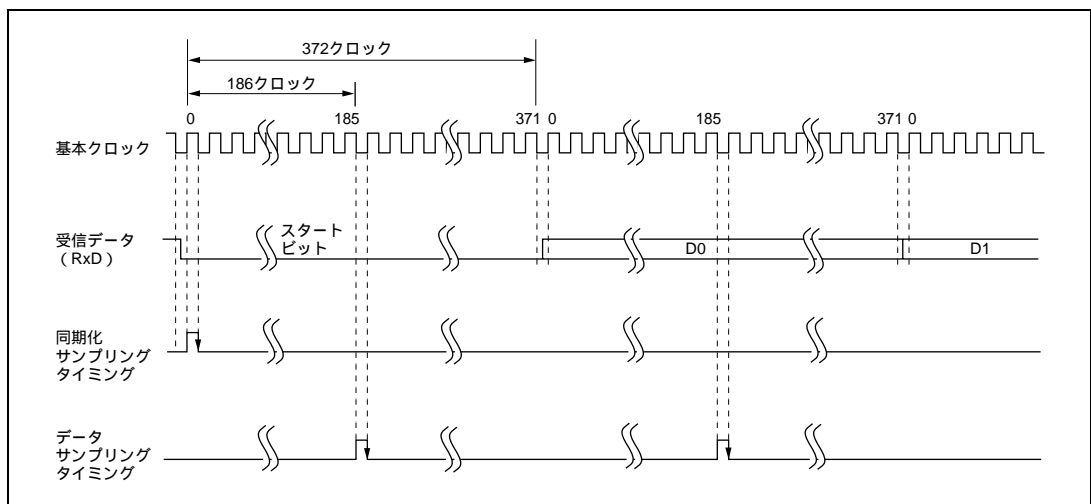


図 17.10 スマートカードモード時の受信データサンプリングタイミング

したがって、受信マージンは、次の式のように表すことができます。

スマートカードモード時の受信マージン式

$$M = \left| \left( 0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100\%$$

M：受信マージン (%)

N：クロックに対するビットレートの比 (N = 372)

D：クロックデューティ (D = 0 ~ 1.0)

L：フレーム長 (L = 10)

F：クロック周波数の偏差の絶対値

上式で、F = 0、D = 0.5 とすると、受信マージン式は次のようになります。

D = 0.5、F = 0 のとき、

$$M = (0.5 - 1/2 \times 372) \times 100\% \\ = 49.866\%$$

### (2) 再転送動作

SCI がそれぞれ受信モードの場合と、送信モードの場合の再転送動作を、次に示します。

## SCI が受信モードの場合の再転送動作

SCI受信モードの場合の再転送動作を図17.11に示します。

- (a) 受信したパリティビットをチェックした結果、エラーが検出されると、SCSSR1 の PER ビットが自動的に 1 にセットされます。このとき、SCSCR1 の RIE ビットがイネーブルになっていれば、ERI 割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに、SCSSR1 の PER ビットを 0 にクリアしてください。
- (b) 異常が発生したフレームでは、SCSSR1 の RDRF ビットはセットされません。
- (c) 受信したパリティビットをチェックした結果、エラーが検出されない場合は、SCSSR1 の PER ビットはセットされません。
- (d) 受信したパリティビットをチェックした結果、エラーが検出されない場合は、正常に受信動作が完了したと判断して、SCSSR1 の RDRF ビットが自動的に 1 にセットされます。このとき SCSCR1 の RIE ビットが許可になっていれば、RXI 割り込み要求が発生します。
- (e) 正常なフレームを受信した場合、エラーシグナルを送信するタイミングで端子はスリーステート状態を保持します。

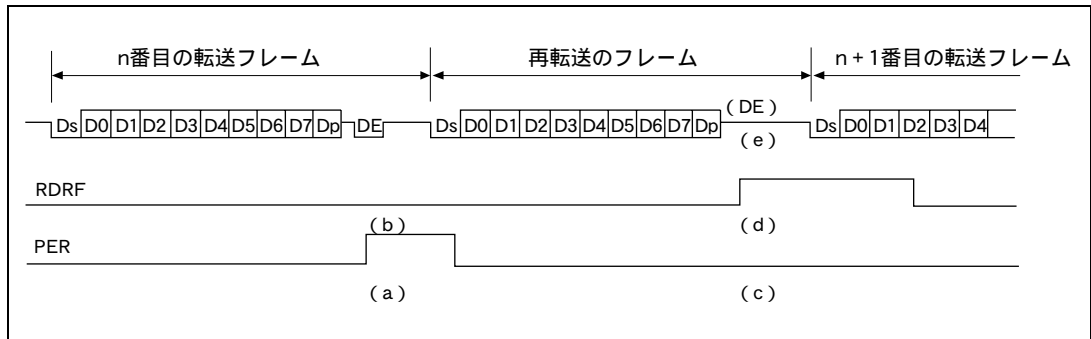


図 17.11 SCI 受信モードの場合の再転送動作

## SCI が送信モードの場合の再転送動作

SCI送信モードの場合の再転送動作を図17.12に示します。

- (a) 1 フレーム分の送信を完了した後、受信側からエラーシグナルが返されると、SCSSR1 の FER/ERS ビットが 1 にセットされます。このとき、SCSCR1 の RIE ビットがイネーブルになっていれば、ERI 割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに、SCSSR1 の FER/ERS ビットを 0 にクリアしてください。
- (b) 異常を示すエラーシグナルを受信したフレームでは、SCSSR1 の TEND ビットはセットされません。
- (c) 受信側からエラーシグナルが返ってこない場合は、SCSSR1 の FER/ERS ビットはセットされません。
- (d) 受信側からエラーシグナルが返ってこない場合は、再転送を含む 1 フレームの送信が完了したと判断して、SCSSR1 の TEND ビットが 1 にセットされます。このとき SCSCR1 の TIE ビットがイネーブルになっていれば、TXI 割り込み要求が発生します。



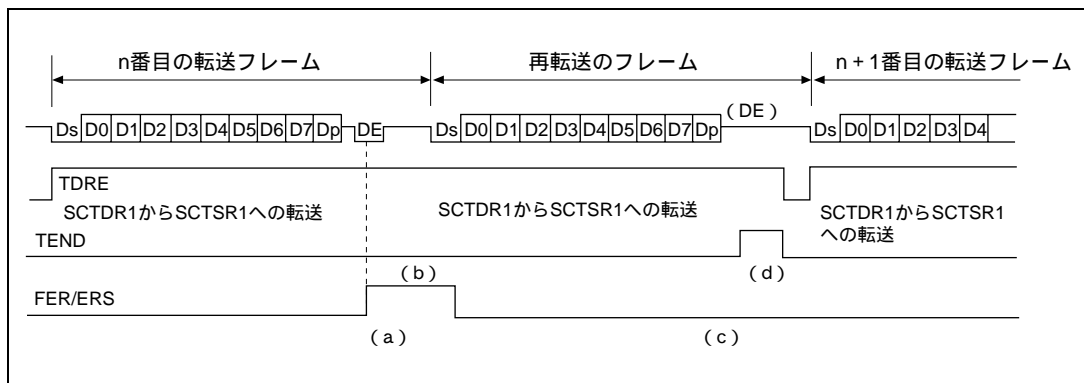


図 17.12 SCI 送信モードの場合の再転送動作

### (3) スタンバイモードとクロック

スマートカードインタフェースモードとスタンバイモード間でモード切り換えを行う際、クロックデューティを保持するため、下記の切り換え手順で処理してください。

スマートカードインタフェースモードからスタンバイモードに移行するとき

- SCSPTR1 の SBPIO ビットと SBP1DT ビットをスタンバイ時の出力固定状態の値に設定します。
- シリアルコントロールレジスタ (SCSCR1) の TE ビットと RE ビットに 0 を書き込み、送信 / 受信動作を停止させます。同時に、CKE1 ビットをスタンバイモード時の出力固定状態の値に設定します。
- SCSCR1 の CKE0 ビットに 0 を書き込み、クロックを停止させます。
- シリアルクロックの 1 クロック周期の間待ちます。この間に、デューティを守って、指定のレベルでクロック出力は固定されます。
- シリアルモードレジスタ (SCSMR1) とスマートカードモードレジスタ (SCSCMR1) に H'00 を書き込みます。
- スタンバイ状態に移行させます。

スタンバイモードからスマートカードインタフェースモードに戻るとき

- スタンバイ状態を解除します。
- シリアルコントロールレジスタ (SCSCR1) の CKE1 ビットをスタンバイ開始時の出力固定状態 (現在の SCK 端子の状態) の値に設定します。
- スマートカードインタフェースモードに設定し、クロック出力させます。正常なデューティにてクロック信号発生を開始します。

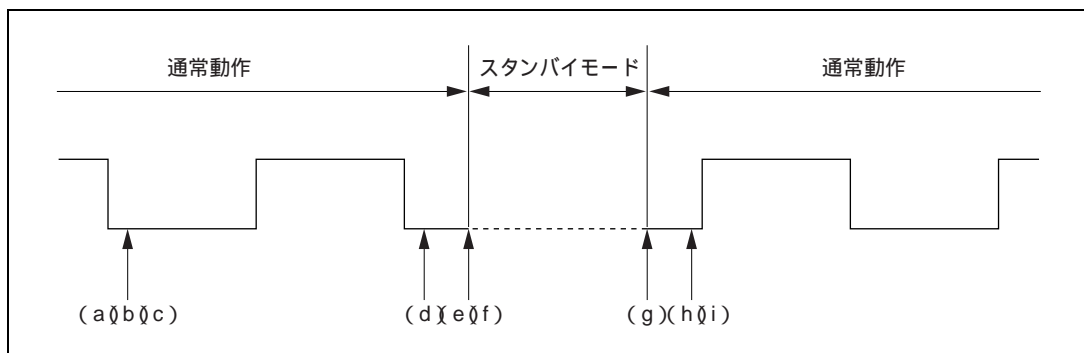


図 17.13 クロック停止、再起動手順

(4) 電源投入とクロック

電源投入時からクロックデューティを確保するためには、下記の切り換え手順で処理をしてください。

- (a) 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗 / プルダウン抵抗を使用します。
- (b) シリアルコントロールレジスタ (SCSCR1) の CKE1 ビットで指定の出力に固定します。
- (c) シリアルモードレジスタ (SCSMR1) とスマートカードモードレジスタ (SCSCMR1) を設定し、スマートカードモードの動作に切り換えます。
- (d) SCSCR1 の CKE0 ビットを 1 に設定して、クロック出力を開始します。

---

## 18. I/O ポート

---

### 18.1 概要

本 LSI は、20 ビットの汎用 I/O ポート、SCI 用 I/O ポート、SCIF 用 I/O ポートを内蔵しています。

#### 18.1.1 特長

汎用 I/O ポートには、次のような特長があります。

- 各ビットとも入出力方向が独立して設定できる 20 ビットの I/O ポートを搭載
- 各ビットとも独立してプルアップするか、しないか指定可能
- I/O ポート 20 ビットのうち、16 ビットに対して割り込み入力が可能
- バスコントロールレジスタ 2 (BCR2) の PORTEN ビットにより、I/O ポートを使用するか、しないか選択可能

SCI 用の I/O ポートには、次のような特長があります。

- I/O ポートを出力に設定し、SCI のイネーブルが設定されていないとき、データを出力できます。これによりブレーク機能の送出力ができます。
- 常時 RxD 端子の値を読むことができます。これによりブレーク状態の検出ができます。
- I/O ポートを出力に設定し、SCI のイネーブルが設定されていないとき、SCK 端子の制御ができます。
- 常時 SCK 端子の値を読むことができます。

SCIF 用の I/O ポートには、次のような特長があります。

- I/O ポートを出力に設定し、SCIF のイネーブルが設定されていないとき、データを出力できます。これによりブレーク機能の送出力ができます。
- 常時 RxD2 端子の値を読むことができます。これによりブレーク状態の検出ができます。
- I/O ポートを出力に設定し、SCIF のイネーブルが設定されていないとき、 $\overline{\text{CTS2}}$  端子および  $\overline{\text{RTS2}}$  端子の制御ができます。
- 常時  $\overline{\text{CTS2}}$  端子および  $\overline{\text{RTS2}}$  端子の値を読むことができます。

## 18.1.2 ブロック図

16 ビット汎用 I/O ポートのブロック図を、図 18.1 に示します。

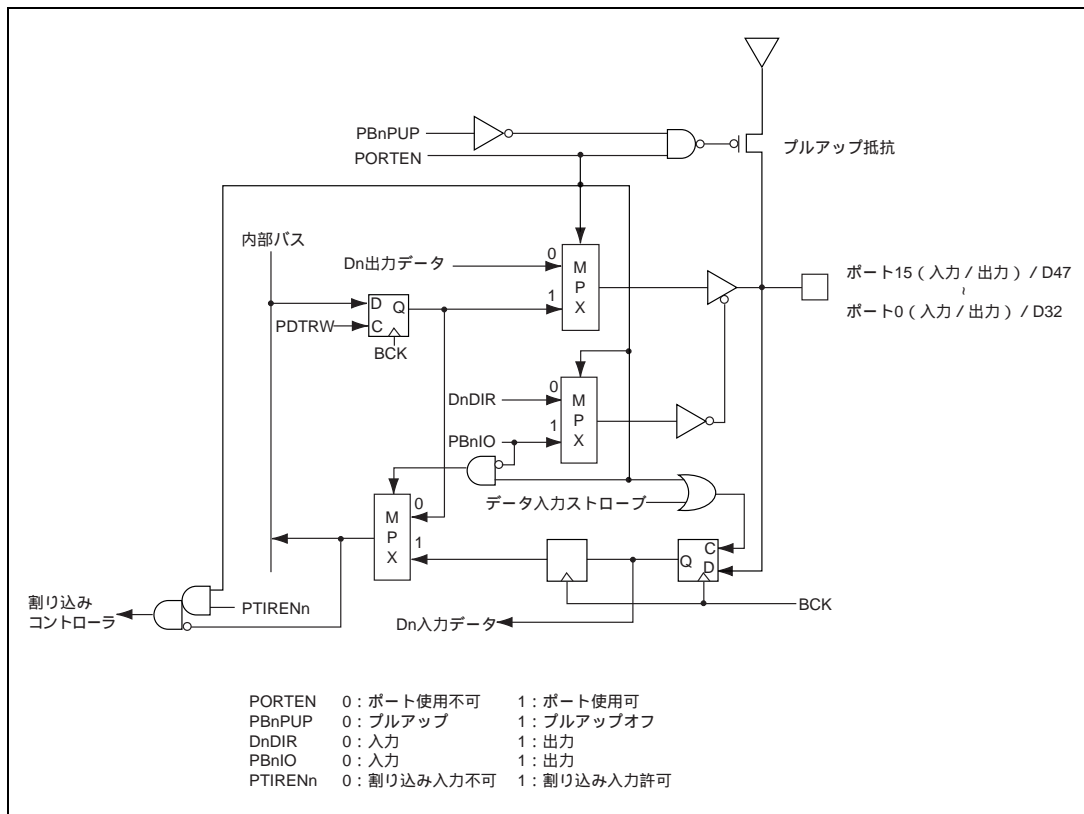


図 18.1 16 ビットポート

4 ビット汎用 I/O ポートのブロック図を、図 18.2 に示します。

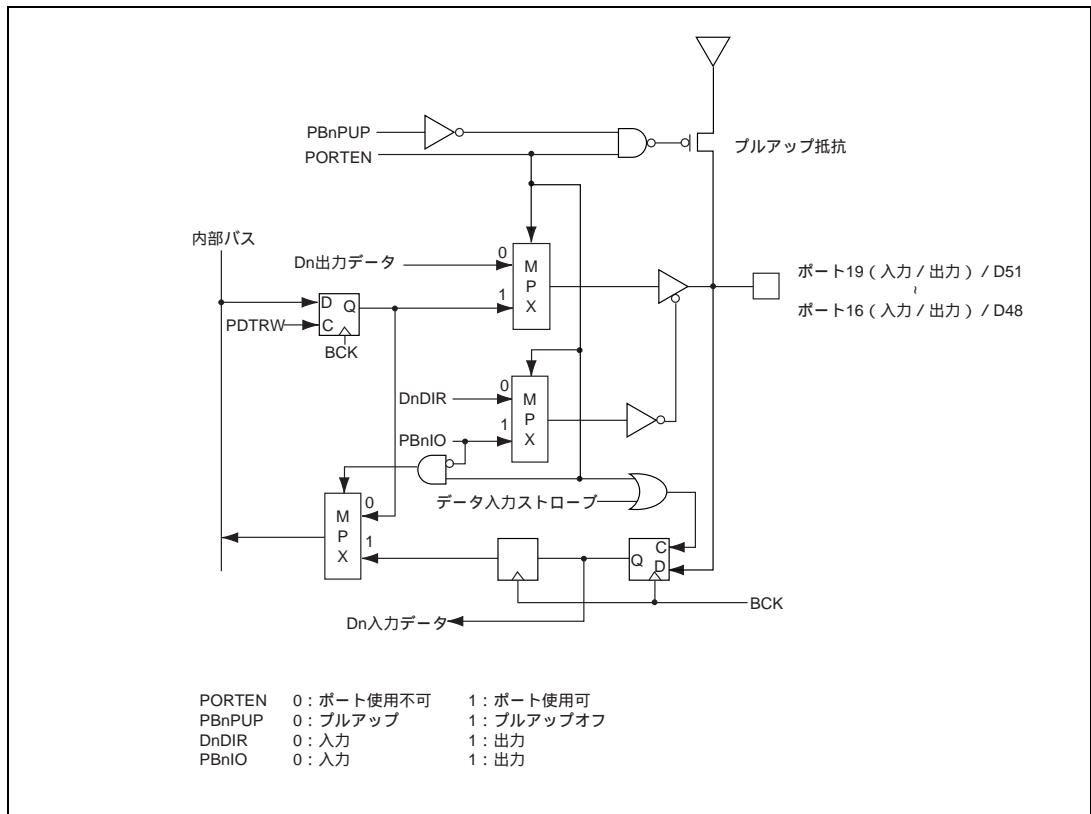


図 18.2 4 ビットポート

SCI I/O ポートのブロック図を図 18.3～図 18.5 に示します。

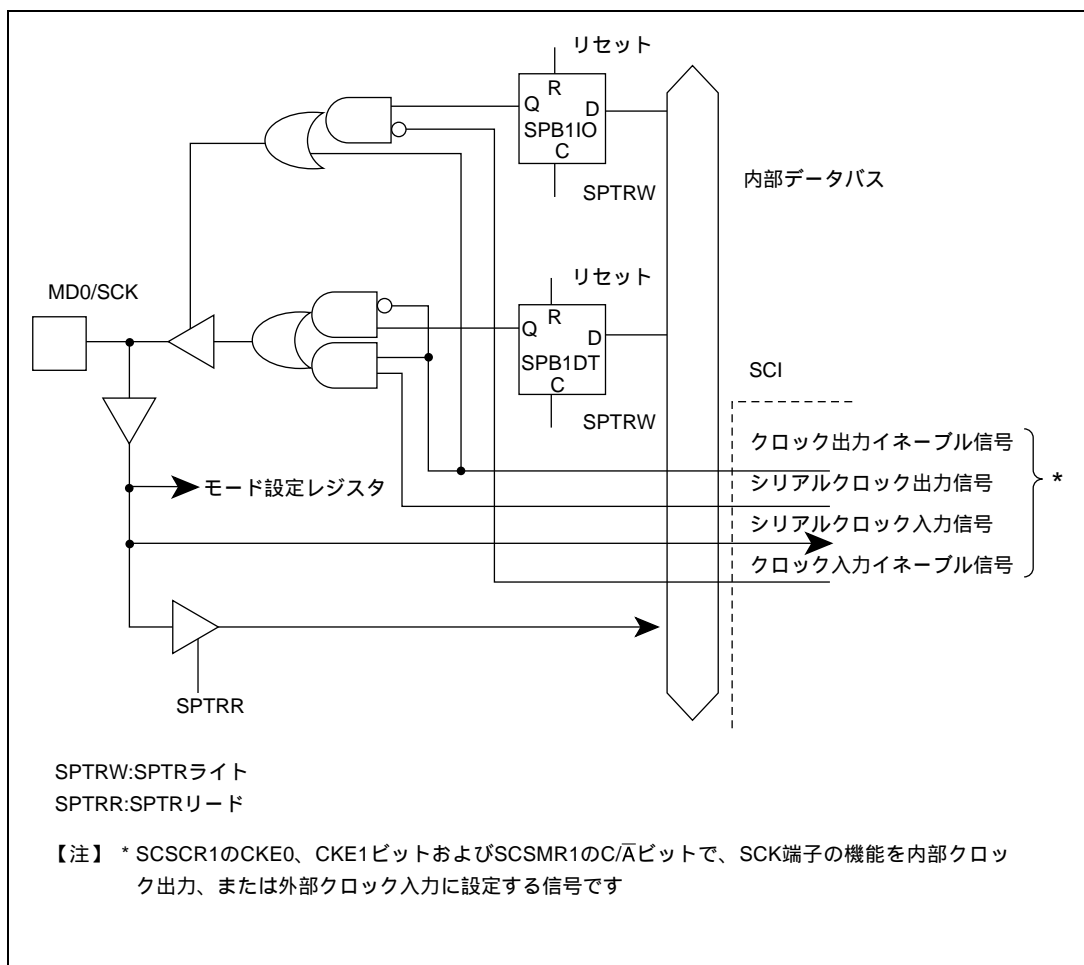


図 18.3 MD0/SCK 端子

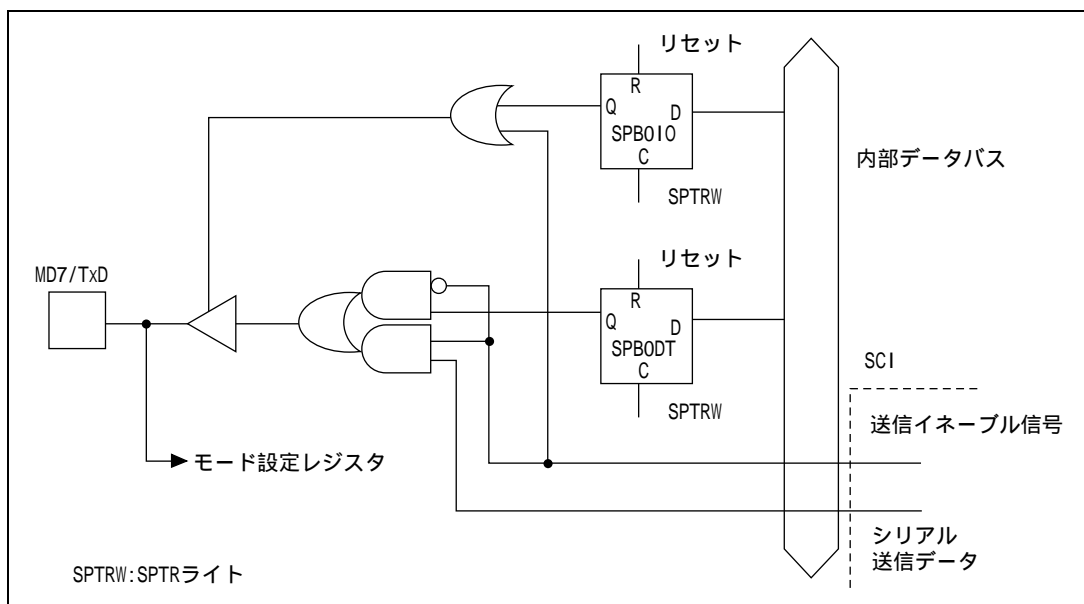


図 18.4 MD7/TxD 端子

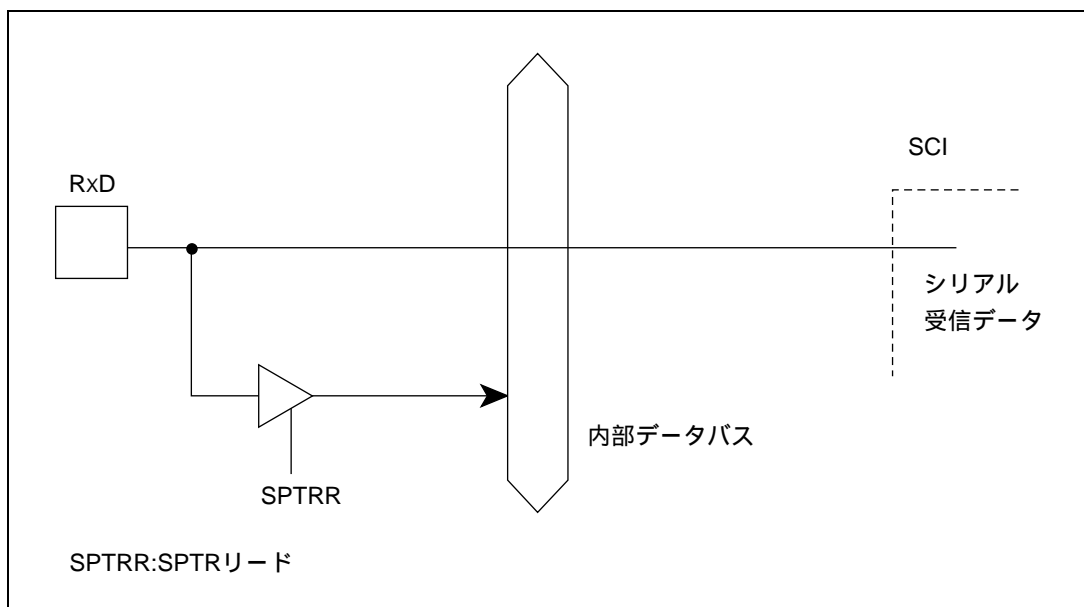


図 18.5 RxD 端子

SCIF I/O ポートのブロック図を図 18.6 ~ 図 18.9 に示します。

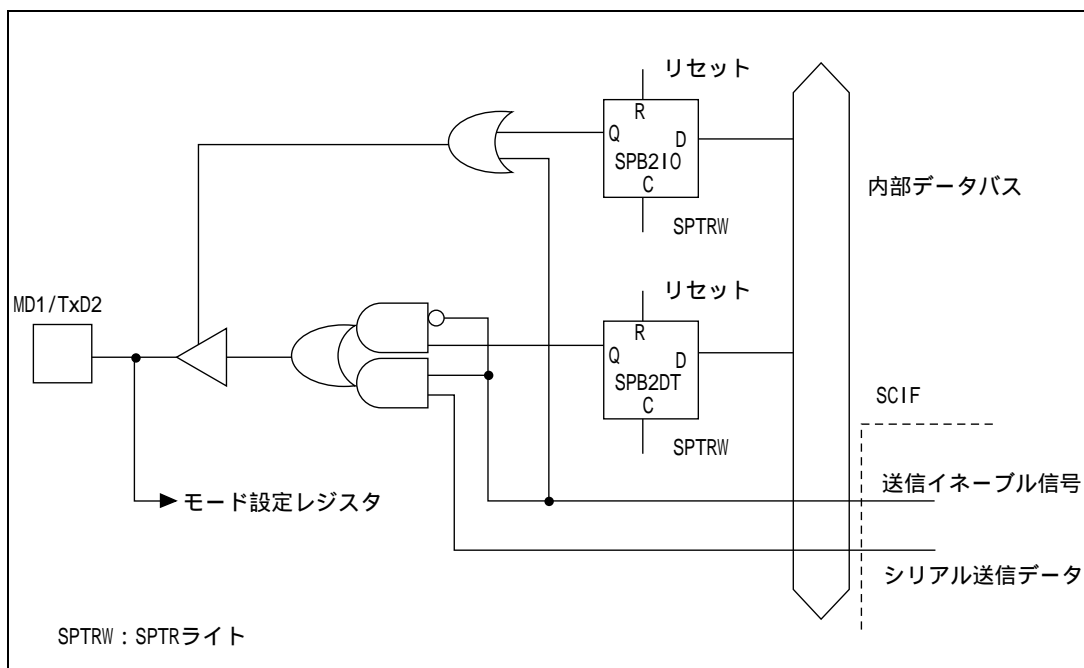


図 18.6 MD1/TxD2 端子

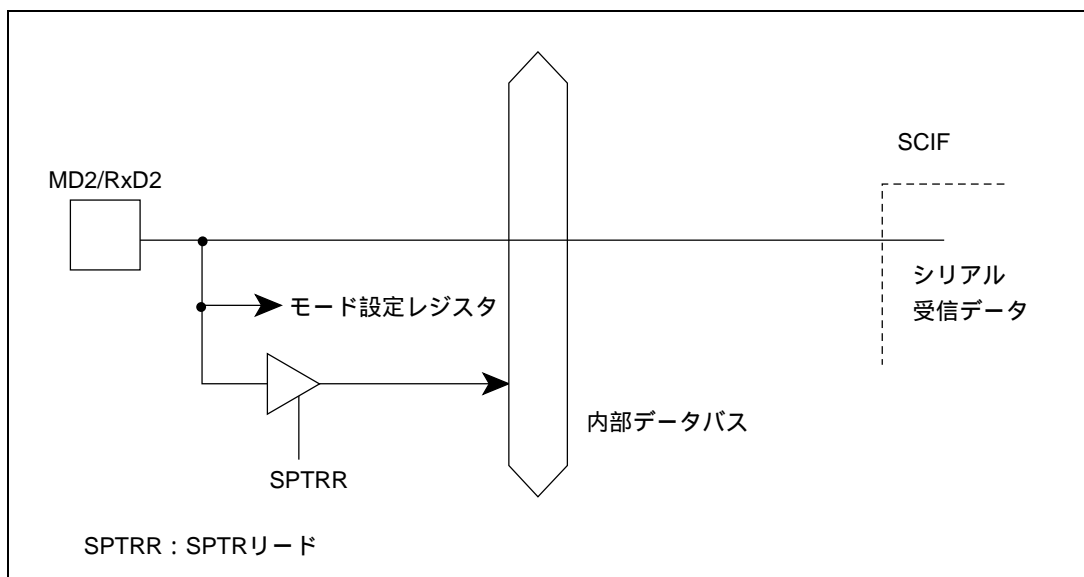


図 18.7 MD2/RxD2 端子



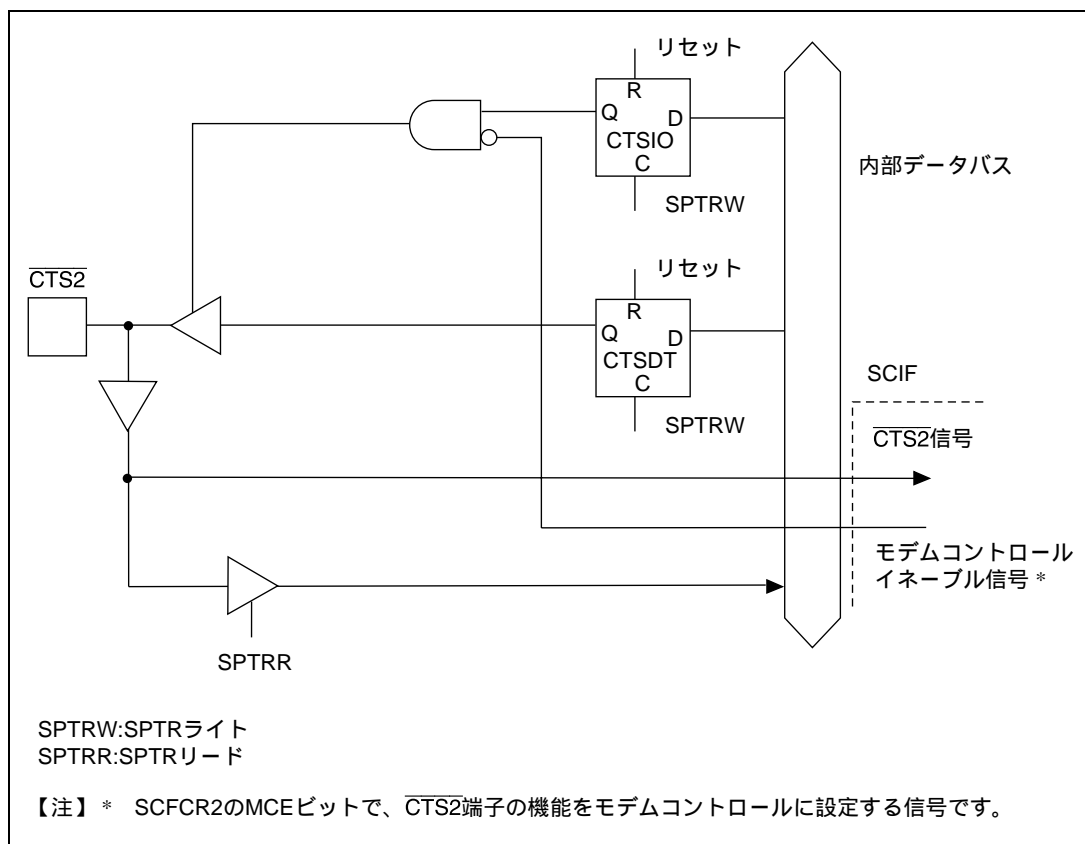


図 18.8 CTS2 端子

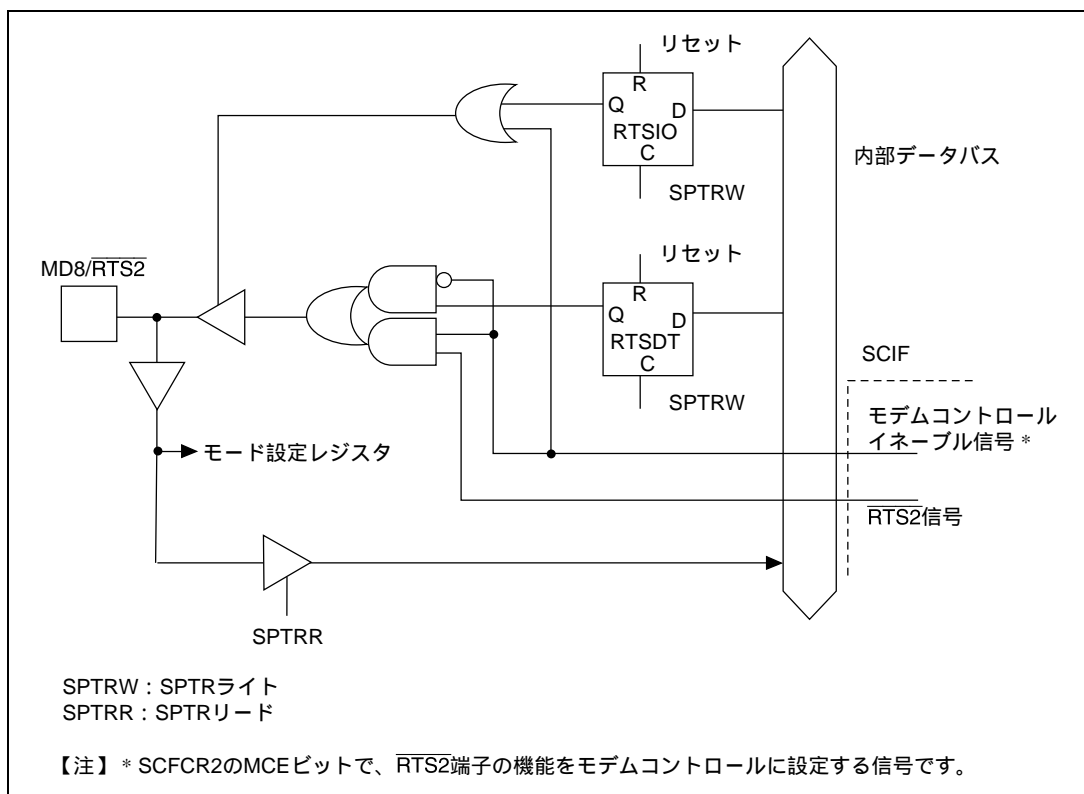


図 18.9 MD8/RTS2 端子

### 18.1.3 端子構成

20 ビット汎用 I/O ポートの端子構成を表 18.1 に示します。

表 18.1 20 ビット汎用 I/O ポートの端子構成

| 名称        | 信号名    | 入出力  | 機能                  |
|-----------|--------|------|---------------------|
| ポート 19 端子 | PORT19 | 入出力  | I/O ポート             |
| ポート 18 端子 | PORT18 | 入出力  | I/O ポート             |
| ポート 17 端子 | PORT17 | 入出力  | I/O ポート             |
| ポート 16 端子 | PORT16 | 入出力  | I/O ポート             |
| ポート 15 端子 | PORT15 | 入出力* | I/O ポート / GPIO 割り込み |
| ポート 14 端子 | PORT14 | 入出力* | I/O ポート / GPIO 割り込み |
| ポート 13 端子 | PORT13 | 入出力* | I/O ポート / GPIO 割り込み |
| ポート 12 端子 | PORT12 | 入出力* | I/O ポート / GPIO 割り込み |
| ポート 11 端子 | PORT11 | 入出力* | I/O ポート / GPIO 割り込み |
| ポート 10 端子 | PORT10 | 入出力* | I/O ポート / GPIO 割り込み |
| ポート 9 端子  | PORT9  | 入出力* | I/O ポート / GPIO 割り込み |
| ポート 8 端子  | PORT8  | 入出力* | I/O ポート / GPIO 割り込み |
| ポート 7 端子  | PORT7  | 入出力* | I/O ポート / GPIO 割り込み |
| ポート 6 端子  | PORT6  | 入出力* | I/O ポート / GPIO 割り込み |
| ポート 5 端子  | PORT5  | 入出力* | I/O ポート / GPIO 割り込み |
| ポート 4 端子  | PORT4  | 入出力* | I/O ポート / GPIO 割り込み |
| ポート 3 端子  | PORT3  | 入出力* | I/O ポート / GPIO 割り込み |
| ポート 2 端子  | PORT2  | 入出力* | I/O ポート / GPIO 割り込み |
| ポート 1 端子  | PORT1  | 入出力* | I/O ポート / GPIO 割り込み |
| ポート 0 端子  | PORT0  | 入出力* | I/O ポート / GPIO 割り込み |

【注】 \* ポート端子を GPIO 割り込みとして使用する場合は、入力にしてください。入力設定は、PCTRA レジスタによって行うことができます。

SCI I/O ポートの端子構成を表 18.2 に示します。

表 18.2 SCI I/O ポート端子構成

| 名称           | 略称      | 入出力 | 機能      |
|--------------|---------|-----|---------|
| シリアルクロック端子   | MD0/SCK | 入出力 | クロック入出力 |
| レシーブデータ端子    | RxD     | 入力  | 受信データ入力 |
| トランスミットデータ端子 | MD7/TxD | 出力  | 送信データ出力 |

【注】 パワーオンリセット時には、モード入力端子 MD0、MD7 として機能します。

SCI の動作設定を SCSCR1 の TE、RE、CKEI、CKE0 ビット、および SCSMR1 の C/ $\bar{A}$  ビットで行うことにより、シリアル端子として機能します。ブレーク状態の送出、検出は、SCI の SCSPTR1 によって行うことができます。

## 18. I/O ポート

SCIF I/O ポートの端子構成を表 18.3 に示します。

表 18.3 SCIF I/O ポート端子構成

| 名称           | 略称          | 入出力 | 機能      |
|--------------|-------------|-----|---------|
| シリアルクロック端子   | MRESET/SCK2 | 入力  | クロック入力  |
| レシーブデータ端子    | MD2/RxD2    | 入力  | 受信データ入力 |
| トランスミットデータ端子 | MD1/TxD2    | 出力  | 送信データ出力 |
| モデムコントロール端子  | CTS2        | 入出力 | 送信可     |
| モデムコントロール端子  | MD8/RTS2    | 入出力 | 送信要求    |

【注】 マニュアルリセット時には、マニュアルリセット端子 MRESET として機能します。また、パワーオンリセット時には、モード入力端子 MD1、MD2、MD8 として機能します。

SCIF の動作設定を SCSCR2 の TE、RE ビットおよび SCFCR2 の MCE ビットで行うことにより、シリアル端子として機能します。ブレーク状態の送出、検出は、SCIF の SCSPTR2 によって行うことができます。

### 18.1.4 レジスタ構成

20 ビット汎用 I/O ポート、SCI 用 I/O ポート、SCIF 用 I/O ポートには 7 本のレジスタがあります。レジスタ構成を表 18.4 に示します。

表 18.4 レジスタ構成

| 名称                  | 略称      | R/W | 初期値*       | P4 アドレス    | エリア 7 アドレス | アクセスサイズ |
|---------------------|---------|-----|------------|------------|------------|---------|
| ポートコントロールレジスタ A     | PCTRA   | R/W | H'00000000 | H'FF80002C | H'1F80002C | 32      |
| ポートデータレジスタ A        | PDTRA   | R/W | 不定         | H'FF800030 | H'1F800030 | 16      |
| ポートコントロールレジスタ B     | PCTRB   | R/W | H'00000000 | H'FF800040 | H'1F800040 | 32      |
| ポートデータレジスタ B        | PDTRB   | R/W | 不定         | H'FF800044 | H'1F800044 | 16      |
| GPIO 割り込みコントロールレジスタ | GPIOIC  | R/W | H'00000000 | H'FF800048 | H'1F800048 | 16      |
| シリアルポートレジスタ         | SCSPTR1 | R/W | 不定         | H'FFE0001C | H'1FE0001C | 8       |
| シリアルポートレジスタ         | SCSPTR2 | R/W | 不定         | H'FFE80020 | H'1FE80020 | 16      |

【注】 \* パワーオンリセットで初期化されます。

## 18.2 レジスタの説明

### 18.2.1 ポートコントロールレジスタ A (PCTRA)

ポートコントロールレジスタ A (PCTRA) は、16 ビットポート (ポート 15 端子 ~ ポート 0 端子) の各ビットの入出力方向およびプルアップについて制御を行います。ポートデータレジスタ A (PDTRA) の初期値は、不定なので、PDTRA レジスタに値を書き込んでから、PCTRA で 16 ビットポートの各ビットを出力に設定してください。

PCTRA レジスタは、読み出し / 書き込み可能な 32 ビットのレジスタです。パワーオンリセット時は H'00000000 に初期化されます。マニュアルリセット時およびスタンバイモード時は初期化されずに内容が保持されます。

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

|      |      |      |      |      |      |      |      |      |      |      |      |     |     |     |     |
|------|------|------|------|------|------|------|------|------|------|------|------|-----|-----|-----|-----|
| PB15 | PB15 | PB14 | PB14 | PB13 | PB13 | PB12 | PB12 | PB11 | PB11 | PB10 | PB10 | PB9 | PB9 | PB8 | PB8 |
| PUP  | IO   | PUP  | IO   | PUP  | IO   | PUP  | IO   | PUP  | IO   | PUP  | IO   | PUP | IO  | PUP | IO  |

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

|     |     |     |     |     |     |     |     |     |     |     |     |     |     |     |     |
|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| PB7 | PB7 | PB6 | PB6 | PB5 | PB5 | PB4 | PB4 | PB3 | PB3 | PB2 | PB2 | PB1 | PB1 | PB0 | PB0 |
| PUP | IO  | PUP | IO  | PUP | IO  | PUP | IO  | PUP | IO  | PUP | IO  | PUP | IO  | PUP | IO  |

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット  $2n+1$  ( $n=0\sim15$ ) : ポートプルアップコントロール (PBnPUP)

16 ビットポートの各ビットを内蔵の抵抗でプルアップするかどうかを制御します。

ただし、PBnIO ビットで出力に設定されているポートは、自動的にプルアップオフになります。

| ビット $2n+1$ | 機能  |       |
|------------|---|-------|
| PBnPUP     |   |       |
| 0          | 16 ビットポートのポート $m$ ( $m=0\sim15$ ) をプルアップする  | (初期値) |
| 1          | 16 ビットポートのポート $m$ ( $m=0\sim15$ ) をプルアップしない |       |

ビット  $2n$  ( $n=0\sim15$ ) : ポート入出力コントロール (PBnIO)

16 ビットポートの各ビットを、入力とするか出力とするかを制御します。

| ビット $2n$ | 機能                                       |       |
|----------|--|-------|
| PBnIO    |  |       |
| 0        | 16 ビットポートのポート $m$ ( $m=0\sim15$ ) を入力とする | (初期値) |
| 1        | 16 ビットポートのポート $m$ ( $m=0\sim15$ ) を出力とする |       |

### 18.2.2 ポートデータレジスタ A (PDTRA)

ポートデータレジスタ A (PDTRA) は、16 ビットポートの各ビットのデータラッチとして使用します。

各ビットが出力に設定されている場合、PDTRA レジスタに書き込んだ値が、外部端子から出力されます。また、各ビットが入力設定のときに PDTRA レジスタから値を読み込むと、外部バスクロックでサンプリングされた外部端子の値が読み出されます。出力設定のときには、PDTRA レジスタに書き込まれていた値が読み出されます。

PDTRA レジスタは、読み出し / 書き込み可能な 16 ビットのレジスタです。パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されずに内容が保持されます。

|       |            |            |            |            |            |            |           |           |           |           |           |           |           |           |           |           |
|-------|------------|------------|------------|------------|------------|------------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|-----------|
| ビット : | 15         | 14         | 13         | 12         | 11         | 10         | 9         | 8         | 7         | 6         | 5         | 4         | 3         | 2         | 1         | 0         |
|       | PB15<br>DT | PB14<br>DT | PB13<br>DT | PB12<br>DT | PB11<br>DT | PB10<br>DT | PB9<br>DT | PB8<br>DT | PB7<br>DT | PB6<br>DT | PB5<br>DT | PB4<br>DT | PB3<br>DT | PB2<br>DT | PB1<br>DT | PB0<br>DT |

初期値 :

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

### 18.2.3 ポートコントロールレジスタ B (PCTRB)

ポートコントロールレジスタ B (PCTRB) は、4 ビットポート (ポート 19 端子 ~ ポート 16 端子) の各ビットの入出力方向およびプルアップについて制御を行います。ポートデータレジスタ B (PDTRB) の初期値は、不定なので、PDTRB レジスタに値を書き込んでから、PCTRB で 4 ビットポートの各ビットを出力に設定してください。

PCTRB レジスタは、読み出し / 書き込み可能な 32 ビットのレジスタです。パワーオンリセット時は H'00000000 に初期化されます。マニュアルリセット時およびスタンバイモード時は初期化されずに内容が保持されます。

|       |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |    |
|-------|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|----|
| ビット : | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|       | -  | -  | -  | -  | -  | -  | -  | -  | -  | -  | -  | -  | -  | -  | -  | -  |

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W : R R R R R R R R R R R R R R R R R

|       |    |    |    |    |    |    |   |   |             |            |             |            |             |            |             |            |
|-------|----|----|----|----|----|----|---|---|-------------|------------|-------------|------------|-------------|------------|-------------|------------|
| ビット : | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7           | 6          | 5           | 4          | 3           | 2          | 1           | 0          |
|       | -  | -  | -  | -  | -  | -  | - | - | PB19<br>PUP | PB19<br>IO | PB18<br>PUP | PB18<br>IO | PB17<br>PUP | PB17<br>IO | PB16<br>PUP | PB16<br>IO |

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W : R R R R R R R R R/W R/W R/W R/W R/W R/W R/W R/W

ビット  $2n+1$  ( $n=0\sim3$ ) : ポートプルアップコントロール (PBnPUP)

4 ビットポートの各ビットを内蔵の抵抗でプルアップするかどうかを制御します。

ただし、PBnIO ビットで出力に設定されているポートは、自動的にプルアップオフになります。

| ビット $2n+1$ | 機能  |       |
|------------|---|-------|
| PBnPUP     |   |       |
| 0          | 4 ビットポートのポート m ( $m=16\sim19$ ) をプルアップする  | (初期値) |
| 1          | 4 ビットポートのポート m ( $m=16\sim19$ ) をプルアップしない |       |

ビット  $2n$  ( $n=0\sim3$ ) : ポート入出力コントロール (PBnIO)

4 ビットポートの各ビットを、入力とするか出力とするかを制御します。

| ビット 2n | 機能                                    |
|--------|---------------------------------------|
| PBnIO  |                                       |
| 0      | 4 ビットポートのポート m (m=16~19) を入力とする (初期値) |
| 1      | 4 ビットポートのポート m (m=16~19) を出力とする       |

#### 18.2.4 ポートデータレジスタ B (PDTRB)

ポートデータレジスタ B (PDTRB) は、4 ビットポートの各ビットのデータラッチとして使用します。

各ビットが出力に設定されている場合、PDTRB レジスタに書き込んだ値が、外部端子から出力されます。また、各ビットが入力設定のときに PDTRB レジスタから値を読み込むと、外部バスクロックでサンプリングされた外部端子の値が読み出されます。出力設定のときには、PDTRB レジスタに書き込まれていた値が読み出されます。

PDTRB レジスタは、読み出し / 書き込み可能な 16 ビットのレジスタです。パワーオンリセット、マニュアルリセットおよびスタンバイモード時のいずれでも初期化されずに内容が保持されます。

|       |    |    |    |    |    |    |   |   |   |   |   |   |            |            |            |            |
|-------|----|----|----|----|----|----|---|---|---|---|---|---|------------|------------|------------|------------|
| ビット : | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3          | 2          | 1          | 0          |
|       | -  | -  | -  | -  | -  | -  | - | - | - | - | - | - | PB19<br>DT | PB18<br>DT | PB17<br>DT | PB16<br>DT |
| 初期値 : | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 | 0 | 0 | 0 | 0 | -          | -          | -          | -          |
| R/W : | R  | R  | R  | R  | R  | R  | R | R | R | R | R | R | R/W        | R/W        | R/W        | R/W        |

#### 18.2.5 GPIO 割り込みコントロールレジスタ (GPIOIC)

GPIO 割り込みコントロールレジスタ (GPIOIC) は、16 ビットの割り込み入力の制御を行います。GPIOIC レジスタは、読み出し / 書き込み可能な 16 ビットのレジスタです。パワーオンリセット時は、H'00000000 に初期化されます。マニュアルリセット時およびスタンバイモード時は初期化されずに内容が保持されます。

GPIO 割り込みは、ローアクティブなレベル割り込みです。また、1 ビット毎にマスク可能で、GPIO 割り込みに設定されたすべてのビットの OR で検出されます。どのビットに割り込みが入力されたかは、PDTRA レジスタをリードすることで識別することができます。

|       |              |              |              |              |              |              |             |             |             |             |             |             |             |             |             |             |
|-------|--------------|--------------|--------------|--------------|--------------|--------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|-------------|
| ビット : | 15           | 14           | 13           | 12           | 11           | 10           | 9           | 8           | 7           | 6           | 5           | 4           | 3           | 2           | 1           | 0           |
|       | PTIR<br>EN15 | PTIR<br>EN14 | PTIR<br>EN13 | PTIR<br>EN12 | PTIR<br>EN11 | PTIR<br>EN10 | PTIR<br>EN9 | PTIR<br>EN8 | PTIR<br>EN7 | PTIR<br>EN6 | PTIR<br>EN5 | PTIR<br>EN4 | PTIR<br>EN3 | PTIR<br>EN2 | PTIR<br>EN1 | PTIR<br>EN0 |
| 初期値 : | 0            | 0            | 0            | 0            | 0            | 0            | 0           | 0           | 0           | 0           | 0           | 0           | 0           | 0           | 0           | 0           |
| R/W : | R/W          | R/W          | R/W          | R/W          | R/W          | R/W          | R/W         | R/W         | R/W         | R/W         | R/W         | R/W         | R/W         | R/W         | R/W         | R/W         |

ビット n (n=0~15) : ポート割り込みイネーブル (PTIRENn)

各ビットの割り込み入力を行うかどうかを制御します。

| ビット n   | 説明   |
|---------|--|
| PTIRENn |  |
| 0       | 16 ビットポートのポート m (m=0~15) を通常の入出力ポートとして使用 (初期値) |
| 1       | 16 ビットポートのポート m (m=0~15) を GPIO 割り込みとして使用*     |

【注】 \* 割り込みを使用する場合は、PCTRA レジスタで該当するポートを入力に設定した後、PTIRENn の設定を行ってください。

### 18.2.6 シリアルポートレジスタ (SCSPTR1)

|      |     |   |   |   |        |        |        |        |
|------|-----|---|---|---|--------|--------|--------|--------|
| ビット: | 7   | 6 | 5 | 4 | 3      | 2      | 1      | 0      |
|      | EIO |   |   |   | SPB1IO | SPB1DT | SPB0IO | SPB0DT |
| 初期値: | 0   | 0 | 0 | 0 | 0      |        | 0      |        |
| R/W: | R/W |   |   |   | R/W    | R/W    | R/W    | R/W    |

シリアルポートレジスタ (SCSPTR1) は、シリアルコミュニケーションインタフェース (SCI) の端子にマルチプレクスされたポートの入出力およびデータを制御します。ビット 1、0 によって Rx/D 端子から入力データを読み出し、Tx/D 端子へ出力データを書き込むことができ、シリアル送受信のブレイクを制御します。またビット 3 およびビット 2 で SCK 端子に対してデータの読み込みおよび出力データを書き込むことができます。ビット 7 は RXI 割り込みの許可 / 禁止を制御します。

SCSPTR1 レジスタは、8 ビットで、常に CPU による読み出し / 書き込みが可能です。パワーオンリセット、マニュアルリセット時にビット 2、0 を除いて H'00 に初期化されます。ビット 2、0 は、不定です。モジュールスタンバイ、スタンバイモード時には初期化されません。

ビット 7: エラー割り込みオンリー (EIO)

「15.2.8 シリアルポートレジスタ (SCSPTR1)」を参照してください。

ビット 6~4: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 3: シリアルポートクロックポート入出力 (SPB1IO)

シリアルポートの SCK 端子の入出力を指定します。実際に SCK 端子をポート出力端子として SPB1DT ビットで設定した値を出力する場合は、SCSMR1 の C/A ビットと SCSCR1 レジスタの CKE1、CKE0 ビットを 0 に設定してください。

| ビット 3<br>SPB1IO | 説明                                      |
|-----------------|---|
| 0               | SCK 端子に SPB1DT ビットの値を出力しないことを示します (初期値) |
| 1               | SCK 端子に SPB1DT ビットの値を出力することを示します        |

ビット 2: シリアルポートクロックポートデータ (SPB1DT)

シリアルポートの SCK 端子の入出力データを指定します。入力か出力かは SPB1IO ビットで指定します (詳細はビット 3: SPB1IO の説明参照)。出力の場合、SPB1DT ビットの値が SCK 端子に出力されます。SPB1IO ビットの値にかかわらず、SPB1DT ビットからは SCK 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。

| ビット 2<br>SPB1DT | 説明                     |
|-----------------|------------------------|
| 0               | 入出力データがローレベルであることを示します |
| 1               | 入出力データがハイレベルであることを示します |

ビット 1: シリアルポートブレイク入出力 (SPB0IO)

シリアルポートの Tx/D 端子の出力条件を指定します。実際に Tx/D 端子をポート出力端子として SPB0DT ビットで設定した値を出力する場合は、SCSCR1 の TE ビットを 0 に設定してください。

| ビット 1<br>SPB0IO | 説明                                      |
|-----------------|---|
| 0               | TxD 端子に SPB0DT ビットの値を出力しないことを示します (初期値) |
| 1               | TxD 端子に SPB0DT ビットの値を出力することを示します        |



## ビット0：シリアルポートブレイクデータ（SPB0DT）

シリアルポートの RxD 端子の入力データおよび TxD 端子の出力データを指定します。TxD 端子の出力条件は SPB0IO ビットで指定します（詳細はビット 1：SPB0IO の説明参照）。TxD 端子を出力に設定した場合、SPB0DT ビットの値が TxD 端子に出力されます。SPB0IO ビットの値にかかわらず、SPB0DT ビットからは RxD 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。

| ビット 0  | 説明                          |
|--------|-----------------------------|
| SPB0DT |                             |
| 0      | 入出力データがローレベルであることを示します（初期値） |
| 1      | 入出力データがハイレベルであることを示します      |

## 18.2.7 シリアルポートレジスタ（SCSPTR2）

|      |    |    |    |    |    |    |   |   |
|------|----|----|----|----|----|----|---|---|
| ビット： | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 |
|      |    |    |    |    |    |    |   |   |
| 初期値： | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 |
| R/W： | R  | R  | R  | R  | R  | R  | R | R |

|      |       |       |       |       |   |   |        |        |
|------|-------|-------|-------|-------|---|---|--------|--------|
| ビット： | 7     | 6     | 5     | 4     | 3 | 2 | 1      | 0      |
|      | RTSIO | RTSDT | CTSIO | CTSDT |   |   | SPB2IO | SPB2DT |
| 初期値： | 0     |       | 0     |       | 0 | 0 | 0      |        |
| R/W： | R/W   | R/W   | R/W   | R/W   | R | R | R/W    | R/W    |

シリアルポートレジスタ（SCSPTR2）は、シリアルコミュニケーションインタフェース（SCIF）の端子にマルチプレクスされたポートの入出力およびデータを制御します。ビット 1、0 によって RxD2 端子から入力データを読み出し、TxD2 端子へ出力データを書き込むことができ、シリアル送受信のブレイクを制御します。また、ビット 5 およびビット 4 で、 $\overline{\text{CTS2}}$  端子に対してデータの読み込み、および出力データを書き込むことができます。また、ビット 7 およびビット 6 で、 $\overline{\text{RTS2}}$  端子に対してデータの読み込み、および出力データを書き込むことができます。

SCSPTR2 レジスタは、16 ビットで、常に CPU による読み出し / 書き込みが可能です。パワーオンリセット、マニュアルリセット時にビット 6、4、0 を除いたすべてのビットが 0 に初期化されます。ビット 6、4、0 は、不定です。スタンバイモード、モジュールスタンバイ時には初期化されません。

## ビット15～8：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## ビット7：シリアルポートRTSポート入出力（RTSIO）

シリアルポートの  $\overline{\text{RTS2}}$  端子の入出力を指定します。実際に  $\overline{\text{RTS2}}$  端子をポート出力端子として RTSDT ビットで設定した値を出力する場合は、SCFCR2 の MCE ビットを 0 に設定してください。

| ビット 7 | 説明   |
|-------|--|
| RTSIO |  |
| 0     | $\overline{\text{RTS2}}$ 端子に RTSDT ビットの値を出力しないことを示します（初期値） |
| 1     | $\overline{\text{RTS2}}$ 端子に RTSDT ビットの値を出力することを示します       |

## ビット6：シリアルポートRTSポートデータ（RTSDT）

シリアルポートの RTS2 端子の入出力データを指定します。入力か出力かは RTSIO ビットで指定します（詳細はビット7：RTSIO の説明参照）。出力の場合、RTSDT ビットの値が RTS2 端子に出力されます。RTSIO ビットの値にかかわらず、RTSDT ビットからは RTS2 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。

| ビット6<br>RTSDT | 説明                     |
|---------------|------------------------|
| 0             | 入出力データがローレベルであることを示します |
| 1             | 入出力データがハイレベルであることを示します |

## ビット5：シリアルポートCTSポート入出力（CTSIO）

シリアルポートの CTS2 端子の入出力を指定します。実際に CTS2 端子をポート出力端子として CTSDT ビットで設定した値を出力する場合は、SCFCR2 の MCE ビットを 0 に設定してください。

| ビット5<br>CTSIO | 説明                                     |
|---------------|--|
| 0             | CTS2 端子に CTSDT ビットの値を出力しないことを示します（初期値） |
| 1             | CTS2 端子に CTSDT ビットの値を出力することを示します       |

## ビット4：シリアルポートCTSポートデータ（CTSDT）

シリアルポートの CTS2 端子の入出力データを指定します。入力か出力かは CTSIO ビットで指定します（詳細はビット5：CTSIO の説明参照）。出力の場合、CTSDT ビットの値が CTS2 端子に出力されます。CTSIO ビットの値にかかわらず、CTSDT ビットからは CTS2 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。

| ビット4<br>CTSDT | 説明                     |
|---------------|------------------------|
| 0             | 入出力データがローレベルであることを示します |
| 1             | 入出力データがハイレベルであることを示します |

## ビット3、2：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## ビット1：シリアルポートブレイク入出力（SPB2IO）

シリアルポートの TxD2 端子の出力条件を指定します。実際に TxD2 端子をポート出力端子として SPB2DT ビットで設定した値を出力する場合は、SCSCR2 の TE ビットを 0 に設定してください。

| ビット1<br>SPB2IO | 説明                                      |
|----------------|---|
| 0              | TxD2 端子に SPB2DT ビットの値を出力しないことを示します（初期値） |
| 1              | TxD2 端子に SPB2DT ビットの値を出力することを示します       |

## ビット0：シリアルポートブレイクデータ（SPB2DT）

シリアルポートの RxD2 端子の入力データおよび TxD2 端子の出力データを指定します。TxD2 端子の出力条件は SPB2IO ビットで指定します（詳細はビット1：SPB2IO の説明参照）。TxD2 端子を出力に設定した場合、SPB2DT ビットの値が TxD2 端子に出力されます。SPB2IO ビットの値にかかわらず、SPB2DT ビットからは RxD2 端子の値が読み出されます。パワーオンリセット、マニュアルリセット後の初期値は不定です。

| ビット0<br>SPB2DT | 説明                          |
|----------------|-----------------------------|
| 0              | 入出力データがローレベルであることを示します（初期値） |
| 1              | 入出力データがハイレベルであることを示します      |

---

## 19. 割り込みコントローラ（INTC）

---

### 19.1 概要

割り込みコントローラ（INTC）は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、ユーザがこのレジスタに設定した優先順位に従って、割り込み要求が処理されます。

#### 19.1.1 特長

INTC には、次のような特長があります。

- 割り込み優先順位を 15 レベル設定可能  
3本の割り込み優先レベル設定レジスタにより、内蔵周辺モジュール割り込みの優先順位を要求別に15レベルまで設定することができます。
- NMI ノイズキャンセラ機能  
NMI端子の状態を示すNMI入力レベルビットを持っています。割り込み例外サービスルーチンでこのビットを読むことにより端子状態を確認でき、ノイズキャンセラ機能として使用できます。
- SR.BL ビットが 1 にセットされたときの NMI 要求のマスク  
SR.BLビットが1にセットされたとき、NMI要求をマスクするかどうかを選択できます。

## 19. 割り込みコントローラ (INTC)

### 19.1.2 ブロック図

INTC のブロック図を図 19.1 に示します。

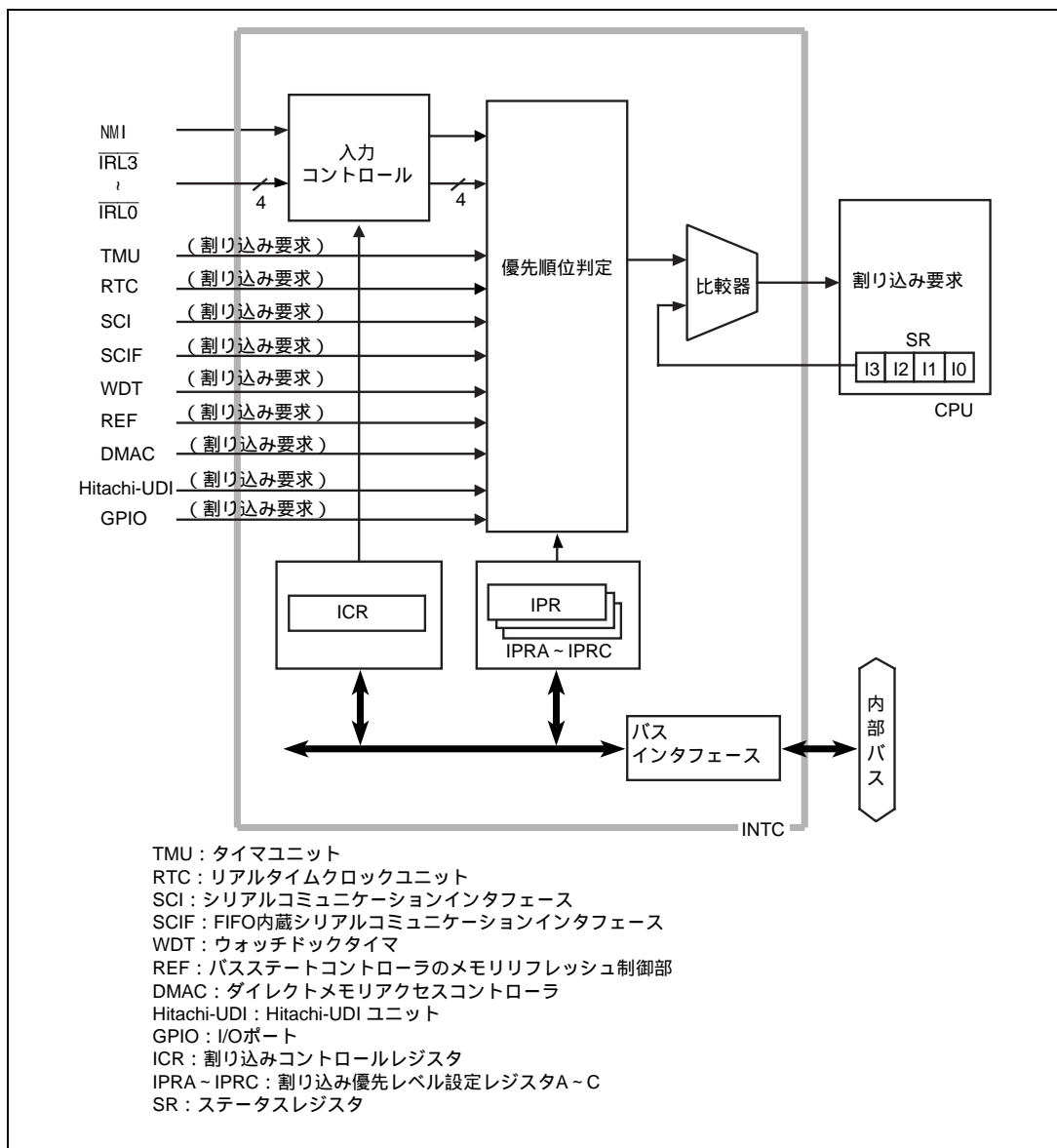


図 19.1 INTC のブロック図

### 19.1.3 端子構成

INTC の端子構成を表 19.1 に示します。

表 19.1 端子構成

| 名称                   | 略称   | 入出力 | 機能                                   |
|----------------------|--|-----|--------------------------------------|
| ノンマスクابل割り込み<br>入力端子 | NMI  | 入力  | マスク不可能な割り込み要求信号を入力                   |
| 割り込み入力端子             | $\overline{\text{IRL3}} \sim \overline{\text{IRL0}}$ | 入力  | 割り込み要求信号を入力<br>(SR の I3 ~ I0 でマスク可能) |

### 19.1.4 レジスタ構成

INTC のレジスタ構成を表 19.2 に示します。

表 19.2 レジスタ構成

| 名称                    | 略称   | R/W | 初期値* <sup>1</sup> | P4 アドレス    | エリア 7<br>アドレス | アクセス<br>サイズ |
|-----------------------|------|-----|-------------------|------------|---------------|-------------|
| 割り込みコントロール<br>レジスタ    | ICR  | R/W | * <sup>2</sup>    | H'FFD00000 | H'1FD00000    | 16          |
| 割り込み優先レベル設定<br>レジスタ A | IPRA | R/W | H'0000            | H'FFD00004 | H'1FD00004    | 16          |
| 割り込み優先レベル設定<br>レジスタ B | IPRB | R/W | H'0000            | H'FFD00008 | H'1FD00008    | 16          |
| 割り込み優先レベル設定<br>レジスタ C | IPRC | R/W | H'0000            | H'FFD0000C | H'1FD0000C    | 16          |

【注】 \*<sup>1</sup> パワーオンリセット、マニュアルリセットで初期化されます。

\*<sup>2</sup> NMI 端子がハイレベル : H'8000

NMI 端子がローレベル : H'0000

## 19.2 割り込み要因

割り込み要因は、NMI、IRL、内蔵周辺モジュールの3つに分類されます。各割り込みの優先順位は割り込み優先レベル値 (16~0) で表され、レベル 16 が最高で、レベル 1 が最低です。レベル 0 に設定すると、その割り込みはマスクされ、割り込み要求は無視されます。

### 19.2.1 NMI 割り込み

NMI 割り込みは、レベル 16 の最優先の割り込みです。CPU 内のステータスレジスタの BL ビットが 1 にセットされていない限りいつでも受け付けられます。ただし、スリープモードまたはスタンバイモード中は BL ビットが 1 でも受け付けられません。

また、設定により BL ビットが 1 でも NMI を受け付けることができます。

NMI 端子からの入力はエッジで検出されます。検出エッジは、割り込みコントロールレジスタ (ICR) の NMI エッジセレクトビット (NMIE) の設定によって、立ち上がりエッジまたは立ち下がりエッジを選択できます。ICR レジスタの NMIE ビットを書き換えた場合、書き換えてから最大 6 バスクロック期間、NMI 割り込みを検出しません。

NMI 割り込み例外処理によって、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) が影響されることはありません。

### 19.2.2 IRL 割り込み

IRL 割り込みは、 $\overline{IRL3} \sim \overline{IRL0}$  端子でレベルとして入力される割り込みです。

優先レベルは  $\overline{IRL3} \sim \overline{IRL0}$  端子で示されるレベルです。 $\overline{IRL3} \sim \overline{IRL0}$  が 0 (0000) のとき、最も高い割り込み要求 (割り込み優先レベル 15) を示します。15 (1111) のとき、割り込み要求なし (割り込み優先レベル 0) を示します。

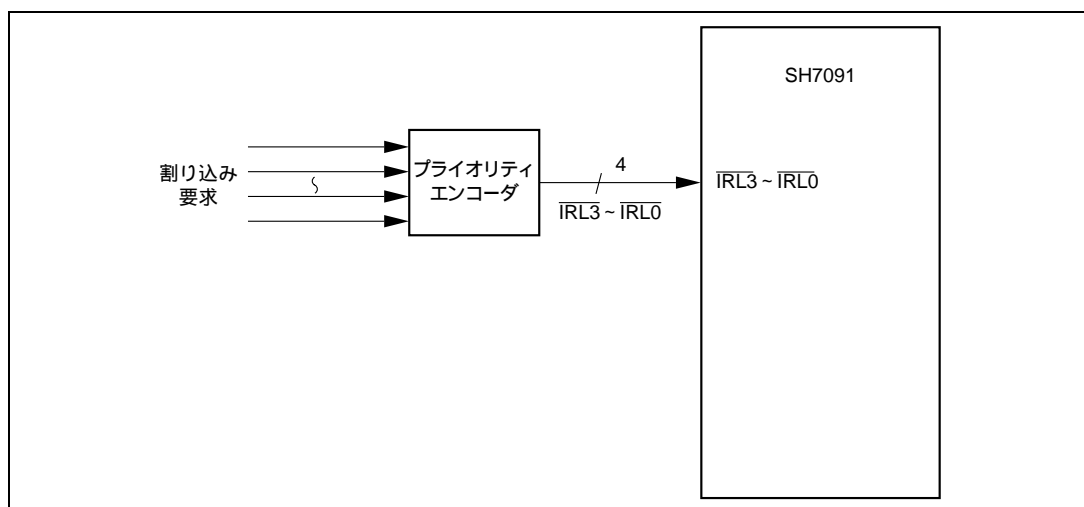


図 19.2 IRL 割り込みの接続例

表 19.3 IRL3 ~ IRL0 端子と割り込みレベル

| IRL3 | IRL2 | IRL1 | IRL0 | 割り込み優先レベル | 割り込み要求        |
|------|------|------|------|-----------|---------------|
| 0    | 0    | 0    | 0    | 15        | レベル 15 割り込み要求 |
| 0    | 0    | 0    | 1    | 14        | レベル 14 割り込み要求 |
| 0    | 0    | 1    | 0    | 13        | レベル 13 割り込み要求 |
| 0    | 0    | 1    | 1    | 12        | レベル 12 割り込み要求 |
| 0    | 1    | 0    | 0    | 11        | レベル 11 割り込み要求 |
| 0    | 1    | 0    | 1    | 10        | レベル 10 割り込み要求 |
| 0    | 1    | 1    | 0    | 9         | レベル 9 割り込み要求  |
| 0    | 1    | 1    | 1    | 8         | レベル 8 割り込み要求  |
| 1    | 0    | 0    | 0    | 7         | レベル 7 割り込み要求  |
| 1    | 0    | 0    | 1    | 6         | レベル 6 割り込み要求  |
| 1    | 0    | 1    | 0    | 5         | レベル 5 割り込み要求  |
| 1    | 0    | 1    | 1    | 4         | レベル 4 割り込み要求  |
| 1    | 1    | 0    | 0    | 3         | レベル 3 割り込み要求  |
| 1    | 1    | 0    | 1    | 2         | レベル 2 割り込み要求  |
| 1    | 1    | 1    | 0    | 1         | レベル 1 割り込み要求  |
| 1    | 1    | 1    | 1    | 0         | 割り込み要求なし      |

IRL 割り込みの検出は、ノイズキャンセル機構が内蔵されており、毎バスクロックでサンプリングしたレベルが 3 サイクル続けて同一の値になったとき、初めて行います。これにより、IRL 端子の変化時の誤ったレベルを取り込むことを防止できます。また、スタンバイモード時はバスクロックが停止しているため、代わりに RTC 用の 32.768KHz のクロックを使用して、ノイズキャンセルの処理を行います。このため RTC を使用しない場合は、スタンバイモード中に IRL 割り込みによる割り込みは行えません。

IRL 割り込みの優先レベルは、割り込みを受け付けて割り込み処理を開始するまで、そのレベルを保持してください。ただし、より高い優先レベルに変化させることはかまいません。

IRL 割り込み処理によって、ステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) が影響されることはありません。

ICR レジスタの IRLM ビットを 1 にすることにより、IRL0 ~ IRL3 端子を 4 つの独立した割り込み要求のために使うことができます。

表 19.4  $\overline{\text{IRL3}} \sim \overline{\text{IRL0}}$  端子と割り込みレベル (IRLM=1 のとき)

| $\overline{\text{IRL3}}$ | $\overline{\text{IRL2}}$ | $\overline{\text{IRL1}}$ | $\overline{\text{IRL0}}$ | 割り込み優先レベル | 割り込み要求 |
|--------------------------|--------------------------|--------------------------|--------------------------|-----------|--------|
| 1/0                      | 1/0                      | 1/0                      | 0                        | 13        | IRL0   |
| 1/0                      | 1/0                      | 0                        | 1                        | 10        | IRL1   |
| 1/0                      | 0                        | 1                        | 1                        | 7         | IRL2   |
| 0                        | 1                        | 1                        | 1                        | 4         | IRL3   |

### 19.2.3 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、以下に示す 9 つの内蔵周辺モジュールで発生する割り込みです。

- Hitachi-UDI ユニット (Hitachi-UDI)
- ダイレクトメモリアクセスコントローラ (DMAC)
- タイマユニット (TMU)
- リアルタイムクロック (RTC)
- シリアルコミュニケーションインタフェース (SCI)
- FIFO 内蔵シリアルコミュニケーションインタフェース (SCIF)
- パスステートコントローラ (BSC)
- ウォッチドッグタイマ (WDT)
- I/O ポート (GPIO)

要因ごとに異なる割り込みベクタは割り当てられてはいませんが、要因は割り込み事象レジスタ (INTEVT) に反映されますので、例外処理ルーチン中で INTEVT レジスタの値をオフセットとして分岐することによって、容易に要因が判定できます。

優先順位は、割り込み優先順位設定レジスタ A ~ C (IPRA ~ IPRC) によって、モジュールごとに優先順位 15 ~ 0 の範囲で設定できます。

内蔵周辺モジュール割り込み処理によって、ステータスレジスタ (SR) の割り込みマスクビット (I3 ~ I0) が影響されることはありません。

内蔵周辺モジュールの割り込み要因フラグおよび割り込み許可フラグの更新は、ステータスレジスタ (SR) の BL ビットが 1 のときに行ってください。なお、更新したはずの割り込み要因による誤った割り込みの受け付けを避けるために、いったん該当フラグを含む内蔵周辺レジスタを読み出してから BL ビットを 0 にしてください。これにより、内部的に必要なタイミングが確保されます。複数のフラグを更新する場合は、最後のフラグの更新の後で、そのフラグを含むレジスタを読み出すだけで問題ありません。

BL ビットが 0 のときにフラグの更新を行うと INTEVT レジスタの値が 0 で割り込み処理ルーチンにジャンプすることがあります。これはフラグの更新と本 LSI 内部での割り込み要求の認識のタイミングの関係で割り込み処理が起動したためです。この場合は、RTE 命令を実行することにより、問題なく処理を続けることができます。



### 19.2.4 割り込み例外処理と優先順位

割り込み要因と割り込み事象レジスタ (INTEVT) のコード、割り込み優先順位を表 19.5 に示します。

各割り込み要因は、それぞれ異なる割り込み事象レジスタ (INTEVT) のコードが割り当てられます。例外処理ルーチンの先頭アドレスは、各割り込み要因で共通です。このため、割り込み要因を識別するために、例外処理ルーチンの先頭で、INTEVT レジスタの値を使って分岐させます。たとえば INTEVT レジスタの値をオフセットにして分岐させます。

内蔵周辺モジュールの優先順位は、割り込み優先レベル設定レジスタ A~C (IPRA~IPRC) によって、優先レベル 15~0 の範囲で任意に設定できます。リセットによって、内蔵周辺モジュールの優先順位は優先レベル 0 に設定されます。

複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 19.5 に示す「デフォルト優先順位」に従って処理されます。

割り込み優先レベル設定レジスタ A~C の更新は、ステータスレジスタ (SR) の BL ビットが 1 のときに行ってください。なお、誤った割り込みの受け付けを避けるために、いったんいずれかの割り込み優先レベル設定レジスタを読み出してから BL ビットを 0 にしてください。これにより内部的に必要なタイミングが確保されます。

## 19. 割り込みコントローラ (INTC)

表 19.5 割り込み例外処理要因と優先順位

| 割り込み要因      |                 | INTEVT<br>コード | 割り込み優先順位<br>(初期値) | 対応する IPR<br>(ビット番号) | IPR 設定単位内の<br>優先順位 | デフォルト<br>優先順位    |
|-------------|-----------------|---------------|-------------------|---------------------|--------------------|------------------|
| NMI         |                 | H'1C0         | 16                |                     |                    | 高<br>↑           |
| IRL         | IRL3 ~ IRL0 = 0 | H'200         | 15                |                     |                    |                  |
|             | IRL3 ~ IRL0 = 1 | H'220         | 14                |                     |                    |                  |
|             | IRL3 ~ IRL0 = 2 | H'240         | 13                |                     |                    |                  |
|             | IRL3 ~ IRL0 = 3 | H'260         | 12                |                     |                    |                  |
|             | IRL3 ~ IRL0 = 4 | H'280         | 11                |                     |                    |                  |
|             | IRL3 ~ IRL0 = 5 | H'2A0         | 10                |                     |                    |                  |
|             | IRL3 ~ IRL0 = 6 | H'2C0         | 9                 |                     |                    |                  |
|             | IRL3 ~ IRL0 = 7 | H'2E0         | 8                 |                     |                    |                  |
|             | IRL3 ~ IRL0 = 8 | H'300         | 7                 |                     |                    |                  |
|             | IRL3 ~ IRL0 = 9 | H'320         | 6                 |                     |                    |                  |
|             | IRL3 ~ IRL0 = A | H'340         | 5                 |                     |                    |                  |
|             | IRL3 ~ IRL0 = B | H'360         | 4                 |                     |                    |                  |
|             | IRL3 ~ IRL0 = C | H'380         | 3                 |                     |                    |                  |
|             | IRL3 ~ IRL0 = D | H'3A0         | 2                 |                     |                    |                  |
|             | IRL3 ~ IRL0 = E | H'3C0         | 1                 |                     |                    |                  |
|             | IRL0            | H'240         | 13                |                     |                    |                  |
|             | IRL1            | H'2A0         | 10                |                     |                    |                  |
|             | IRL2            | H'300         | 7                 |                     |                    |                  |
|             | IRL3            | H'360         | 4                 |                     |                    |                  |
| Hitachi-UDI | Hitachi-UDI     | H'600         | 15 ~ 0 (0)        | IPRC (3 ~ 0)        |                    | ↑<br>高<br>↓<br>低 |
| GPIO        | GPIOI           | H'620         | 15 ~ 0 (0)        | IPRC (15 ~ 12)      |                    |                  |
| DMAC        | DMTE0           | H'640         | 15 ~ 0 (0)        | IPRC (11 ~ 8)       |                    |                  |
|             | DMTE1           | H'660         |                   |                     |                    |                  |
|             | DMTE2           | H'680         |                   |                     |                    |                  |
|             | DMTE3           | H'6A0         |                   |                     |                    |                  |
|             | DMAE            | H'6C0         |                   |                     |                    |                  |
| TMU0        | TUNI0           | H'400         | 15 ~ 0 (0)        | IPRA (15 ~ 12)      |                    |                  |
| TMU1        | TUNI1           | H'420         | 15 ~ 0 (0)        | IPRA (11 ~ 8)       |                    |                  |
| TMU2        | TUNI2           | H'440         | 15 ~ 0 (0)        | IPRA (7 ~ 4)        |                    |                  |
|             | TICPI2          | H'460         |                   |                     |                    |                  |
| RTC         | ATI             | H'480         | 15 ~ 0 (0)        | IPRA (3 ~ 0)        |                    |                  |
|             | PRI             | H'4A0         |                   |                     |                    |                  |
|             | CUI             | H'4C0         |                   |                     |                    |                  |
| SCI         | ERI             | H'4E0         | 15 ~ 0 (0)        | IPRB (7 ~ 4)        |                    |                  |
|             | RXI             | H'500         |                   |                     |                    |                  |
|             | TXI             | H'520         |                   |                     |                    |                  |
|             | TEI             | H'540         |                   |                     |                    |                  |
| SCIF        | ERI             | H'700         | 15 ~ 0 (0)        | IPRC (7 ~ 4)        |                    |                  |
|             | RXI             | H'720         |                   |                     |                    |                  |
|             | BRI             | H'740         |                   |                     |                    |                  |
|             | TXI             | H'760         |                   |                     |                    |                  |
| WDT         | ITI             | H'560         | 15 ~ 0 (0)        | IPRB (15 ~ 12)      |                    | ↑<br>高<br>↓<br>低 |
| REF         | RCMI            | H'580         | 15 ~ 0 (0)        | IPRB (11 ~ 8)       |                    |                  |
|             | ROVI            | H'5A0         |                   |                     |                    |                  |

【注】 TUNIO ~ TUNI2 : アンダフロー割り込み  
 TICPI2 : インプットキャプチャ割り込み  
 ATI : アラーム割り込み  
 PRI : 周期割り込み  
 CUI : 桁上げ割り込み  
 ERI : 受信エラー割り込み  
 RXI : 受信データフル割り込み  
 TXI : 送信データエンプティ割り込み  
 TEI : 送信終了割り込み  
 BRI : ブレーク割り込み要求  
 ITI : インターバルタイマ割り込み  
 RCMI : コンペアマッチ割り込み  
 ROVI : リフレッシュカウンタオーバーフロー割り込み  
 Hitachi-UDI : Hitachi-UDI 割り込み  
 GPIOI : I/O ポート割り込み  
 DMTE0 ~ DMTE3 : DMAC 転送終了割り込み  
 DMAE : DMAC アドレスエラー割り込み

## 19.3 レジスタの説明

### 19.3.1 割り込み優先レベル設定レジスタ A ~ C (IPRA ~ IPRC)

割り込み優先レベル設定レジスタ A ~ C (IPRA ~ IPRC) は、内蔵周辺モジュール割り込みの優先順位 (レベル 15 ~ 0) を設定します。IPRA ~ IPRC レジスタは、それぞれ読み出し / 書き込み可能な 16 ビットのレジスタです。リセット時は H'0000 に初期化されます。スタンバイモード時は初期化されません。

|      |     |     |     |     |     |     |     |     |     |     |     |     |     |     |     |     |
|------|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| ビット: | 15  | 14  | 13  | 12  | 11  | 10  | 9   | 8   | 7   | 6   | 5   | 4   | 3   | 2   | 1   | 0   |
|      |     |     |     |     |     |     |     |     |     |     |     |     |     |     |     |     |
| 初期値: | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   | 0   |
| R/W: | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

割り込み要求元と IPRA ~ IPRC レジスタの各ビットの対応を表 19.6 に示します。

表 19.6 割り込み要求元と IPRA ~ IPRC レジスタ

| レジスタ              | ビット     |                   |       |                  |
|-------------------|---------|-------------------|-------|------------------|
|                   | 15 ~ 12 | 11 ~ 8            | 7 ~ 4 | 3 ~ 0            |
| 割り込み優先レベル設定レジスタ A | TMU0    | TMU1              | TMU2  | RTC              |
| 割り込み優先レベル設定レジスタ B | WDT     | REF <sup>*1</sup> | SCI   | 予約 <sup>*2</sup> |
| 割り込み優先レベル設定レジスタ C | GPIO    | DMAC              | SCIF  | Hitachi-UDI      |

【注】 \*1 REF : パスステートコントローラ内のメモリリフレッシュ制御部。

詳細は「第 13 章 パスステートコントローラ」を参照。

\*2 予約ビット : 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 19.6 に示すように、1 本のレジスタに 4 組の内蔵周辺モジュールが割り当てられています。ビット 15 ~ 12、ビット 11 ~ 8、ビット 7 ~ 4、ビット 3 ~ 0 の各 4 ビットに H'F (1111) から H'0 (0000)

## 19. 割り込みコントローラ (INTC)

の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込みの優先順位は、HF をセットすると優先レベル 15 (最高レベル) に、H'0 をセットすると優先レベル 0 (要求マスク) になります。

### 19.3.2 割り込みコントロールレジスタ (ICR)

割り込みコントロールレジスタ (ICR) は、外部割り込み入力端子 NMI の入力信号検出モードを設定し、NMI 端子への入力信号レベルを示します。ICR レジスタは 16 ビットのレジスタです。パワーオンリセット、マニュアルリセット時は初期化されます。スタンバイモード時は初期化されません。

|      |      |     |    |    |    |    |      |      |      |   |   |   |   |   |   |   |
|------|------|-----|----|----|----|----|------|------|------|---|---|---|---|---|---|---|
| ビット: | 15   | 14  | 13 | 12 | 11 | 10 | 9    | 8    | 7    | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|      | NMIL | MAI |    |    |    |    | NMIB | NMIE | IRLM |   |   |   |   |   |   |   |
| 初期値: | 0/1* | 0   | 0  | 0  | 0  | 0  | 0    | 0    | 0    | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W: | R    | R/W |    |    |    |    | R/W  | R/W  | R/W  |   |   |   |   |   |   |   |

【注】 \* NMI 端子入力が高レベルのとき 1、ローレベルのとき 0

ビット 15 : NMI 入力レベル (NMIL)

NMI 端子に入力されている信号のレベルが設定されます。このビットを読むことによって、NMI 端子のレベルを知ることができます。書き込みは無効です。

| ビット 15 | 機 能                  |
|--------|----------------------|
| NMIL   |                      |
| 0      | NMI 端子にローレベルが入力されている |
| 1      | NMI 端子にハイレベルが入力されている |

ビット 14 : NMI 割り込みマスク (MAI)

CPU の SR.BL ビットに関わらず、NMI 端子の入力レベルが Low の期間、すべての割り込みをマスクするかどうかを指定します。

| ビット 14 | 機 能                         |
|--------|-----------------------------|
| MAI    |                             |
| 0      | NMI 端子がローレベルでも、割り込み許可 (初期値) |
| 1      | NMI 端子がローレベルの間、割り込み禁止*      |

【注】 \* 通常動作時、および、スリープ時は NMI 割り込みは受け付けられます。  
スタンバイ時は NMI 端子が Low の間、すべての割り込みはマスクされ、スタンバイを解除しません。

ビット 9 : NMI ブロックモード (NMIB)

SR.BL ビットが 1 の間、NMI 要求を保留するか即時検出するかを選択します。

| ビット 9 | 機 能                                   |
|-------|---------------------------------------|
| NMIB  |                                       |
| 0     | SR.BL ビットが 1 の間、NMI 割り込み要求を保留する (初期値) |
| 1     | SR.BL ビットが 1 のとき、NMI 割り込み要求を検出する      |

【注】 1. SR.BL = 1 の間に割り込み要求が許可されると、以前の例外情報は失われますので、前もって保存しておく必要があります。  
2. 本ビットは NMI の受け付けで自動的にクリアされます。

## ビット8：NMIエッジセレクト (NMIE)

NMI 端子への割り込み要求信号を、立ち下がりエッジで検出するか、立ち上がりエッジで検出するかを選択します。

| ビット 8 | 機 能                                |
|-------|------------------------------------|
| NMIE  |                                    |
| 0     | NMI 入力 of 立ち下がりエッジで割り込み要求を検出 (初期値) |
| 1     | NMI 入力 of 立ち上がりエッジで割り込み要求を検出       |

## ビット7：IRLピンモード (IRLM)

$\overline{\text{IRL}}3 \sim \overline{\text{IRL}}0$  端子がレベルエンコード割り込み要求として使われるか、4 つの独立した割り込み要求として使われるかを選択します。

| ビット 7 | 機 能  |
|-------|--|
| IRLM  |  |
| 0     | $\overline{\text{IRL}}$ 端子はレベルエンコード割り込み要求として使われる (初期値) |
| 1     | $\overline{\text{IRL}}$ 端子は 4 つの独立した割り込み要求として使われる      |

## ビット13～10、6～0：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## 19.4 動作説明

### 19.4.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 19.3 に割り込み動作フローを示します。

- (1) 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
- (2) 割り込みコントローラでは、送られた割り込み要求の中から割り込み優先レベル設定レジスタ A~C (IPRA~IPRC) にしたがって、最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは保留されます。このとき、同一優先順位に設定された割り込み、または同一モジュール内の割り込みが複数発生した場合は、表 19.5 にしたがって、最も優先順位の高い割り込みが選択されます。
- (3) 割り込みコントローラで選択された割り込みの優先レベルと CPU のステータスレジスタ (SR) の割り込みマスクビット (I3~I0) とが比較されます。I3~I0 ビットのレベルより高い優先順位の割り込みだけが受け付けられ、CPU へ割り込み要求信号が送られます。
- (4) CPU は、命令の切れ目で割り込みを受け付けます。
- (5) 割り込み事象レジスタ (INTEVT) に割り込み要因コードがセットされます。
- (6) ステータスレジスタ (SR) とプログラムカウンタ (PC) が、それぞれ SSR と SPC に退避されます。
- (7) SR のブロックビット (BL)、モードビット (MD)、レジスタバンクビット (RB) が 1 にセットされます。
- (8) 割り込み関連の例外処理ルーチンの先頭番地 (ベクタベースレジスタ (VBR) に設定された値と H'00000600 の和) にジャンプします。

例外処理ルーチンでは、割り込み要因を識別するために、例えば INTEVT レジスタの値をオフセットとして分岐します。これにより、容易に割り込み要因別の処理ルーチンへ分岐できます。

- 【注】
1. 本 LSI では、割り込みを受け付けても CPU のステータスレジスタ (SR) の割り込みマスクビット (I3~I0) は変化しません。
  2. 割り込み要因フラグは、割り込みハンドラ中でクリアしてください。  
クリアしたはずの割り込み要因を誤まって再度受け付けないようにするために、クリア後、要因フラグをリードし、その後、表 19.7 の優先順位判定および SR のマスクビットとの比較時間で示される時間待ってから、BL ビットをクリアするか、RTE 命令を実行します。

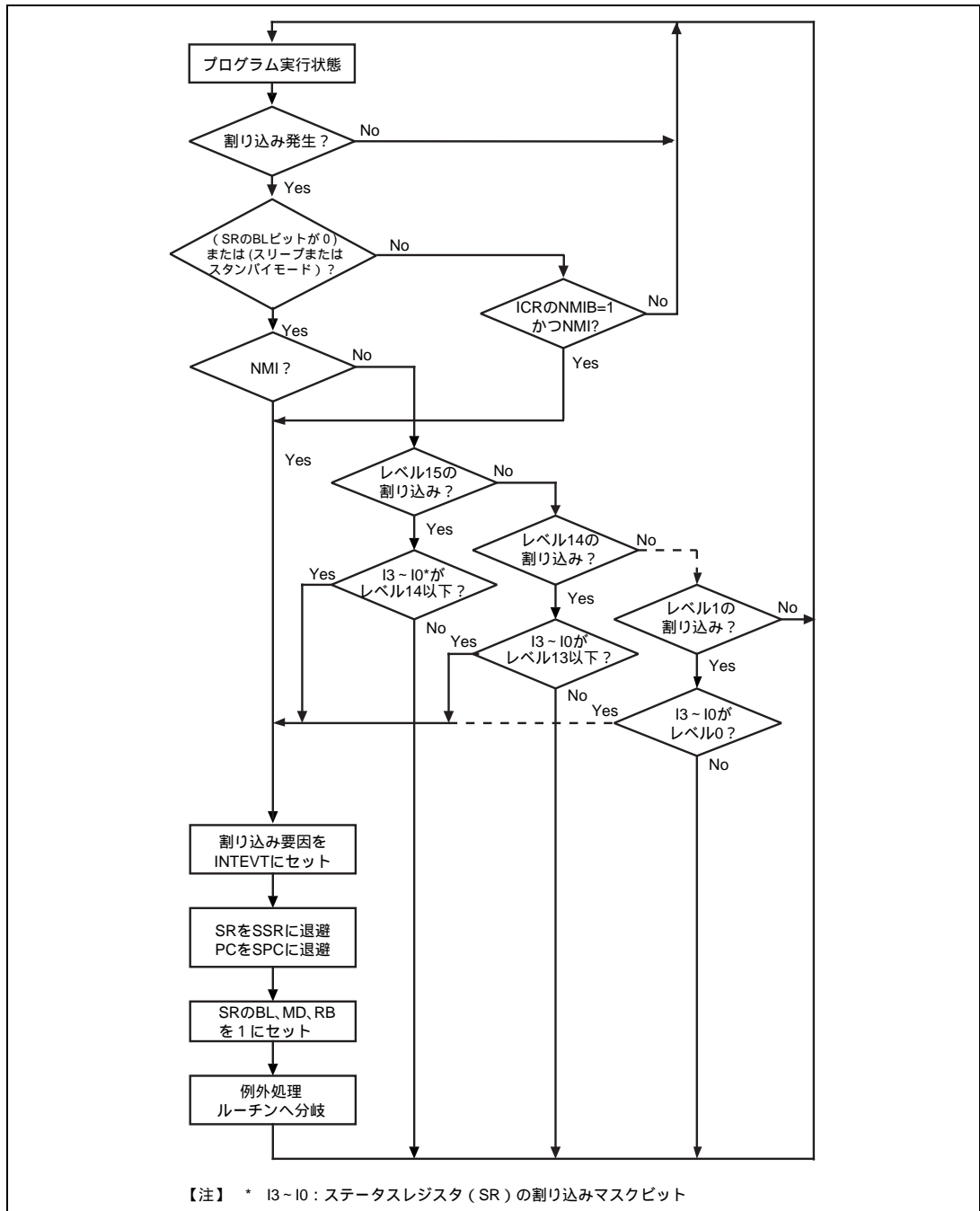


図 19.3 割り込み動作フロー

### 19.4.2 多重割り込み

多重割り込みを行う場合は、割り込み処理ルーチンの構造を以下のようにします。

- (1) 割り込み要因を判定するために、INTEVT レジスタの値をオフセットとして、各割り込み要因の割り込み処理ルーチンに分岐します。
- (2) 各割り込み処理ルーチン中で、該当割り込み要因をクリアします。
- (3) SPC、SSR をスタックに退避します。
- (4) SR の BL ビットをクリアします。このとき、SR の割り込みマスクビットも受け付けた割り込みレベルに設定します。
- (5) この後、実際に行いたい処理を書きます。
- (6) SR の BL ビットを 1 にセットします。
- (7) SSR と SPC をメモリから復帰します。
- (8) RTE 命令を実行します。

割り込み処理ルーチンを上記の構造にすることにより、(4)の直後の時点で多重割り込みがあった場合、より優先レベルの高いものは受け付けられます。これにより、緊急度の高い処理については、割り込み応答時間を短縮できます。

### 19.4.3 MAI ビットによる割り込みマスク

ICR レジスタの MAI ビットを 1 に設定することにより、NMI 端子がローレベルの間、SR レジスタの BL、IMASK ビットに関係なく割り込みをマスクすることができます。

- 通常動作時およびスリープモード時  
NMI端子がローレベルの間、すべての割り込みをマスクします。ただし、NMI端子の変化によるNMI割り込みだけは発生します。
- スタンバイ時  
NMI端子がローレベルの間、すべての割り込みをマスクします。また、NMI端子の変化によるNMI割り込みも発生しません。このため、MAIビットを 1 に設定した状態では、NMI割り込みによるスタンバイの解除は行えません。



## 19.5 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、例外サービスルーチンの先頭命令のフェッチが開始されるまでの時間（割り込み応答時間）を表 19.7 に示します。

表 19.7 割り込み応答時間

| 項目   |     | ステート数  |  |  | 備考                      |
|--|-----|--|--|--|-------------------------|
|  |     | NMI  | IRL  | 周辺<br>モジュール  |                         |
| 優先順位判定および SR のマスクビットとの比較時間                         |     | 1lcyc + 4Bcyc  | 1lcyc + 7Bcyc  | 1lcyc + 2Bcyc  |                         |
| CPU が実行中のシーケンス終了までの待ち時間                            |     | $S - 1 (0) \times \text{lcyc}$                           |  |  |                         |
| 割り込み例外処理（SR、PC の退避）から、例外処理ルーチンの先頭命令のフェッチを開始するまでの時間 |     | $4 \times \text{lcyc}$                                   |  |  |                         |
| 応答時間   | 合計  | $5 \text{ lcyc} + 4 \text{ Bcyc} + (S - 1) \text{ lcyc}$ | $5 \text{ lcyc} + 7 \text{ Bcyc} + (S - 1) \text{ lcyc}$ | $5 \text{ lcyc} + 2 \text{ Bcyc} + (S - 1) \text{ lcyc}$ |                         |
|  | 最小時 | 13 lcyc  | 19 lcyc  | 9 lcyc   | lcyc : Bcyc = 2 : 1 のとき |
|  | 最大時 | $36 + S \text{ lcyc}$                                    | $60 + S \text{ lcyc}$                                    | $20 + S \text{ lcyc}$                                    | lcyc : Bcyc = 8 : 1 のとき |

lcyc : CPU 等に供給される内部クロックの 1cycle 時間

Bcyc : CKI0 の 1cycle 時間

S : 命令実行ステート数

---

## 20. ユーザブ레이크コントローラ

---

### 20.1 概要

ユーザブ레이크コントローラ（UBC）は、プログラムデバッグを容易にする機能を提供します。UBC にブ레이크条件を設定すると、CPU が発生するバスサイクルの内容に応じてユーザブ레이크割り込みを発生します。この機能を使用することにより、セルフモニタデバッグを容易に作成でき、インサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。

#### 20.1.1 特長

ブ레이크コントローラは、以下の特長があります。

- ブ레이크コンペア条件として以下を設定可能  
ブ레이크チャンネル数：2チャンネル（チャンネルA、B）  
チャンネルAおよびBについて単独条件、またはシーケンシャル条件でユーザブ레이크割り込みを要求（シーケンシャルブ레이크設定：チャンネルA チャンネルB）
- (1) アドレス（32 ビット仮想アドレスと ASID を比較対象として選択）  
アドレス：全ビット比較 / 下位 10 ビットマスク / 下位 12 ビットマスク / 下位 16 ビットマスク / 下位 20 ビットマスク / 全ビットマスク  
ASID：全ビット比較 / 全ビットマスク
- (2) データ（チャンネル B のみ、32 ビットマスク可能）
- (3) バスサイクル：命令アクセス / オペランドアクセス
- (4) リード / ライト
- (5) オペランドサイズ：バイト / ワード / ロングワード / クワッドワード
- 命令アクセスサイクルでのブ레이크では、命令の実行前に停止するか、実行後に停止するか選択できます。

## 20.1.2 ブロック図

ユーザブレイクコントローラのブロック図を図 20.1 に示します。

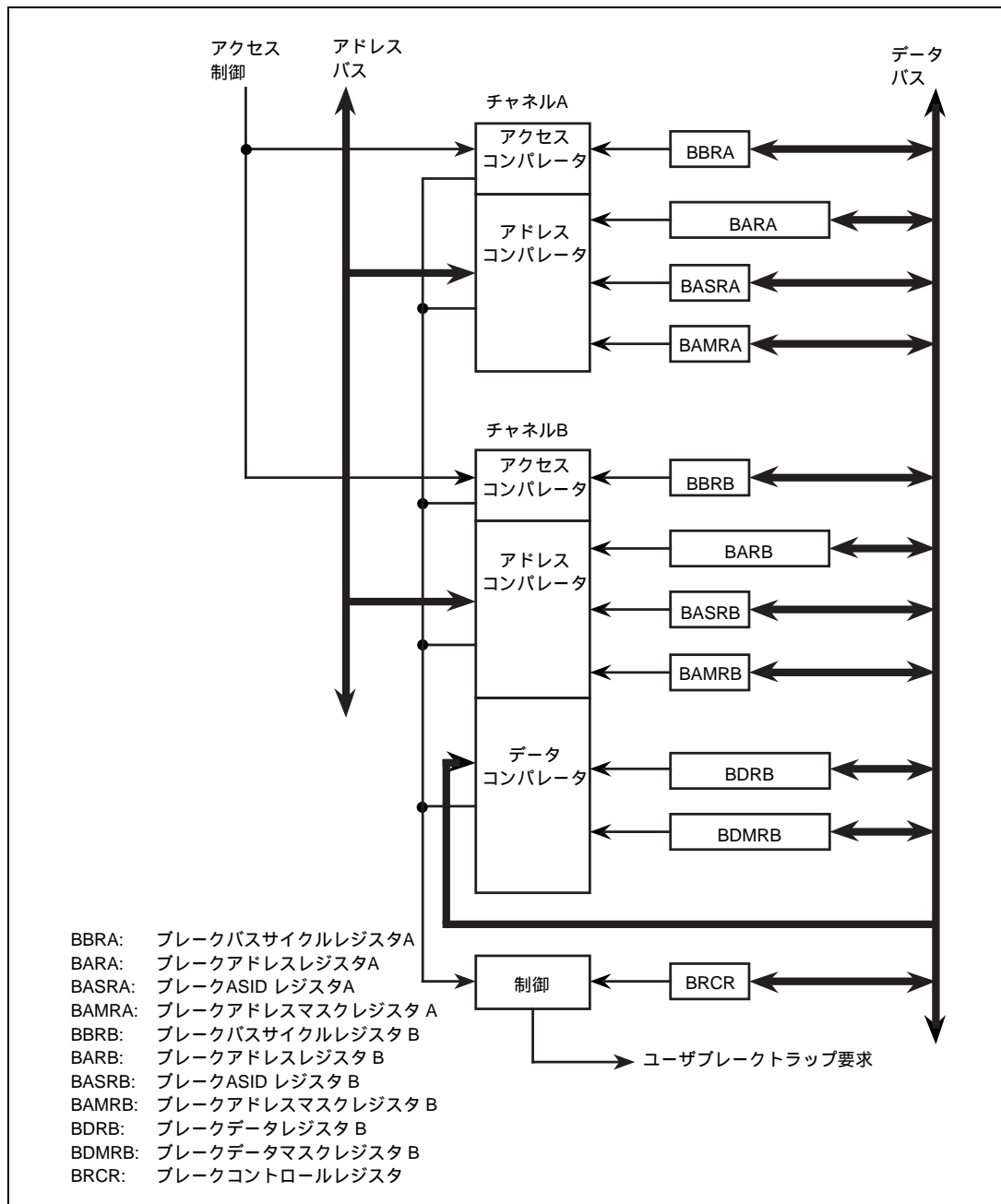


図 20.1 ユーザブレイクコントローラブロック図

表 20.1 にユーザブ레이크コントローラのレジスタ構成を示します。

表 20.1 ユーザブ레이크コントローラレジスタ構成

| 名称                | 略称    | R/W | 初期値     | P4<br>アドレス | エリア 7<br>アドレス | アクセス<br>サイズ |
|-------------------|-------|-----|---------|------------|---------------|-------------|
| ブ레이크アドレスレジスタ A    | BARA  | R/W | 不定      | H'FF200000 | H'1F200000    | 32          |
| ブ레이크アドレスマスクレジスタ A | BAMRA | R/W | 不定      | H'FF200004 | H'1F200004    | 8           |
| ブ레이크バスサイクルレジスタ A  | BBRA  | R/W | H'0000  | H'FF200008 | H'1F200008    | 16          |
| ブ레이크 ASID レジスタ A  | BASRA | R/W | 不定      | H'FF000014 | H'1F000014    | 8           |
| ブ레이크アドレスレジスタ B    | BARB  | R/W | 不定      | H'FF20000C | H'1F20000C    | 32          |
| ブ레이크アドレスマスクレジスタ B | BAMRB | R/W | 不定      | H'FF200010 | H'1F200010    | 8           |
| ブ레이크バスサイクルレジスタ B  | BBRB  | R/W | H'0000  | H'FF200014 | H'1F200014    | 16          |
| ブ레이크 ASID レジスタ B  | BASRB | R/W | 不定      | H'FF000018 | H'1F000018    | 8           |
| ブ레이크データレジスタ B     | BDRB  | R/W | 不定      | H'FF200018 | H'1F200018    | 32          |
| ブ레이크データマスクレジスタ B  | BDMRB | R/W | 不定      | H'FF20001C | H'1F20001C    | 32          |
| ブ레이크コントロールレジスタ    | BRCR  | R/W | H'0000* | H'FF200020 | H'1F200020    | 16          |

【注】 \* 一部のビットは初期化されません。詳細は「20.2.12 ブ레이크コントロールレジスタ (BRCR)」を参照してください。

## 20.2 各レジスタの説明

### 20.2.1 UBC コントロールレジスタへのアクセス

アクセスサイズはコントロールレジスタのサイズと同じでなければなりません。サイズが異なると、UBC レジスタの書き込み動作で書き込みが実行されず、読み出し動作は不定な値を返します。UBC コントロールレジスタの内容は、浮動小数点メモリロード命令で浮動小数点レジスタにアクセスすることはできません。

UBC コントロールレジスタを更新する場合、更新データを有効にするために次のいずれかの方法を用いてください。

- (1) レジスタを更新したメモリストア命令の後で RTE 命令を実行します。更新データは RTE 命令のジャンプ先以降有効になります。
- (2) レジスタを更新したメモリストア命令の後、実行に 5 ステートかかる命令を実行します。SH7091 は並行して 2 つの命令を実行し、1 つの命令を実行するのに最低 0.5 ステートかかるので、11 命令を挿入しなければなりません。更新データは第 6 ステート以降有効になります。

### 20.2.2 ブレークアドレスレジスタ A (BARA)

|      |       |       |       |       |       |       |       |       |       |       |       |       |       |       |       |       |
|------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|
| ビット: | 31    | 30    | 29    | 28    | 27    | 26    | 25    | 24    | 23    | 22    | 21    | 20    | 19    | 18    | 17    | 16    |
|      | BAA31 | BAA30 | BAA29 | BAA28 | BAA27 | BAA26 | BAA25 | BAA24 | BAA23 | BAA22 | BAA21 | BAA20 | BAA19 | BAA18 | BAA17 | BAA16 |
| 初期値: | -     | -     | -     | -     | -     | -     | -     | -     | -     | -     | -     | -     | -     | -     | -     | -     |
| R/W: | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   |

|      |       |       |       |       |       |       |      |      |      |      |      |      |      |      |      |      |
|------|-------|-------|-------|-------|-------|-------|------|------|------|------|------|------|------|------|------|------|
| ビット: | 15    | 14    | 13    | 12    | 11    | 10    | 9    | 8    | 7    | 6    | 5    | 4    | 3    | 2    | 1    | 0    |
|      | BAA15 | BAA14 | BAA13 | BAA12 | BAA11 | BAA10 | BAA9 | BAA8 | BAA7 | BAA6 | BAA5 | BAA4 | BAA3 | BAA2 | BAA1 | BAA0 |
| 初期値: | -     | -     | -     | -     | -     | -     | -    | -    | -    | -    | -    | -    | -    | -    | -    | -    |
| R/W: | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   | R/W  | R/W  | R/W  | R/W  | R/W  | R/W  | R/W  | R/W  | R/W  | R/W  |

【注】 - : 不定

ブレークアドレスレジスタ A (BARA) は、読み出し / 書き込み可能な 32 ビットのレジスタで、チャンネル A のブレーク条件とする仮想アドレスを指定します。BARA は、パワーオンリセット、マニュアルリセットで初期化されません。

ビット 31 ~ 0 : ブレークアドレス A31 ~ 0 (BAA31 ~ 0)

チャンネル A のブレーク条件とする仮想アドレス (ビット 31 ~ 0) を格納します。

### 20.2.3 ブレーク ASID レジスタ A (BASRA)

|      |       |       |       |       |       |       |       |       |
|------|-------|-------|-------|-------|-------|-------|-------|-------|
| ビット: | 7     | 6     | 5     | 4     | 3     | 2     | 1     | 0     |
|      | BASA7 | BASA6 | BASA5 | BASA4 | BASA3 | BASA2 | BASA1 | BASA0 |
| 初期値: | -     | -     | -     | -     | -     | -     | -     | -     |
| R/W: | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   |

【注】 - : 不定

ブレーク ASID レジスタ A (BASRA) は、読み出し / 書き込み可能な 8 ビットのレジスタで、チャンネル A のブレーク条件とする ASID を指定します。BASRA は、パワーオンリセット、マニュアルリセットで初期化されません。

ビット 7 ~ 0 : ブレーク ASID A7 ~ 0 (BASA7 ~ 0)

チャンネル A のブレーク条件とする ASID (ビット 7 ~ 0) を格納します。

### 20.2.4 ブレークアドレスマスクレジスタ A (BAMRA)

|      |   |   |   |   |       |       |       |       |
|------|---|---|---|---|-------|-------|-------|-------|
| ビット: | 7 | 6 | 5 | 4 | 3     | 2     | 1     | 0     |
|      | - | - | - | - | BAMA2 | BASMA | BAMA1 | BAMA0 |
| 初期値: | 0 | 0 | 0 | 0 | -     | -     | -     | -     |
| R/W: | R | R | R | R | R/W   | R/W   | R/W   | R/W   |

【注】-: 不定

ブレークアドレスマスクレジスタ A (BAMRA) は、読み出し / 書き込み可能な 8 ビットのレジスタです。BAMRA は、BASRA に設定されているブレーク ASID と BARA に設定されているブレークアドレスのうち、どのビットをマスクするかを指定します。BAMRA は、パワーオンリセット、マニュアルリセットで初期化されません。

#### ビット7～4: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

#### ビット2: ブレークASIDマスクA (BASMA)

BASRA に設定されているチャンネル A のブレーク ASID7～0 (BASA7～BASA0) の各ビットをマスクするかどうかを指定します。

| ビット2  |                         |
|-------|-------------------------|
| BASMA | 説明                      |
| 0     | BASRA の全ビットをブレーク条件に含める  |
| 1     | BASRA の全ビットをブレーク条件に含めない |

#### ビット3、1、0: ブレークアドレスマスクA2～0 (BAMA2～0)

BARA に設定されているチャンネル A のブレークアドレス 31～0 (BAA31～BAA0) の各ビットをマスクするかどうかを指定します。

| ビット3  | ビット1  | ビット0  |                              |
|-------|-------|-------|------------------------------|
| BAMA2 | BAMA1 | BAMA0 | 説明                           |
| 0     | 0     | 0     | BARA の全ビットをブレーク条件に含める        |
| 0     | 0     | 1     | BABA の下位 10 ビットをマスクし、条件に含めない |
| 0     | 1     | 0     | BABA の下位 12 ビットをマスクし、条件に含めない |
| 0     | 1     | 1     | BABA の全ビットをマスクし、条件に含めない      |
| 1     | 0     | 0     | BABA の下位 16 ビットをマスクし、条件に含めない |
| 1     | 0     | 1     | BABA の下位 20 ビットをマスクし、条件に含めない |
| 1     | 1     | *     | 予約 (設定しないでください)              |

\*: Don't care

### 20.2.5 ブレークバスサイクルレジスタ A (BBRA)

|      |    |    |    |    |    |    |   |   |   |      |      |      |      |      |      |      |
|------|----|----|----|----|----|----|---|---|---|------|------|------|------|------|------|------|
| ビット: | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6    | 5    | 4    | 3    | 2    | 1    | 0    |
|      | -  | -  | -  | -  | -  | -  | - | - | - | SZA2 | IDA1 | IDA0 | RWA1 | RWA0 | SZA1 | SZA0 |
| 初期値: | 0  | 0  | 0  | 0  | 0  | 0  | 0 | 0 | 0 | 0    | 0    | 0    | 0    | 0    | 0    | 0    |
| R/W: | R  | R  | R  | R  | R  | R  | R | R | R | R/W  | R/W  | R/W  | R/W  | R/W  | R/W  | R/W  |

ブレークバスサイクルレジスタ A (BBRA) は、読み出し / 書き込み可能な 16 ビットレジスタで、チャンネル A のブレーク条件のうち (1) 命令アクセス / オペランドアクセス (2) リード / ライト (3) オペランドサイズの 3 条件を設定するレジスタです。

BBRA は、パワーオンリセット時に H'0000 に初期化されます。スタンバイモード時には値は保持されます。

## 20. ユーザブ레이크コントローラ

### ビット15～7：リザーブビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

### ビット5、4：命令アクセス/オペランドアクセスセレクトA (IDA1、IDA0)

チャンネルAのブ레이크条件にするバスサイクルを命令アクセスサイクルにするかオペランドアクセスサイクルにするかを選択します。

| ビット 5 | ビット 4 | 説明                                    |
|-------|-------|---------------------------------------|
| IDA1  | IDA0  |                                       |
| 0     | 0     | 条件比較を行いません (初期値)                      |
| 0     | 1     | 命令アクセスサイクルをブ레이크条件とします                 |
| 1     | 0     | オペランドアクセスサイクルをブ레이크条件とします              |
| 1     | 1     | 命令アクセスサイクルまたはオペランドアクセスサイクルをブ레이크条件とします |

### ビット3、2：リード/ライトセレクトA (RWA1、RWA0)

チャンネルAのブ레이크条件にするバスサイクルをリードサイクルにするかライトサイクルにするかを選択します。

| ビット 3 | ビット 2 | 説明                           |
|-------|-------|------------------------------|
| RWA1  | RWA0  |                              |
| 0     | 0     | 条件比較を行いません (初期値)             |
| 0     | 1     | リードサイクルをブ레이크条件とします           |
| 1     | 0     | ライトサイクルをブ레이크条件とします           |
| 1     | 1     | リードサイクルまたはライトサイクルをブ레이크条件とします |

### ビット6、1、0：オペランドサイズセレクトA (SZA2、SZA1、SZA0)

チャンネルAのブ레이크条件にするバスサイクルのオペランドサイズを選択します。

| ビット 6 | ビット 1 | ビット 0 | 説明                          |
|-------|-------|-------|-----------------------------|
| SZA2  | SZA1  | SZA0  |                             |
| 0     | 0     | 0     | ブ레이크条件にオペランドサイズを含みません (初期値) |
| 0     | 0     | 1     | バイトアクセスをブ레이크条件とします          |
| 0     | 1     | 0     | ワードアクセスをブ레이크条件とします          |
| 0     | 1     | 1     | ロングワードアクセスをブ레이크条件とします       |
| 1     | 0     | 0     | クワッドワードアクセスをブ레이크条件とします      |
| 1     | 0     | 1     | 予約 (設定しないでください)             |
| 1     | 1     | *     | 予約 (設定しないでください)             |

\* : Don't care

## 20.2.6 ブ레이크アドレスレジスタ B (BARB)

チャンネルBのブ레이크アドレスレジスタです。ビット構成はBARAと同様です。

## 20.2.7 ブ레이크 ASID レジスタ B (BASRB)

チャンネルBのブ레이크 ASID レジスタです。ビット構成はBASRAと同様です。

## 20.2.8 ブ레이크アドレスマスクレジスタ B (BAMRB)

チャンネルBのブ레이크アドレスマスクレジスタです。ビット構成はBAMRAと同様です。

### 20.2.9 ブレークデータレジスタ B (BDRB)

|      |       |       |       |       |       |       |       |       |       |       |       |       |       |       |       |       |
|------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|
| ビット: | 31    | 30    | 29    | 28    | 27    | 26    | 25    | 24    | 23    | 22    | 21    | 20    | 19    | 18    | 17    | 16    |
|      | BDB31 | BDB30 | BDB29 | BDB28 | BDB27 | BDB26 | BDB25 | BDB24 | BDB23 | BDB22 | BDB21 | BDB20 | BDB19 | BDB18 | BDB17 | BDB16 |
| 初期値: | -     | -     | -     | -     | -     | -     | -     | -     | -     | -     | -     | -     | -     | -     | -     | -     |
| R/W: | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   |

|      |       |       |       |       |       |       |      |      |      |      |      |      |      |      |      |      |
|------|-------|-------|-------|-------|-------|-------|------|------|------|------|------|------|------|------|------|------|
| ビット: | 15    | 14    | 13    | 12    | 11    | 10    | 9    | 8    | 7    | 6    | 5    | 4    | 3    | 2    | 1    | 0    |
|      | BDB15 | BDB14 | BDB13 | BDB12 | BDB11 | BDB10 | BDB9 | BDB8 | BDB7 | BDB6 | BDB5 | BDB4 | BDB3 | BDB2 | BDB1 | BDB0 |
| 初期値: | -     | -     | -     | -     | -     | -     | -    | -    | -    | -    | -    | -    | -    | -    | -    | -    |
| R/W: | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   | R/W  | R/W  | R/W  | R/W  | R/W  | R/W  | R/W  | R/W  | R/W  | R/W  |

【注】 -: 不定

ブレークデータレジスタ B (BDRB) は、読み出し / 書き込み可能な 32 ビットのレジスタで、チャンネル B のブレーク条件とするデータ (ビット 31 ~ 0) を指定します。BDRB は、パワーオンリセット、マニュアルリセットで初期化されません。

ビット31 ~ 0 : ブレークデータB31 ~ 0 (BDB31 ~ 0)

ブレークチャンネル B のブレーク条件とするデータ (ビット 31 ~ 0) を格納します。

### 20.2.10 ブレークデータマスクレジスタ B (BDMRB)

|      |        |        |        |        |        |        |        |        |        |        |        |        |        |        |        |        |
|------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|--------|
| ビット: | 31     | 30     | 29     | 28     | 27     | 26     | 25     | 24     | 23     | 22     | 21     | 20     | 19     | 18     | 17     | 16     |
|      | BDMB31 | BDMB30 | BDMB29 | BDMB28 | BDMB27 | BDMB26 | BDMB25 | BDMB24 | BDMB23 | BDMB22 | BDMB21 | BDMB20 | BDMB19 | BDMB18 | BDMB17 | BDMB16 |
| 初期値: | -      | -      | -      | -      | -      | -      | -      | -      | -      | -      | -      | -      | -      | -      | -      | -      |
| R/W: | R/W    | R/W    | R/W    | R/W    | R/W    | R/W    | R/W    | R/W    | R/W    | R/W    | R/W    | R/W    | R/W    | R/W    | R/W    | R/W    |

|      |        |        |        |        |        |        |       |       |       |       |       |       |       |       |       |       |
|------|--------|--------|--------|--------|--------|--------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|
| ビット: | 15     | 14     | 13     | 12     | 11     | 10     | 9     | 8     | 7     | 6     | 5     | 4     | 3     | 2     | 1     | 0     |
|      | BDMB15 | BDMB14 | BDMB13 | BDMB12 | BDMB11 | BDMB10 | BDMB9 | BDMB8 | BDMB7 | BDMB6 | BDMB5 | BDMB4 | BDMB3 | BDMB2 | BDMB1 | BDMB0 |
| 初期値: | -      | -      | -      | -      | -      | -      | -     | -     | -     | -     | -     | -     | -     | -     | -     | -     |
| R/W: | R/W    | R/W    | R/W    | R/W    | R/W    | R/W    | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   |

【注】 -: 不定

ブレークデータマスクレジスタ B (BDMRB) は、読み出し / 書き込み可能な 32 ビットのレジスタです。BDMRB は BDRB に設定されているブレークアドレスのどのビットをマスクするかを指定します。BDMRB は、パワーオンリセット、マニュアルリセットで初期化されません。

ビット31 ~ 0 : ブレークデータマスクB31 ~ 0 (BDMB31 ~ 0)

BDRB に設定されているチャンネル B のブレークデータ B31 ~ 0 (BDB31 ~ BDB0) の各ビットをマスクするかどうかを指定します。

| ビット 31 ~ 0 | 説明                                   |
|------------|--------------------------------------|
| BDMBn      |                                      |
| 0          | チャンネル B のブレークアドレス BDBn をブレーク条件に含める   |
| 1          | チャンネル B のブレークアドレス BDBn をマスクし、条件に含めない |

n=31 ~ 0

【注】 データバスの値をブレーク条件に含めるときはオペランドサイズを指定してください。バイトサイズを指定するときは、BDRB および BDMRB のビット 15 ~ 8、7 ~ 0 に同じデータを設定してください。

### 20.2.11 ブレークバスサイクルレジスタ B (BBRB)

チャンネル B のバスブレークレジスタです。ビット構成は BBRA と同様です。



## 20.2.12 ブ레이크コントロールレジスタ (BRCR)

|      |      |      |    |    |    |      |   |   |      |      |   |   |     |   |   |      |
|------|------|------|----|----|----|------|---|---|------|------|---|---|-----|---|---|------|
| ビット: | 15   | 14   | 13 | 12 | 11 | 10   | 9 | 8 | 7    | 6    | 5 | 4 | 3   | 2 | 1 | 0    |
|      | CMFA | CMFB | -  | -  | -  | PCBA | - | - | DBEB | PCBB | - | - | SEQ | - | - | UBDE |
| 初期値: | 0    | 0    | 0  | 0  | 0  | -    | 0 | 0 | -    | -    | 0 | 0 | -   | 0 | 0 | 0    |
| R/W: | R/W  | R/W  | R  | R  | R  | R/W  | R | R | R/W  | R/W  | R | R | R/W | R | R | R/W  |

【注】-: 不定

ブ레이크コントロールレジスタ (BRCR) は、読み出し / 書き込み可能な 16 ビットのレジスタです。

BRCR は、(1) チャンネル A、B を独立 2 チャンネルまたはシーケンシャル条件のどちらで使用するか、(2) 命令実行前 / 実行後のどちらでブ레이크するか、(3) チャンネル B のブ레이크条件に BDRB レジスタを含めるか、(4) ユーザブ레이크デバッグ機能を使用するかを設定をします。また、条件一致フラグを持っています。BRCR の CMFA、CMFB、および UBDE ビットは、パワーオンリセット時に 0 に初期化されます。スタンバイモード時には、値は保持されます。PCBA、DBEB、PCBB、SEQ ビットは、パワーオンリセット、マニュアルリセット時に不定となりますので、必要に応じてソフトウェアで初期化してください。

## ビット15: コンディションマッチフラグA (CMFA)

チャンネル A に設定したブ레이크条件が成立したとき 1 にセットされます。0 クリアは行いません。一度セットされた後、再度フラグのセットを確認する場合は、書き込みでクリアしてください。

| ビット 15 | 説明                             |
|--------|--------------------------------|
| CMFA   |                                |
| 0      | チャンネル A のブ레이크条件は一致していません (初期値) |
| 1      | チャンネル A のブ레이크条件の一致がありました       |

## ビット14: コンディションマッチフラグB (CMFB)

チャンネル B に設定したブ레이크条件が成立したとき 1 にセットされます。0 クリアは行いません。一度セットされた後、再度フラグのセットを確認する場合は、書き込みでクリアしてください。

| ビット 14 | 説明                             |
|--------|--------------------------------|
| CMFB   |                                |
| 0      | チャンネル B のブ레이크条件は一致していません (初期値) |
| 1      | チャンネル B のブ레이크条件の一致がありました       |

## ビット13~11: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## ビット10: 命令アクセスブ레이크セレクトA (PCBA)

チャンネル A の命令アクセスサイクルでのブ레이크タイミングを、命令実行前か、命令実行後かを選択します。このビットはパワーオンリセット、マニュアルリセット時に初期化されません。

| ビット 10 | 説明                          |
|--------|-----------------------------|
| PCBA   |                             |
| 0      | チャンネル A の PC ブ레이크を命令実行前にします |
| 1      | チャンネル A の PC ブ레이크を命令実行後にします |

## ビット9、8: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## ビット7：データブレイクイネーブルB（DBEB）

チャンネル B のブレイク条件にデータバスの条件を含めるかどうかを選択します。このビットはパワーオンリセット、マニュアルリセット時に初期化されません。

| ビット 7 | 説明                         |
|-------|----------------------------|
| DBEB  |                            |
| 0     | チャンネル B の条件にデータバスの条件を含めません |
| 1     | チャンネル B の条件にデータバスの条件を含めます  |

【注】 データバスをブレイク条件に含める場合、ブレイクバスサイクルレジスタ B（BBRB）の IDB1、0 ビットは 10 または 11 としてください。

## ビット6：PCブレイクセレクトB（PCBB）

チャンネル B の命令アクセスサイクルでのブレイクタイミングを、命令実行前か、命令実行後かを選択します。このビットはパワーオンリセット、マニュアルリセット時に初期化されません。

| ビット 6 | 説明                          |
|-------|-----------------------------|
| PCBB  |                             |
| 0     | チャンネル B の PC ブレイクを命令実行前にします |
| 1     | チャンネル B の PC ブレイクを命令実行後にします |

## ビット5、4：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## ビット3：シーケンス条件セレクト（SEQ）

チャンネル A、B の 2 本の条件を、独立かシーケンシャルかを選択します。このビットはパワーオンリセット、マニュアルリセット時に初期化されません。

| ビット 3 | 説明  |
|-------|---|
| SEQ   |   |
| 0     | チャンネル A、B を独立条件でコンペアします                           |
| 1     | チャンネル A、B をシーケンシャル条件でコンペアします<br>(チャンネル A チャンネル B) |

## ビット2、1：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

## ビット0：ユーザブレイクデバッグイネーブル（UBDE）

ユーザブレイクデバッグ機能（「20.4 ユーザブレイクデバッグサポート機能」を参照）を使用するかどうかを選択します。

| ビット 0 | 説明                        |
|-------|---------------------------|
| UBDE  |                           |
| 0     | ユーザブレイクデバッグ機能を使用しない (初期値) |
| 1     | ユーザブレイクデバッグ機能を使用する        |

## 20.3 動作説明

### 20.3.1 アクセスに関する用語の説明

命令アクセスとは命令を取得するアクセスのことです。オペランドアクセスとは命令実行の目的のための任意のメモリアクセスのことです。たとえば、命令 `MOV.W@ (disp,PC),Rn` のアドレス  $PC + \text{disp} \times 2 + 4$  に対するアクセス、`Rn`（プログラムカウンタにきわめて近いアクセス）はオペランドアクセスです。分岐命令の実行時、分岐先からの命令のフェッチも命令アクセスです。「データ」という用語はデータとアドレスを区別するために使用するので、本章では「オペランドアクセス」という用語は使用しません。

SH7091 では、すべてのオペランドアクセスを読み出しアクセスが書き込みアクセスとして扱います。次の命令は特別の注意が必要です。

- `PREF`、`OCBP` および `OCBWB` 命令：読み出しアクセスとして扱います。
- `MOVCA` および `OCBI` 命令：書き込みアクセスとして扱います。
- `TAS` 命令：1 つの読み出しアクセス、1 つの書き込みアクセスとして扱います。

`PREF`、`OCBP`、`OCBWB`、`OCBI` 命令に対するオペランドアクセスはアクセスデータのないアクセスです。

SH7091 はすべてのオペランドアクセスをデータサイズを持つアクセスとして扱います。データサイズにはバイト、ワード、ロングワード、クワッドワードがあります。`PREF`、`OCBP`、`OCBWB`、`MOVCA`、`OCBI` 命令に対するオペランドデータサイズはロングワードとして扱います。

### 20.3.2 命令間隔に関する用語の説明

本章では、2 つの命令間の距離を表す手段として「...後の 1(2、3、...)命令」を次のように定義します。分岐は 2 つの命令の間隔として計算します。

#### (1) 分岐なしの命令のシーケンス例

```

100 命令 A (命令 A の後の 0 命令)
102 命令 B (命令 A の後の 1 命令)
104 命令 C (命令 A の後の 2 命令)
106 命令 D (命令 A の後の 3 命令)

```

#### (2) 分岐のある命令のシーケンス例 (ただし、遅延分岐命令の飛び先が自分自身+4 のときには、分岐しない命令列の例を適用してください)。

```

100 命令 A : BT/S L200 (命令 A 後の 0 命令)
102 命令 B : (命令 A の後の 1 命令、命令 B の後の 0 命令)
L200 200 命令 C : (命令 A の後の 3 命令、命令 B の後の 2 命令)
      202 命令 D : (命令 A の後の 4 命令、命令 B の後の 3 命令)

```

### 20.3.3 ユーザブレイク動作の流れ

ブレイク条件の設定からユーザブレイク例外処理までの動作シーケンスを次に示します。

- (1) 命令アクセスの場合、実行前、実行後のブレイクかを指定し、オペランドアクセスの場合、データバス値をブレイク条件に加えるか否かを指定し、ブレイクコントロールレジスタ (BRCR) でチャンネル A ブレイク条件とチャンネル B ブレイク条件を独立して使用するかシーケンシャルで使用するかを指定します。各チャンネルに対するブレイクアドレスレジスタ (BARA、BARB) にブレイクアドレスを設定し、ブレイク ASID レジスタ (BASRA、BASRB) にブレイク空間に対応する ASID を設定し、ブレイクアドレスマスクレジスタ (BAMRA、BAMRB) にアドレスと ASID マスク方法を設定します。ブレイク条件にデータバス値を含める場合は、ブレイクデータレジスタ (BDRB) にブレイクデータを、ブレイクデータマスクレジスタ (BDMRB) にデータマスクも設定します。
- (2) ブレイクバスサイクルレジスタ (BBRA、BBRB) にブレイクバス条件を設定します。BBRA、BBRB の命令アクセス / オペランドアクセスセレクト (ID ビット) およびリード / ライトセレクト (RW ビット) グループのいずれかを 00 に設定すると、該当するチャンネルにユーザブレイク割り込みは発生しません。他のすべてのブレイク関連レジスタ設定が終了後、BBRA と BBRB 設定を行ってください。リセット後、ブレイクアドレスまたはデータ、マスクレジスタ、またはブレイクコントロールレジスタが初期状態で、BBRA、BBRB でブレイクを有効にする場合、誤ってブレイクを生成してしまう場合があります。
- (3) ブレイク条件を満足した場合の動作は、(CPU の SR レジスタの) BL ビットによって異なります。BL ビットが 0 のとき、例外処理が開始し、該当するチャンネルに対する条件一致フラグ (CMFA、CMFB) が一致条件に対してセットされます。BL ビットが 1 の場合、該当するチャンネルの条件一致フラグ (CMFA、CMFB) は一致条件に対してセットされますが例外処理は開始しません。  
条件一致フラグ (CMFA、CMFB) はブレイク条件一致でセットされますが、オートクリアされません。したがって、フラグを 0 にクリアするためにメモリストア命令を BRCR レジスタに対して使用してください。条件一致フラグの正確な設定条件については、「20.3.6 条件一致フラグの設定」を参照してください。
- (4) シーケンシャル条件モードを選択し、チャンネル A 条件の一致後、チャンネル B 条件が一致すると、チャンネル B 条件が一致した命令でブレイクが実行されます。チャンネル A 条件一致とチャンネル B 条件一致が接近して発生する場合の動作については、「20.3.8 シーケンシャル条件に対応した隣接 A、B の設定」を参照してください。シーケンシャル条件では、チャンネル B 条件一致フラグのみがセットされます。シーケンシャル条件モードを選択し、チャンネル A 条件が一致し、しかもチャンネル B 条件がまだ一致していないときにチャンネル A 一致をクリアしたい場合、これは BRCR レジスタの SEQ ビットに 0 を書き込むことによって行うことができます。

### 20.3.4 命令アクセスサイクルブレイク

- (1) ブレイクバスサイクルレジスタ (BBRA、BBRB) で命令アクセス/リード/ワード設定を行うと、命令アクセスサイクルはブレイク条件として使用することができます。この場合、該当する命令の実行の前か後のどちらでブレイクするかはブレイクコントロールレジスタ (BRCR) の PCBA、PCBB ビットで選択できます。ブレイク条件として命令アクセスサイクルを使用する場合、ブレイクアドレスレジスタ (BARA、BARB) の LSB を 0 にクリアしてください。このビットが 1 にセットされているとブレイクは発生しません。
- (2) 実行前ブレイクを指定すると、命令をフェッチし実行することが確定した時点でブレイクが実行されます。したがって、オーバランフェッチした命令 (フェッチしても分岐または例外が発生すると実行されない命令) ではブレイクが発生しません。ただし、ブレイク対象の命令のフェッチ時に TLB ミスまたは TLB 保護違反例外が発生する場合、まずブレイク例外処理が実行されます。命令 TLB 例外処理は、命令が再実行されるときに実行されます (「5.4 例外の種類と優先順位」を参照)。また、遅延分岐命令と遅延スロット命令は 1 つの命令として実行されるので、遅延スロット命令に実行前ブレイクが指定される場合、遅延分岐命令の実行前にブレイクが実行されます。ただし、RTE 命令の遅延スロット命令には実行前ブレイクを指定することはできません。
- (3) 実行後ブレイクでは、ブレイク条件として命令が実行された後、次の命令の実行前にブレイク割り込みが発生します。遅延分岐命令に実行後ブレイクを設定すると、遅延スロットが実行され、(分岐を行うとき) 分岐先の命令、または (分岐を行わないとき) 遅延スロット命令の次の命令の実行の前にブレイクが実行されます。
- (4) チャンネル B に命令アクセスサイクルを設定すると、命令アクセス一致があるかどうかを判断する際、ブレイクデータレジスタ B (BDRB) は無視されます。したがって、BRCR の DBEB ビットはブレイク条件を実行しません。

### 20.3.5 オペランドアクセスサイクルブレイク

- (1) オペランドアクセスサイクルブレイクの場合、アドレスバス比較に含まれるビットはブレイクバスサイクルレジスタ (BBRA、BBRB) のデータサイズ指定によって以下のように異なります。

| データサイズ         | 比較アドレスビット   |
|----------------|---|
| クワッドワード(100)   | アドレスビット A31 ~ A3  |
| ロングワード(011)    | アドレスビット A31 ~ A2  |
| ワード(010)       | アドレスビット A31 ~ A1  |
| バイト(001)       | アドレスビット A31 ~ A0  |
| 条件には含まれない(000) | クワッドワードアクセス時のアドレスビット A31 ~ A3<br>ロングワードアクセス時のアドレスビット A31 ~ A2<br>ワードアクセス時のアドレスビット A31 ~ A1<br>バイトアクセス時のアドレスビット A31 ~ A0 |

- (2) データ値がチャンネル B のブレイク条件に含まれる場合  
ブレイク条件にデータ値が含まれる場合は、ブレイクコントロールレジスタ (BRCR) の DBEB を 1 にセットします。アドレス条件の他にブレイクデータレジスタ (BDRB) とブレイクデータマスクレジスタ B (BDMRB) の設定が必要になります。アドレス、ASID、データの 3 つの条件がすべて一致すると、ユーザブレイク割り込みが発生します。クワッドワードアクセスが発生すると、64 ビットアクセスデータは上位 32 ビットと下位 32 ビットに分割され、2 つの 32 ビットデータ単位として解釈されます。32 ビットデータ単位のいずれかがデータ一致条件を満足するとブレイクが発生します。

ブレイクバスサイクルレジスタB (BBRB) のIDB1、IDB0ビットを10または11に設定してください。バイトデータを指定するとき、同じデータをブレイクデータレジスタB (BDRB) とブレイクデータマスクレジスタB (BDMRB) のビット15～8とビット7～0からなる2つのバイトに設定しなければなりません。ワードまたはバイトを設定する場合、BDRBとBDMRBのビット31～16は無視されます。

- (3) ブレイクコントロールレジスタ (BRCR) の DBEB ビットを 1 にセットすると、アクセスデータのないオペランドアクセス (PREF、OCBP、OCBWB、OCBI 命令のオペランドアクセス) ではブレイクは発生しません。

### 20.3.6 条件一致フラグの設定

#### (1) 実行後条件付き命令アクセス、またはオペランドアクセス

ブレイクを発生させる命令の実行が完了するとフラグがセットされます。ただし、この例外として複数のオペランドアクセスを持つ命令の場合、命令の実行が完了するまで待つことなく一致条件の検出だけでフラグがセットされることがあります。

- 例 1 :  
100 BT L200 (分岐実行)  
102 命令 (チャンネルA上のオペランドアクセスブレイク)      フラグはセットされない
- 例 2 :  
110 FADD (FPU例外)  
112命令 (チャンネルA上のオペランドアクセスブレイク)      フラグはセットされない

#### (2) 実行前条件付き命令アクセス

ブレイク一致条件の検出時にフラグはセットされます。

- 例 1 :  
110 命令 (チャンネルA上の実行前ブレイク)      フラグはセットされる  
112命令 (チャンネルB上の実行前ブレイク)      フラグはセットされない
- 例 2 :  
110 命令 (チャンネルB上の実行前ブレイク、命令アクセスTLBミス)      フラグはセットされる

### 20.3.7 退避したプログラムカウンタ (PC) 値

- (1) 命令アクセス (実行前) をブレイク条件として設定する場合、ユーザブレイク割り込み処理で SPC に退避するプログラムカウンタ (PC) の値は、ブレイク条件一致が発生した命令のアドレスです。この場合、ユーザブレイク割り込みが発生し、フェッチした命令は実行されません。
- (2) 命令アクセス (実行後) をブレイク条件として設定する場合、ユーザブレイク割り込み処理で SPC に退避するプログラムカウンタ (PC) の値は、ブレイク条件一致が発生した命令の次に実行される命令のアドレスです。この場合、フェッチした命令は実行され、次の命令の実行前にユーザブレイク割り込みが発生します。
- (3) 命令アクセス (実行後) ブレイク条件を遅延分岐命令に設定する場合、遅延スロット命令が実行され、(分岐する場合) 分岐先の命令または (分岐しない場合) 遅延スロット命令の次の命令の実行の前にユーザブレイクが発生されます。この場合、SPC に退避する PC の値は、(分岐する場合) 分岐先、または (分岐しない場合) 遅延スロット命令の次の命令のアドレスです。

- (4) オペランドアクセス（アドレスのみ）をブレイク条件に設定した場合、条件が一致した命令の次に実行される命令のアドレスが SPC に退避されます。条件が一致した命令は実行され、次の命令の実行前にユーザブレイク割り込みが発生します。
- (5) オペランドアクセス（アドレス+データ）をブレイク条件として設定する場合、条件が一致した命令は実行を完了します。1 命令後から 4 命令後まで命令の実行前にユーザブレイク割り込みが発生します。1 命令後から 4 命令後までのどの命令で割り込みが発生するかを指定することは不可能です。ユーザブレイク割り込み処理が開始した時点で実行を完了する命令の次の命令の先頭アドレスが SPC に退避されます。1 命令後の命令と 4 命令後の命令の間にある命令が別の例外が発生するときのコントロールは次のように実行されます。ブレイクによって発生する例外を例外 1、1 命令後の命令と 4 命令後の命令の間にある命令によって発生する例外を例外 2 とすると、本質的には例外 2 によって実行できないメモリ更新とレジスタ更新は、例外 1 の存在には関係なく保証されます。退避したプログラムカウンタの値は、実行を抑制した最初の命令のアドレスです。例外ジャンプ先と例外レジスタ（EXPEVT、INTEVT）に書き込まれる値に例外 1、例外 2 のどちらを使用するかは保証されません。ただし、例外 2 が命令に同期していないソースからの場合（外部割り込みまたは周辺モジュール割り込み）、例外ジャンプ先と例外レジスタ（EXPEVT、INTEVT）に書き込まれる値には例外 1 が使用されます。

### 20.3.8 シーケンシャル条件に対応した隣接 A、B の設定

チャンネル A とチャンネル B の一致タイミングが接近している場合、シーケンシャルブレイクは保証されない場合があります。保証範囲に関する規約を下に示します。

#### (1) チャンネル A、チャンネル B 両方における命令アクセス一致

|                      |                                    |
|----------------------|------------------------------------|
| 命令 B は命令 A の 0 命令後   | 同じアドレスを設定するのと等価です。この設定は使用しないでください。 |
| 命令 B は命令 A の 1 命令後   | シーケンシャル動作は保証されません。                 |
| 命令 B は命令 A の 2 命令以上後 | シーケンシャル動作は保証されます。                  |

#### (2) チャンネル A 上の命令アクセス一致、チャンネル B 上のオペランドアクセス一致

|                          |                    |
|--------------------------|--------------------|
| 命令 B は命令 A の 0 または 1 命令後 | シーケンシャル動作は保証されません。 |
| 命令 B は命令 A の 2 命令以上後     | シーケンシャル動作は保証されます。  |

#### (3) チャンネル A 上のオペランドアクセス一致、チャンネル B 上の命令アクセス一致

|                      |                    |
|----------------------|--------------------|
| 命令 B は命令 A の 0～3 命令後 | シーケンシャル動作は保証されません。 |
| 命令 B は命令 A の 4 命令以上後 | シーケンシャル動作は保証されます。  |

#### (4) チャンネル A、チャンネル B 両方におけるオペランドアクセス一致

単一オペランドアクセスがチャンネル A、チャンネル B 両方のブレイク条件に一致するような設定はしないでください。それ以外の制限はありません。たとえば、1 つの命令中の 2 つのアクセスがチャンネル A とチャンネル B の条件に順番に一致したとしてもシーケンシャル動作は保証されません。

## 20.3.9 UBC 使用上の注意

- (1) SLEEP 命令に対しては、実行後命令アクセスブ레이크を実行しないでください。
- (2) SLEEP 命令の 1～3 命令前では、オペランドアクセスブ레이크の設定をしないでください。
- (3) ユーザブ레이크例外で参照する BL ビットの値は、ブ레이크設定によって異なります。
  - (a) 実行前命令アクセスブ레이크： 実行した命令の前の BL ビット値を参照します。
  - (b) 実行後命令アクセスブ레이크： 実行した命令の前後の BL ビットの OR 値を参照します。
  - (c) オペランドアクセスブ레이크（アドレス/データ）： 実行した命令の後の BL ビット値を参照します。

(d) BL ビットを変更する命令の場合

| SL.BL | 実行前命令<br>アクセス | 実行後命令<br>アクセス | 実行前命令<br>アクセス | 実行後命令<br>アクセス | オペランドアクセス<br>(アドレス/データ) |
|-------|---------------|---------------|---------------|---------------|-------------------------|
| 0 0   | A             | A             | A             | A             | A                       |
| 1 0   | M             | M             | M             | M             | A                       |
| 0 1   | A             | M             | A             | M             | M                       |
| 1 1   | M             | M             | M             | M             | M                       |

(A: 受付け、 M: マスク)

(e) RTE の遅延スロットの場合

遅延スロット命令の実行の前の BL ビット値は、RTE 命令の実行前の BL ビット値と同じです。遅延スロット命令の実行の後の BL ビット値は、RTE 命令により復帰したときに最初に実行される命令の最初の BL ビット値と同じ（RTE の実行の前の SSR の BL ビット値と同じ）です。

(f) BL ビットが 0 で割り込みまたは例外を受け付ける場合、例外処理ルーチンの最初の命令の実行前の BL ビットの値は 1 です。

- (4) チャンネル A、B 両方がほぼ同時に独立して一致し、またその結果 SPC 値が両方のユーザブ레이크割り込みに対して同じ場合、ユーザブ레이크割り込みは一度だけ発生しますが、CMFA ビット、CMFB ビットはともにセットされます。たとえば、

110 命令（チャンネル A 上の実行後命令ブ레이크） SPC=112, CMFA=1

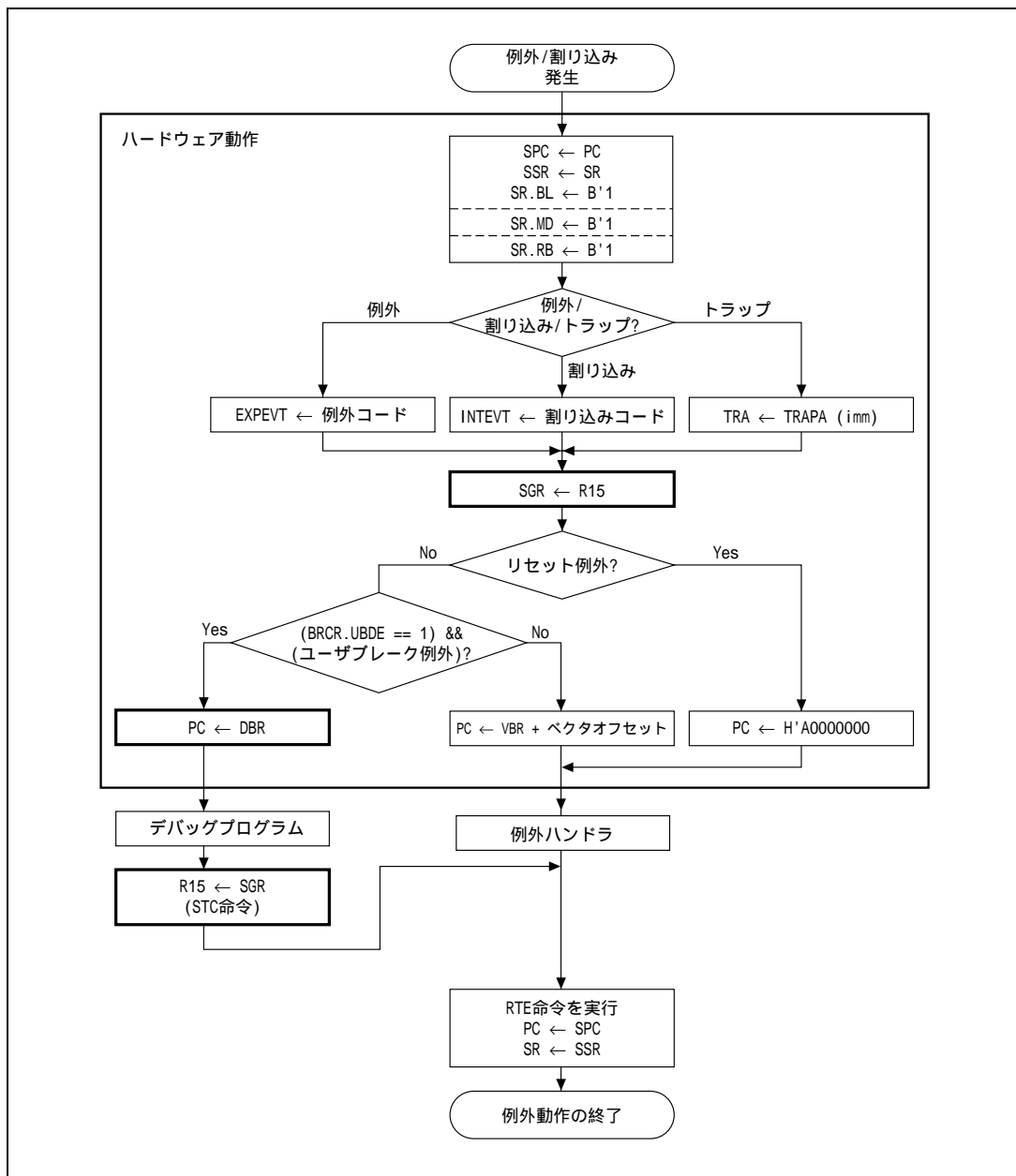
112 命令（チャンネル B 上の実行前命令ブ레이크） SPC=112, CMFB=1

- (5) BRCCR の PCBA ビットまたは PCBB ビットは命令アクセスブ레이크の設定に対して有効です。
- (6) BRCCR の SEQ ビットが 1 の場合、内部シーケンシャルブ레이크状態はチャンネル B 条件一致によって初期化されます。たとえば、A A B（ユーザブ레이크の発生） B（何も発生しない）となります。
- (7) マルチステップ命令において再実行型例外と実行後ブ레이크が競合した場合、再実行型例外が発生します。このとき、ブ레이크条件の成立に対して、CMF ビットが 1 になる場合と、ならない場合があります。
- (8) 実行後ブ레이크は完了型例外に分類されています。そのため、同じ命令で完了型例外と実行後ブ레이크が競合した場合、それらの優先度により、実行後ブ레이크が抑止されます。たとえば、TRAPA 命令と実行後ブ레이크が競合した場合、ユーザブ레이크は抑止されます。ただし、このときブ레이크条件成立により CMF ビットはセットされます。



## 20.4 ユーザブレイクデバッグサポート機能

ユーザブレイクデバッグサポート機能を用いることにより、ユーザブレイク例外発生時の処理を変更することができます。ユーザブレイク例外の発生時、BRCR レジスタの UBDE ビットが 1 にセットされている場合、DBR レジスタ値は[VBR+オフセット]の代わりに分岐先アドレスとして使用されます。BRCR レジスタの UBDE の値または例外イベントの種類に関係なく R15 の値は SGR レジスタに退避されます。ユーザブレイクデバッグサポート機能のフローチャートを図 20.2 に示します。



## 20.5 使用例

### (1) 命令アクセスサイクルへのブレイク条件設定

#### (a) レジスタ設定：

```
BASRA=H'80/BARA=H'00000404/BAMRA=H'00/BBRA=H'0014
BASRB=H'70/BARB=H'00008010/BAMRB=H'01/BBRB=H'0014
BDRB=H'00000000/BDMRB=H'00000000
BRCCR=H'0400
```

- 設定された条件：A チャンネル/B チャンネル独立モード
  - A チャンネル
    - ASID H'80 / アドレス H'00000404 / アドレスマスク H'00
    - バスサイクル 命令アクセス（命令実行後）、リード（オペランドサイズは条件に含まれない）
  - B チャンネル
    - ASID H'70 / アドレス H'00008010 / アドレスマスク H'01
    - データ H'00000000 / データマスク H'00000000
    - バスサイクル 命令アクセス（命令実行前）、リード（オペランドサイズは条件に含まれない）
- ASID=H'80 でアドレス H'00000404 番地の命令の実行後、または、ASID=H'70 でアドレス H'00008000 ~ H'000083FE 番地の命令の実行前にユーザブレイクが発生します。

#### (b) レジスタ設定：

```
BASRA=H'80/BARA=H'00037226/BAMRA=H'00/BBRA=H'0016
BASRB=H'70/BARB=H'0003722E/BAMRB=H'00/BBRB=H'0016
BDRB=H'00000000/BDMRB=H'00000000
BRCCR=H'0008
```

- 設定された条件：A チャンネル B チャンネルシーケンシャルモード
  - A チャンネル：
    - ASID H'80 / アドレス H'00037226 / アドレスマスク H'00
    - バスサイクル 命令アクセス（命令実行前）、リード、ワード
  - B チャンネル：
    - ASID H'70 / アドレス H'0003722E / アドレスマスク H'00
    - データ H'00000000 / データマスク H'00000000
    - バスサイクル 命令アクセス（命令実行前）、リード、ワード

ASID=H'80 かつアドレス H'00037226 にある命令を実行して、その後 ASID=H'70 かつアドレス H'0003722E にある命令の実行前にユーザブレイクが発生します。

### (c) レジスタ設定：

BASRA=H'80/BARA=H'00027128/BAMRA=H'00/BBRA=H'001A  
BASRB=H'70/BARB=H'00031415/BAMRB=H'00/BBRB=H'0014  
BDRB=H'00000000 / BDMRB=H'00000000  
BRCR=H'0000

- 設定された条件：A チャンネル/B チャンネル独立モード
  - － A チャンネル：  
ASID H'80 / アドレス H'00027128 / アドレスマスク H'00  
バスサイクル CPU、命令アクセス（命令実行前）、ライト、ワード
  - － B チャンネル：  
ASID H'70 / アドレス H'00031415 / アドレスマスク H'00  
データ H'00000000 / データマスク H'00000000  
バスサイクル CPU、命令アクセス（命令実行前）  
リード（オペランドサイズは条件に含まれない）

A チャンネルは、命令アクセスはライトサイクルではないので、ユーザブレイク割り込みは発生しません。

B チャンネルは、命令アクセスは偶数アドレスに対して行われるので、ユーザブレイク割り込みは発生しません。

### (2) オペランドアクセスサイクルへのブレイク条件設定

- レジスタ設定：  
BASRA=H'80/BARA=H'00123456/BAMRA=H'00/BBRA=H'0024  
BASRB=H'70/BARB=H'000ABCDE/BAMRB=H'02/BBRB=H'002A  
BDRB=H'0000A512/BDMRB=H'00000000  
BRCR=H'0080
- 設定された条件：A チャンネル / B チャンネル独立モード
  - － A チャンネル：  
ASID H'80 / アドレス H'00123456 / アドレスマスク H'00  
バスサイクル オペランドアクセス、リード（オペランドサイズは条件に含まれない）
  - － B チャンネル：  
ASID H'70 / アドレス H'000ABCDE / アドレスマスク H'02  
データ H'0000A512 / データマスク H'00000000  
バスサイクル オペランドアクセス、ライト、ワード、データブレイクイネーブル

A チャンネルは、ASID=H'80 で H'00123454 番地にロングワードでリード / H'00123456 番地にワードでリード / H'00123456 番地にバイトでリードしたときにユーザブレイク割り込みが発生します。

B チャンネルは、ASID=H'70 で H'000AB000 ~ H'000ABFFE 番地のどこかにワードで H'A512 をライトしたときにユーザブレイク割り込みが発生します。

## 21. 日立ユーザデバッグインタフェース (Hitachi-UDI)

### 21.1 概要

#### 21.1.1 特長

Hitachi-ユーザ・デバッグ・インタフェース(Hitachi-UDI)は JTAG, IEEE 1149.1, “IEEE Standard Test Access Port and Boundary-Scan Architecture”に準拠したシリアル入出力インタフェースです。SH7091 の Hitachi-UDI はバウンダリ・スキャンには対応していませんが、エミュレータの接続に使用します。エミュレータを使用する場合は本インタフェースの機能を使用しないでください。なお、エミュレータとの接続方法はエミュレータのマニュアルを参照してください。Hitachi-UDI は 6 本の端子 (TCK、TMS、TDI、TDO、 $\overline{\text{TRST}}$ 、ASEBRK/BRKACK)からなります。端子機能や、シリアル転送プロトコルは JTAG の規格に準拠します。

#### 21.1.2 ブロック図

図 21.1 に Hitachi-UDI 部分の構成を示します。このうち TAP(Test Access Port)コントローラと制御レジスタはチップのリセット端子とは独立して、 $\overline{\text{TRST}}$  端子をローレベルにするか、TMS を 1 にし TCK を 5 サイクル以上かけることによりリセットがかかります。その他の回路は通常リセット期間にリセットがかかり初期化されます。Hitachi-UDI 回路は内部に SDBPR、SDIR、SDDR(SDDR<sub>H</sub>、SDDR<sub>L</sub>)の計 4 本のレジスタを持ちます。SDBPR は JTAG のバイパスモードをサポートするためのレジスタ、SDIR はコマンド用のレジスタ、SDDR はデータ用のレジスタです。SDIR は TDI、TDO 端子から直接アクセスできます。

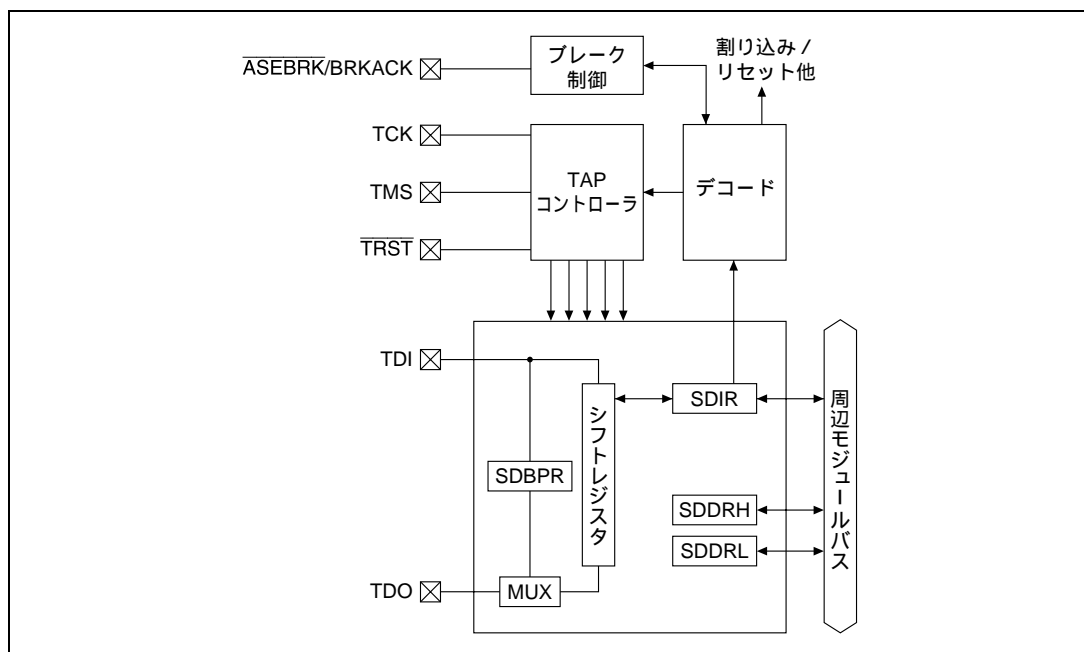


図 21.1 Hitachi-UDI 回路ブロック図

## 21. 日立ユーザデバッグインタフェース (Hitachi-UDI)

### 21.1.3 端子構成

Hitachi-UDI の端子構成を表 21.1 に示します。

表 21.1 端子構成

| 名称      | 略称   | 入出力 | 機能   | 未使用時                 |
|---------|------|-----|--|----------------------|
| クロック端子  | TCK  | 入力  | JTAG のシリアルクロック入力端子と同じです。この信号に同期してデータ入力信号 TDI から Hitachi-UDI 回路にデータを与えるか、データ出力信号 TDO からデータを読み出します。  | オープン <sup>*1</sup>   |
| モード端子   | TMS  | 入力  | モードセレクト入力端子。TCK に同期してこの信号を変化させることで、TDI から入力するデータの意味を決定します。そのプロトコルは JTAG(IEEE Std 1149.1)規格に準拠します。  | オープン <sup>*1</sup>   |
| リセット端子  | TRST | 入力  | Hitachi-UDI をリセットする入力端子。TCK とは非同期に受け付け、ローレベルで JTAG インタフェース回路に対するリセットがかかります。JTAG の利用の有無にかかわらず、電源投入時に TRST を一定期間ローレベルにしなければなりません。これは IEEE の規格と異なります。 | グランド固定 <sup>*2</sup> |
| データ入力端子 | TDI  | 入力  | データ入力端子。TCK に同期してこの信号を変化させることで、Hitachi-UDI 回路にデータを送ります。  | オープン <sup>*1</sup>   |
| データ出力端子 | TDO  | 出力  | データ出力端子。TCK に同期してこの信号を読むことで、Hitachi-UDI 回路からデータを読み取ります。  | オープン                 |

【注】 <sup>\*1</sup> チップ内でプルアップされています。SH7091 とエミュレータを使用できるチップの双方を使用可能なボードを設計する場合、あるいは Hitachi-UDI 経由で割り込み、リセットを利用する場合は、外部にプルアップ抵抗を付けても問題はありません。

<sup>\*2</sup> SH7091 とエミュレータを使用できるチップの双方を使用可能なボードを設計する場合、あるいは Hitachi-UDI 経由で割り込み、リセットを利用する場合は、電源投入時に RESET と重複する期間 TRST をローレベルにし、なおかつ TRST 単独でも制御可能となるようにしてください。

なお TCK(TMS、TDI、TDO)の最大周波数は 20MHz です。また、TCK の周波数が SH7091 の内蔵周辺モジュールクロックの周波数より低くなるように TCK あるいは SH7091 の CPG の設定を行ってください。

### 21.1.4 レジスタ構成

表 21.2 に Hitachi-UDI のレジスタ構成を示します。SDBPR 以外は制御レジスタ空間にマッピングされており CPU から参照できます。

表 21.2 Hitachi-UDI レジスタ構成

| 名称            | 略称             | CPU 側 |            |            |          | Hitachi-UDI 側 |          | 初期値*   |
|---------------|----------------|-------|------------|------------|----------|---------------|----------|--------|
|               |                | R/W   | P4 アドレス    | エリア 7 アドレス | アクセス サイズ | R/W           | アクセス サイズ |        |
| インストラクションレジスタ | SDIR           | R     | H'FFF00000 | H'1FF00000 | 16       | R/W           | 16       | H'FFFF |
| データレジスタ H     | SDDR/<br>SDDRH | R/W   | H'FFF00008 | H'1FF00008 | 32/16    | —             | 32       | 不定     |
| データレジスタ L     | SDDRL          | R/W   | H'FFF0000A | H'1FF0000A | 16       | —             | —        | 不定     |
| バイパスレジスタ      | SDBPR          | —     | —          | —          | —        | R/W           | 1        | 不定     |

【注】 \* TRST 端子がローレベル、または TAP が Test-Logic-Reset state で初期化されます。

## 21.2 レジスタの説明

### 21.2.1 インストラクションレジスタ (SDIR)

インストラクションレジスタ(SDIR)は、CPU から読み出しのみ可能な 16 ビットのレジスタです。初期状態ではBYPASS モードです。シリアル入力(TDI)から値(コマンド)をセットします。 $\overline{\text{TRST}}$  または TAP の Test Logic Reset ステートで初期状態になります。Hitachi-UDI からの書き込みの場合、CPU のモードとは無関係に書き込みができます。ただし書き込んでいる途中で CPU からの読み出しを行うと、正しい値が読み出せないことがあります。そのような場合、SDIR を 2 度読み出し、不一致の場合は再度読み出すようにしてください。またリザーブとなっているコマンドをセットした場合の動作は保証しません。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

|     |     |     |     |     |     |     |     |     |     |     |     |     |     |     |     |
|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|
| TI3 | TI2 | TI1 | TI0 | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... | ... |
|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|-----|

初期値: 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1  
R/W: R R R R R R R R R R R R R R R R

ビット15～12: テストインストラクションビット(TI3～TI0)

| ビット 15 | ビット 14 | ビット 13 | ビット 12 | 説 明                   |
|--------|--------|--------|--------|-----------------------|
| TI3    | TI2    | TI1    | TI0    |                       |
| 0      | 0      | -      | -      | 予約                    |
| 0      | 1      | 0      | -      | 予約                    |
| 0      | 1      | 1      | 0      | Hitachi-UDI リセット・ネゲート |
| 0      | 1      | 1      | 1      | Hitachi-UDI リセット・アサート |
| 1      | 0      | 0      | -      | 予約                    |
| 1      | 0      | 1      | -      | Hitachi-UDI 割り込み      |
| 1      | 1      | 0      | -      | 予約                    |
| 1      | 1      | 1      | 0      | 予約                    |
| 1      | 1      | 1      | 1      | BYPASS モード (初期値)      |

ビット11～0: 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

### 21.2.2 データレジスタ (SDDR)

データレジスタ(SDDR)は、SDDRH と SDDRL の 2 本を連結した 32 ビットのレジスタで、各々 CPU から読み出し/書き込み可能な 16 ビットのレジスタです。このレジスタ値は TRST や CPU のリセットでは初期化されません。

ビット : 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|

初期値 : - - - - - - - - - - - - - - - -  
R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|--|

初期値 : - - - - - - - - - - - - - - - -  
R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

【注】 - : 不定

ビット31 ~ 0: DRデータ

SDDR の値が格納されます

### 21.2.3 バイパスレジスタ (SDBPR)

バイパスレジスタ(SDBPR)は、1 ビットのレジスタで CPU からのアクセスはできません。SDIR に BYPASS モードがセットされると、Hitachi-UDI の TDI 端子と TDO 端子の間に SDBPR が接続されます。

## 21.3 動作説明

### 21.3.1 TAP 制御

図 21.2 に TAP 制御回路の内部状態を示します。JTAG で規定されている状態遷移に準拠しています。

- 遷移条件は TCK の立ち上がりエッジにおける TMS 値です。
- TDI 値は TCK の立ち上がりエッジでサンプリングし、TCK の立ち下がりエッジでシフトします。
- TDO 値は TCK の立ち下がりエッジで変化します。また TDO は Shift-DR, Shift-IR ステート以外ではハイインピーダンス状態です。
- $\overline{\text{TRST}}=0$  への遷移で TCK とは非同期で "Test-Logic-Reset" 状態へ遷移します。

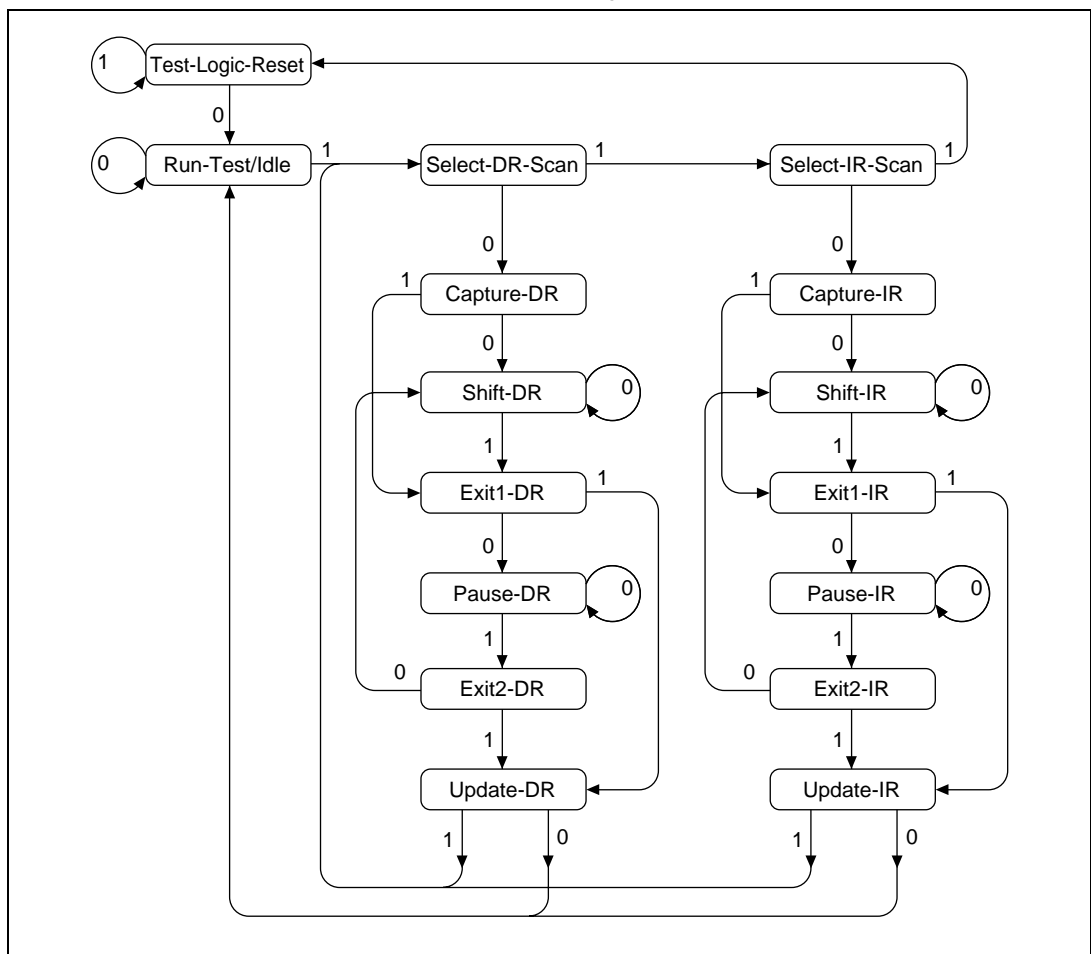


図 21.2 TAP 制御状態遷移図



### 21.3.2 Hitachi-UDI リセット

SDIR コマンドによりパワーオンリセットをかけられます。Hitachi-UDI の端子から Hitachi-UDI リセット・アサートコマンドを送り、さらに Hitachi-UDI リセット・ネゲートコマンドを送ることでリセットをかけます (図 21.3 参照)。Hitachi-UDI リセット・アサートコマンドと Hitachi-UDI リセット・ネゲートコマンド間に必要な時間は、パワーオンリセットをかけるためにリセット端子をローレベルに保つ時間と同じです。

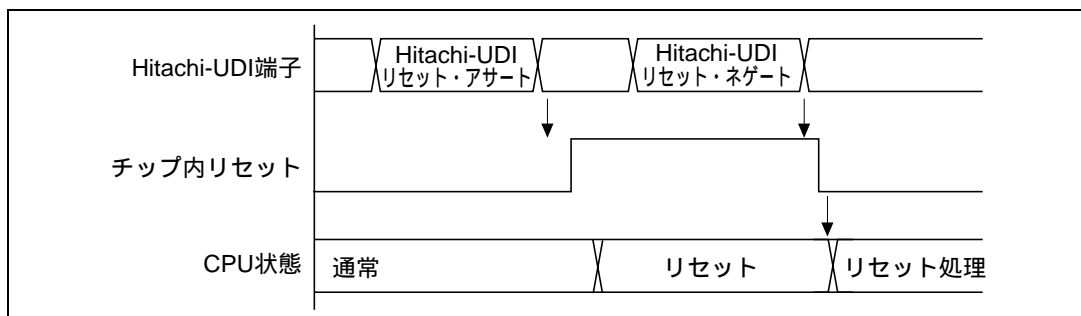


図 21.3 Hitachi-UDI リセット

### 21.3.3 Hitachi-UDI 割り込み

Hitachi-UDI 割り込み機能は Hitachi-UDI から SDIR にコマンド値を設定することにより割り込みを発生させる機能です。Hitachi-UDI 割込は一般例外／割り込み動作であり、VBR に基づいたアドレスに分岐し、RTE 命令で復帰します。このとき、制御レジスタ INTEVT に格納される例外コードは H'600 です。また制御レジスタ IPRC のビット 3~0 により Hitachi-UDI 割り込みの優先度を制御できます。

なお、Hitachi-UDI 割り込みの要求信号はコマンドセット後、SH7091 の内蔵周辺クロックで 8 サイクル程度アサートされます。アサートされるサイクル数は TCK と内蔵周辺クロックの周波数の比により決まります。アサート期間が限られるため、CPU が要求を取りこぼす場合もあります。Hitachi-UDI 割り込みコマンドはセットされた後、直ぐに BYPASS コマンドに自動的に変化します。

### 21.3.4 BYPASS

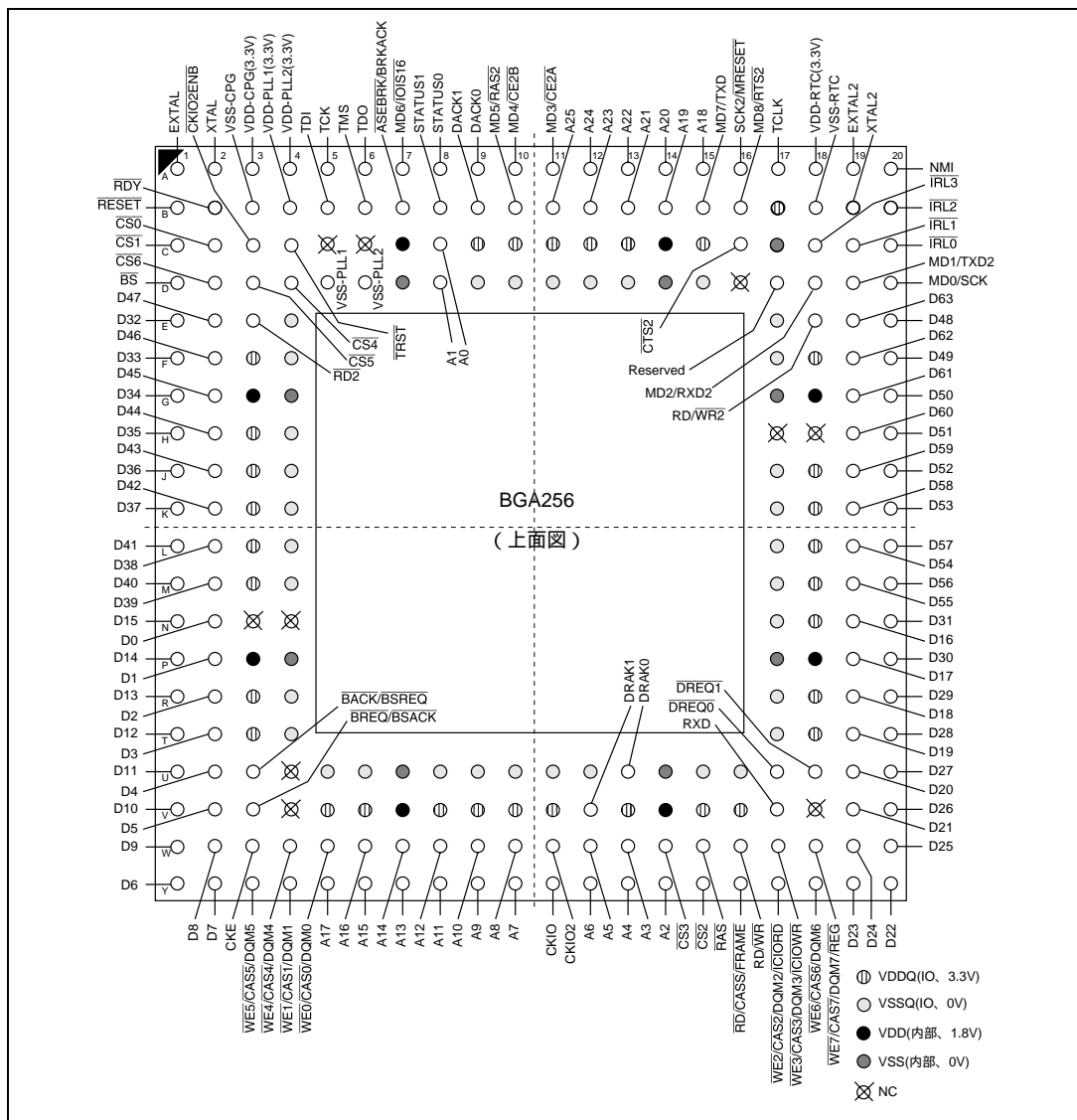
Hitachi-UDI から SDIR にコマンドを設定することにより Hitachi-UDI 端子を JTAG で規定されている BYPASS モードに設定できます。

## 21.4 注意事項

- (1) SDIR コマンド :  
一度設定した SDIR コマンドは  $\overline{\text{TRST}}$  のアサート、または TAP を Test-Logic-Reset 状態にするることによる初期化、Hitachi-UDI 割り込みコマンド以外は Hitachi-UDI から他のコマンドを書き込まない限り変化しません。
- (2) スリープモードでの SDIR コマンド :  
スリープモードは Hitachi-UDI 割り込み、Hitachi-UDI リセットにより解除され、それらの例外の要求を受け付けます。なお、スタンバイモードでは Hitachi-UDI 割り込み、Hitachi-UDI リセットとも受け付けません。
- (3) 日立ユーザデバッグインタフェース (Hitachi-UDI) は、エミュレータの接続に使用されません。したがって、エミュレータを使用する場合には、Hitachi-UDI の機能は使用できません。
- (4) SH7091 の Hitachi-UDI 端子は、ボード上でバウンダリスキャンの信号ループには接続しないでください。

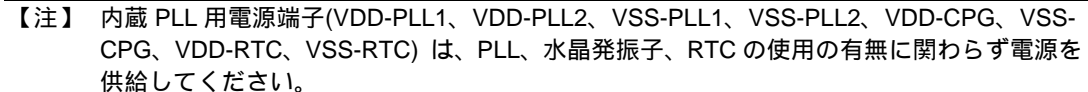
## 22. ピン配置図

### 22.1 ピン配置図



【注】 内蔵 PLL 用電源端子(VDD-PLL1、VDD-PLL2、VSS-PLL1、VSS-PLL2、VDD-CPG、VSS-CPG、VDD-RTC、VSS-RTC) は、PLL、水晶発振子、RTC の使用の有無に関わらず電源を供給してください。

図 22.1 ピン配置図 (256 ピン BGA)



## 22.2 端子機能

### 22.2.1 端子機能 (256 ピン BGA)

表 22.1 端子機能 (1)

| No | 端子番号 | 端子名                       | I/O   | 機能                                | リセット | メモリーインタフェース                |                            |                            |                            |                            |
|----|------|---------------------------|-------|-----------------------------------|------|----------------------------|----------------------------|----------------------------|----------------------------|----------------------------|
|    |      |                           |       |                                   |      | SRAM                       | DRAM                       | SDRAM                      | PCMCIA                     | MPX                        |
| 1  | B2   | $\overline{\text{RDY}}$   | I     | バス準備                              |      | $\overline{\text{RDY}}$    |                            |                            | $\overline{\text{RDY}}$    | $\overline{\text{RDY}}$    |
| 2  | B1   | $\overline{\text{RESET}}$ | I     | リセット                              |      |                            |                            |                            | $\overline{\text{RESET}}$  |                            |
| 3  | C2   | $\overline{\text{CS0}}$   | O     | チップ選択 0                           |      | $\overline{\text{CS0}}$    |                            |                            |                            | $\overline{\text{CS0}}$    |
| 4  | C1   | $\overline{\text{CS1}}$   | O     | チップ選択 1                           |      | $\overline{\text{CS1}}$    |                            |                            |                            | $\overline{\text{CS1}}$    |
| 5  | D4   | $\overline{\text{CS4}}$   | O     | チップ選択 4                           |      | $\overline{\text{CS4}}$    |                            |                            |                            | $\overline{\text{CS4}}$    |
| 6  | D3   | $\overline{\text{CS5}}$   | O     | チップ選択 5                           |      | $\overline{\text{CS5}}$    |                            |                            | $\overline{\text{CE1A}}$   | $\overline{\text{CS5}}$    |
| 7  | D2   | $\overline{\text{CS6}}$   | O     | チップ選択 6                           |      | $\overline{\text{CS6}}$    |                            |                            | $\overline{\text{CE1B}}$   | $\overline{\text{CS6}}$    |
| 8  | D1   | $\overline{\text{BS}}$    | O     | バス開始                              |      | ( $\overline{\text{BS}}$ ) | ( $\overline{\text{BS}}$ ) | ( $\overline{\text{BS}}$ ) | ( $\overline{\text{BS}}$ ) | ( $\overline{\text{BS}}$ ) |
| 9  | E4   | VSSQ                      | Power | IO GND (0V)                       |      |                            |                            |                            |                            |                            |
| 10 | E3   | $\overline{\text{RD2}}$   | O     | $\overline{\text{RD/CASS/FRAME}}$ |      | $\overline{\text{OE}}$     |                            | $\overline{\text{CAS}}$    | $\overline{\text{OE}}$     | $\overline{\text{FRAME}}$  |
| 11 | F3   | VDDQ                      | Power | IO VDD (3.3V)                     |      |                            |                            |                            |                            |                            |
| 12 | F4   | VSSQ                      | Power | IO GND (0V)                       |      |                            |                            |                            |                            |                            |
| 13 | E2   | D47                       | I/O   | データ/ポート                           |      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      |
| 14 | E1   | D32                       | I/O   | データ/ポート                           |      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      |
| 15 | G3   | VDD                       | Power | 内部 VDD (1.8V)                     |      |                            |                            |                            |                            |                            |
| 16 | G4   | VSS                       | Power | 内部 GND (0V)                       |      |                            |                            |                            |                            |                            |
| 17 | F2   | D46                       | I/O   | データ/ポート                           |      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      |
| 18 | F1   | D33                       | I/O   | データ/ポート                           |      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      |
| 19 | H3   | VDDQ                      | Power | IO VDD (3.3V)                     |      |                            |                            |                            |                            |                            |
| 20 | H4   | VSSQ                      | Power | IO GND (0V)                       |      |                            |                            |                            |                            |                            |
| 21 | G2   | D45                       | I/O   | データ/ポート                           |      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      |
| 22 | G1   | D34                       | I/O   | データ/ポート                           |      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      |
| 23 | H2   | D44                       | I/O   | データ/ポート                           |      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      |
| 24 | H1   | D35                       | I/O   | データ/ポート                           |      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      |
| 25 | J3   | VDDQ                      | Power | IO VDD (3.3V)                     |      |                            |                            |                            |                            |                            |
| 26 | J4   | VSSQ                      | Power | IO GND (0V)                       |      |                            |                            |                            |                            |                            |
| 27 | J2   | D43                       | I/O   | データ/ポート                           |      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      |
| 28 | J1   | D36                       | I/O   | データ/ポート                           |      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      |
| 29 | K2   | D42                       | I/O   | データ/ポート                           |      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      |
| 30 | K1   | D37                       | I/O   | データ/ポート                           |      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      |
| 31 | K3   | VDDQ                      | Power | IO VDD (3.3V)                     |      |                            |                            |                            |                            |                            |
| 32 | K4   | VSSQ                      | Power | IO GND (0V)                       |      |                            |                            |                            |                            |                            |
| 33 | L1   | D41                       | I/O   | データ/ポート                           |      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      |
| 34 | L2   | D38                       | I/O   | データ/ポート                           |      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      |

## 22. ピン配置図

表 22.1 端子機能 (2)

| No | 端子番号 | 端子名               | I/O   | 機能               | リセット | メモリンタフェース |       |       |        |       |
|----|------|-------------------|-------|------------------|------|-----------|-------|-------|--------|-------|
|    |      |                   |       |                  |      | SRAM      | DRAM  | SDRAM | PCMCIA | MPX   |
| 35 | M1   | D40               | I/O   | データ/ポート          |      | (ポート)     | (ポート) | (ポート) | (ポート)  | (ポート) |
| 36 | M2   | D39               | I/O   | データ/ポート          |      | (ポート)     | (ポート) | (ポート) | (ポート)  | (ポート) |
| 37 | L3   | VDDQ              | Power | IO VDD (3.3V)    |      |           |       |       |        |       |
| 38 | L4   | VSSQ              | Power | IO GND (0V)      |      |           |       |       |        |       |
| 39 | N1   | D15               | I/O   | データ              |      |           |       |       |        | A15   |
| 40 | N2   | D0                | I/O   | データ              |      |           |       |       |        | A0    |
| 41 | P1   | D14               | I/O   | データ              |      |           |       |       |        | A14   |
| 42 | P2   | D1                | I/O   | データ              |      |           |       |       |        | A1    |
| 43 | M3   | VDDQ              | Power | IO VDD (3.3V)    |      |           |       |       |        |       |
| 44 | M4   | VSSQ              | Power | IO GND (0V)      |      |           |       |       |        |       |
| 45 | R1   | D13               | I/O   | データ              |      |           |       |       |        | A13   |
| 46 | R2   | D2                | I/O   | データ              |      |           |       |       |        | A2    |
| 47 | P3   | VDD               | Power | 内部 VDD (1.8V)    |      |           |       |       |        |       |
| 48 | P4   | VSS               | Power | 内部 GND (0V)      |      |           |       |       |        |       |
| 49 | T1   | D12               | I/O   | データ              |      |           |       |       |        | A12   |
| 50 | T2   | D3                | I/O   | データ              |      |           |       |       |        | A3    |
| 51 | R3   | VDDQ              | Power | IO VDD (3.3V)    |      |           |       |       |        |       |
| 52 | R4   | VSSQ              | Power | IO GND (0V)      |      |           |       |       |        |       |
| 53 | U1   | D11               | I/O   | データ              |      |           |       |       |        | A11   |
| 54 | U2   | D4                | I/O   | データ              |      |           |       |       |        | A4    |
| 55 | V1   | D10               | I/O   | データ              |      |           |       |       |        | A10   |
| 56 | V2   | D5                | I/O   | データ              |      |           |       |       |        | A5    |
| 57 | T3   | VDDQ              | Power | IO VDD (3.3V)    |      |           |       |       |        |       |
| 58 | T4   | VSSQ              | Power | IO GND (0V)      |      |           |       |       |        |       |
| 59 | W1   | D9                | I/O   | データ              |      |           |       |       |        | A9    |
| 60 | Y1   | D6                | I/O   | データ              |      |           |       |       |        | A6    |
| 61 | U3   | BACK/<br>BSREQ    | O     | バス権認識 /<br>バス権要求 |      |           |       |       |        |       |
| 62 | V3   | BREQ/<br>BSACK    | I     | バス権要求 /<br>バス権認識 |      |           |       |       |        |       |
| 63 | W2   | D8                | I/O   | データ              |      |           |       |       |        | A8    |
| 64 | Y2   | D7                | I/O   | データ              |      |           |       |       |        | A7    |
| 65 | W3   | CKE               | O     | クロック出力可能         |      |           |       | CKE   |        |       |
| 66 | V5   | VDDQ              | Power | IO VDD (3.3V)    |      |           |       |       |        |       |
| 67 | U5   | VSSQ              | Power | IO GND (0V)      |      |           |       |       |        |       |
| 68 | Y3   | WE5/CAS5/<br>DQM5 | O     | D47-D40 選択信号     |      | WE5       | CAS5  | DQM5  |        |       |
| 69 | W4   | WE4/CAS4/<br>DQM4 | O     | D39-D32 選択信号     |      | WE4       | CAS4  | DQM4  |        |       |

表 22.1 端子機能 (3)

| No  | 端子番号 | 端子名               | I/O   | 機能            | リセット | メモリインタフェース |      |       |        |     |
|-----|------|-------------------|-------|---------------|------|------------|------|-------|--------|-----|
|     |      |                   |       |               |      | SRAM       | DRAM | SDRAM | PCMCIA | MPX |
| 70  | Y4   | WE1/CAS1/<br>DQM1 | O     | D15-D8 選択信号   |      | WE1        | CAS1 | DQM1  | WE1    |     |
| 71  | W5   | WE0/CAS0/<br>DQM0 | O     | D7-D0 選択信号    |      | WE0        | CAS0 | DQM0  |        |     |
| 72  | Y5   | A17               | O     | アドレス          |      |            |      |       |        |     |
| 73  | V6   | VDDQ              | Power | IO VDD (3.3V) |      |            |      |       |        |     |
| 74  | U6   | VSSQ              | Power | IO GND (0V)   |      |            |      |       |        |     |
| 75  | W6   | A16               | O     | アドレス          |      |            |      |       |        |     |
| 76  | Y6   | A15               | O     | アドレス          |      |            |      |       |        |     |
| 77  | V7   | VDD               | Power | 内部 VDD (1.8V) |      |            |      |       |        |     |
| 78  | U7   | VSS               | Power | 内部 GND (0V)   |      |            |      |       |        |     |
| 79  | W7   | A14               | O     | アドレス          |      |            |      |       |        |     |
| 80  | Y7   | A13               | O     | アドレス          |      |            |      |       |        |     |
| 81  | V8   | VDDQ              | Power | IO VDD (3.3V) |      |            |      |       |        |     |
| 82  | U8   | VSSQ              | Power | IO GND (0V)   |      |            |      |       |        |     |
| 83  | V4   | NC                |       |               |      |            |      |       |        |     |
| 84  | W8   | A12               | O     | アドレス          |      |            |      |       |        |     |
| 85  | Y8   | A11               | O     | アドレス          |      |            |      |       |        |     |
| 86  | W9   | A10               | O     | アドレス          |      |            |      |       |        |     |
| 87  | V9   | VDDQ              | Power | IO VDD (3.3V) |      |            |      |       |        |     |
| 88  | U9   | VSSQ              | Power | IO GND (0V)   |      |            |      |       |        |     |
| 89  | Y9   | A9                | O     | アドレス          |      |            |      |       |        |     |
| 90  | W10  | A8                | O     | アドレス          |      |            |      |       |        |     |
| 91  | Y10  | A7                | O     | アドレス          |      |            |      |       |        |     |
| 92  | Y11  | CKIO              | O     | クロック出力        |      |            |      | CKIO  |        |     |
| 93  | V10  | VDDQ              | Power | IO VDD (3.3V) |      |            |      |       |        |     |
| 94  | U10  | VSSQ              | Power | IO GND (0V)   |      |            |      |       |        |     |
| 95  | W11  | CKIO2             | O     | =CKIO*        |      |            |      | CKIO  |        |     |
| 96  | Y12  | A6                | O     | アドレス          |      |            |      |       |        |     |
| 97  | W12  | A5                | O     | アドレス          |      |            |      |       |        |     |
| 98  | Y13  | A4                | O     | アドレス          |      |            |      |       |        |     |
| 99  | V11  | VDDQ              | Power | IO VDD (3.3V) |      |            |      |       |        |     |
| 100 | U11  | VSSQ              | Power | IO GND (0V)   |      |            |      |       |        |     |
| 101 | W13  | A3                | O     | アドレス          |      |            |      |       |        |     |
| 102 | Y14  | A2                | O     | アドレス          |      |            |      |       |        |     |

【注】\*CKIO2 は PLL2 に接続されません。

## 22. ピン配置図

表 22.1 端子機能 (4)

| No  | 端子番号 | 端子名  | I/O   | 機能               | リセッ<br>ト | メモリンタフェース        |                      |                  |                    |                  |
|-----|------|--|-------|------------------|----------|------------------|----------------------|------------------|--------------------|------------------|
|     |      |  |       |                  |          | SRAM             | DRAM                 | SDRAM            | PCMCIA             | MPX              |
| 103 | V12  | DRAK1  | O     | DMAC1 要求認識       |          |                  |                      |                  |                    |                  |
| 104 | U13  | DRAK0  | O     | DMAC0 要求認識       |          |                  |                      |                  |                    |                  |
| 105 | V13  | VDDQ   | Power | IO VDD (3.3V)    |          |                  |                      |                  |                    |                  |
| 106 | U12  | VSSQ   | Power | IO GND (0V)      |          |                  |                      |                  |                    |                  |
| 107 | W14  | $\overline{CS3}$   | O     | チップ選択 3          |          | $\overline{CS3}$ | ( $\overline{CS3}$ ) | $\overline{CS3}$ |                    | $\overline{CS3}$ |
| 108 | Y15  | $\overline{CS2}$   | O     | チップ選択 2          |          | $\overline{CS2}$ | ( $\overline{CS2}$ ) | $\overline{CS2}$ |                    | $\overline{CS2}$ |
| 109 | V14  | VDD  | Power | 内部 VDD (1.8V)    |          |                  |                      |                  |                    |                  |
| 110 | U14  | VSS  | Power | 内部 GND (0V)      |          |                  |                      |                  |                    |                  |
| 111 | W15  | $\overline{RAS}$   | O     | $\overline{RAS}$ |          |                  | $\overline{RAS}$     | $\overline{RAS}$ |                    |                  |
| 112 | Y16  | RD/CASS/<br>FRAME  | O     | リード/CAS/FRAME    |          | $\overline{OE}$  |                      | $\overline{CAS}$ | $\overline{OE}$    | FRAME            |
| 113 | V15  | VDDQ   | Power | IO VDD (3.3V)    |          |                  |                      |                  |                    |                  |
| 114 | U15  | VSSQ   | Power | IO GND (0V)      |          |                  |                      |                  |                    |                  |
| 115 | W16  | RD/WR  | O     | 読み出し/書き込み        |          |                  | RD/WR                | RD/WR            |                    | RD/WR            |
| 116 | Y17  | $\overline{WE2/CAS2/}$<br>$\overline{DQM2/}$<br>$\overline{ICIOR}$ | O     | D23-D16 選択信号     |          | $\overline{WE2}$ | $\overline{CAS2}$    | DQM2             | $\overline{ICIOR}$ |                  |
| 117 | W17  | $\overline{WE3/CAS3/}$<br>$\overline{DQM3/}$<br>$\overline{ICIOR}$ | O     | D31-D24 選択信号     |          | $\overline{WE3}$ | $\overline{CAS3}$    | DQM3             | $\overline{ICIOR}$ |                  |
| 118 | Y18  | $\overline{WE6/CAS6/}$<br>$\overline{DQM6}$                        | O     | D55-D48 選択信号     |          | $\overline{WE6}$ | $\overline{CAS6}$    | DQM6             |                    |                  |
| 119 | V16  | VDDQ   | Power | IO VDD (3.3V)    |          |                  |                      |                  |                    |                  |
| 120 | U16  | VSSQ   | Power | IO GND (0V)      |          |                  |                      |                  |                    |                  |
| 121 | W18  | $\overline{WE7/CAS7/}$<br>$\overline{DQM7/REG}$                    | O     | D63-D56 選択信号     |          | $\overline{WE7}$ | $\overline{CAS7}$    | DQM7             | REG                |                  |
| 122 | Y19  | D23  | I/O   | データ              |          |                  |                      |                  |                    | A23              |
| 123 | W19  | D24  | I/O   | データ              |          |                  |                      |                  |                    | A24              |
| 124 | Y20  | D22  | I/O   | データ              |          |                  |                      |                  |                    | A22              |
| 125 | V17  | RXD  | I     | SCI データ入力        |          |                  |                      |                  |                    |                  |
| 126 | U17  | $\overline{DREQ0}$   | I     | DMAC0 からの要求      |          |                  |                      |                  |                    |                  |
| 127 | U18  | $\overline{DREQ1}$   | I     | DMAC1 からの要求      |          |                  |                      |                  |                    |                  |
| 128 | W20  | D25  | I/O   | データ              |          |                  |                      |                  |                    | A25              |
| 129 | T18  | VDDQ   | Power | IO VDD (3.3V)    |          |                  |                      |                  |                    |                  |
| 130 | T17  | VSSQ   | Power | IO GND (0V)      |          |                  |                      |                  |                    |                  |
| 131 | V19  | D21  | I/O   | データ              |          |                  |                      |                  |                    | A21              |
| 132 | V20  | D26  | I/O   | データ              |          |                  |                      |                  |                    |                  |
| 133 | U19  | D20  | I/O   | データ              |          |                  |                      |                  |                    | A20              |

表 22.1 端子機能 (5)

| No  | 端子番号 | 端子名  | I/O   | 機能            | リセット | メモリーインタフェース |       |       |        |          |
|-----|------|------|-------|---------------|------|-------------|-------|-------|--------|----------|
|     |      |      |       |               |      | SRAM        | DRAM  | SDRAM | PCMCIA | MPX      |
| 134 | U20  | D27  | I/O   | データ           |      |             |       |       |        |          |
| 135 | R18  | VDDQ | Power | IO VDD (3.3V) |      |             |       |       |        |          |
| 136 | R17  | VSSQ | Power | IO GND (0V)   |      |             |       |       |        |          |
| 137 | T19  | D19  | I/O   | データ           |      |             |       |       |        | A19      |
| 138 | T20  | D28  | I/O   | データ           |      |             |       |       |        |          |
| 139 | P18  | VDD  | Power | 内部 VDD (1.8V) |      |             |       |       |        |          |
| 140 | P17  | VSS  | Power | 内部 GND (0V)   |      |             |       |       |        |          |
| 141 | R19  | D18  | I/O   | データ           |      |             |       |       |        | A18      |
| 142 | R20  | D29  | I/O   | データ           |      |             |       |       |        |          |
| 143 | N18  | VDDQ | Power | IO VDD (3.3V) |      |             |       |       |        |          |
| 144 | N17  | VSSQ | Power | IO GND (0V)   |      |             |       |       |        |          |
| 145 | P19  | D17  | I/O   | データ           |      |             |       |       |        | A17      |
| 146 | P20  | D30  | I/O   | データ           |      |             |       |       |        |          |
| 147 | N19  | D16  | I/O   | データ           |      |             |       |       |        | A16      |
| 148 | N20  | D31  | I/O   | データ           |      |             |       |       |        |          |
| 149 | M18  | VDDQ | Power | IO VDD (3.3V) |      |             |       |       |        |          |
| 150 | M17  | VSSQ | Power | IO GND (0V)   |      |             |       |       |        |          |
| 151 | M19  | D55  | I/O   | データ           |      |             |       |       |        |          |
| 152 | M20  | D56  | I/O   | データ           |      |             |       |       |        |          |
| 153 | L19  | D54  | I/O   | データ           |      |             |       |       |        |          |
| 154 | L20  | D57  | I/O   | データ           |      |             |       |       |        |          |
| 155 | L18  | VDDQ | Power | IO VDD (3.3V) |      |             |       |       |        |          |
| 156 | L17  | VSSQ | Power | IO GND (0V)   |      |             |       |       |        |          |
| 157 | K20  | D53  | I/O   | データ           |      |             |       |       |        |          |
| 158 | K19  | D58  | I/O   | データ           |      |             |       |       |        |          |
| 159 | J20  | D52  | I/O   | データ           |      |             |       |       |        |          |
| 160 | J19  | D59  | I/O   | データ           |      |             |       |       |        |          |
| 161 | K18  | VDDQ | Power | IO VDD (3.3V) |      |             |       |       |        |          |
| 162 | K17  | VSSQ | Power | IO GND (0V)   |      |             |       |       |        |          |
| 163 | H20  | D51  | I/O   | データ/ポート       |      | (ポート)       | (ポート) | (ポート) | (ポート)  | (ポート)    |
| 164 | H19  | D60  | I/O   | データ           |      |             |       |       |        |          |
| 165 | G20  | D50  | I/O   | データ/ポート       |      | (ポート)       | (ポート) | (ポート) | (ポート)  | (ポート)    |
| 166 | G19  | D61  | I/O   | データ           |      |             |       |       |        | ACCSIZE0 |
| 167 | J18  | VDDQ | Power | IO VDD (3.3V) |      |             |       |       |        |          |
| 168 | J17  | VSSQ | Power | IO GND (0V)   |      |             |       |       |        |          |
| 169 | F20  | D49  | I/O   | データ/ポート       |      | (ポート)       | (ポート) | (ポート) | (ポート)  | (ポート)    |



## 22. ピン配置図

表 22.1 端子機能 (6)

| No  | 端子番号 | 端子名             | I/O   | 機能                   | リセット       | メモリインタフェース |       |       |        |          |
|-----|------|-----------------|-------|----------------------|------------|------------|-------|-------|--------|----------|
|     |      |                 |       |                      |            | SRAM       | DRAM  | SDRAM | PCMCIA | MPX      |
| 170 | F19  | D62             | I/O   | データ                  |            |            |       |       |        | ACCSIZE1 |
| 171 | G18  | VDD             | Power | 内部 VDD (1.8V)        |            |            |       |       |        |          |
| 172 | G17  | VSS             | Power | 内部 GND (0V)          |            |            |       |       |        |          |
| 173 | E20  | D48             | I/O   | データ/ポート              |            | (ポート)      | (ポート) | (ポート) | (ポート)  | (ポート)    |
| 174 | E19  | D63             | I/O   | データ                  |            |            |       |       |        | ACCSIZE2 |
| 175 | F18  | VDDQ            | Power | IO VDD (3.3V)        |            |            |       |       |        |          |
| 176 | F17  | VSSQ            | Power | IO GND (0V)          |            |            |       |       |        |          |
| 177 | E17  | VSSQ            | Power | IO GND (0V)          |            |            |       |       |        |          |
| 178 | E18  | RD/WR $\bar{2}$ | O     | =RD/WR               |            |            | RD/WR | RD/WR |        | RD/WR    |
| 179 | D20  | MD0/SCK         | I/O   | モード/SCI クロック         | MD0        | SCK        | SCK   | SCK   | SCK    | SCK      |
| 180 | D19  | MD1/TXD2        | I/O   | モード/SCIF データ出力       | MD1        | TXD2       | TXD2  | TXD2  | TXD2   | TXD2     |
| 181 | D18  | MD2/RXD2        | I     | モード/SCIF データ入力       | MD2        | RXD2       | RXD2  | RXD2  | RXD2   | RXD2     |
| 182 | C20  | IRL0            | I     | 割り込み 0               |            |            |       |       |        |          |
| 183 | C19  | IRL1            | I     | 割り込み 1               |            |            |       |       |        |          |
| 184 | B20  | IRL2            | I     | 割り込み 2               |            |            |       |       |        |          |
| 185 | C18  | IRL3            | I     | 割り込み 3               |            |            |       |       |        |          |
| 186 | A20  | NMI             | I     | ノンマスクابل割り込み         |            |            |       |       |        |          |
| 187 | B19  | XTAL2           | O     | RTC 水晶発振子端子          |            |            |       |       |        |          |
| 188 | A19  | EXTAL2          | I     | RTC 水晶発振子端子          |            |            |       |       |        |          |
| 189 | B18  | VSS-RTC         | Power | RTC GND (0V)         |            |            |       |       |        |          |
| 190 | A18  | VDD-RTC         | Power | RTC VDD (3.3V)       |            |            |       |       |        |          |
| 191 | D17  | Reserved        | I     | 3.3V にプルアップしてください    |            |            |       |       |        |          |
| 192 | C17  | VSS             | Power | 内部 GND (0V)          |            |            |       |       |        |          |
| 193 | B17  | VDDQ            | Power | IO VDD (3.3V)        |            |            |       |       |        |          |
| 194 | C16  | CTS2            | I/O   | SCIF データ制御 (CTS)     |            |            |       |       |        |          |
| 195 | A17  | TCLK            | I/O   | RTC/TMU クロック         |            |            |       |       |        |          |
| 196 | B16  | MD8/RTS2        | I/O   | モード/SCIF データ制御 (RTS) | MD8        | RTS2       | RTS2  | RTS2  | RTS2   | RTS2     |
| 197 | C15  | VDDQ            | Power | IO VDD (3.3V)        |            |            |       |       |        |          |
| 198 | D15  | VSSQ            | Power | IO GND (0V)          |            |            |       |       |        |          |
| 199 | B15  | MD7/TXD         | I/O   | モード/SCI データ出力        | MD7        | TXD        | TXD   | TXD   | TXD    | TXD      |
| 200 | A16  | SCK2/MRESET     | I     | SCIF クロック/マニュアルリセット  | MRES<br>ET | SCK2       | SCK2  | SCK2  | SCK2   | SCK2     |
| 201 | C14  | VDD             | Power | 内部 VDD (1.8V)        |            |            |       |       |        |          |

表 22.1 端子機能 (7)

| No  | 端子番号 | 端子名               | I/O   | 機能                                   | リセット | メモリインタフェース |      |       |        |     |
|-----|------|-------------------|-------|--------------------------------------|------|------------|------|-------|--------|-----|
|     |      |                   |       |                                      |      | SRAM       | DRAM | SDRAM | PCMCIA | MPX |
| 202 | D14  | VSS               | Power | 内部 GND (0V)                          |      |            |      |       |        |     |
| 203 | A15  | A18               | O     | アドレス                                 |      |            |      |       |        |     |
| 204 | B14  | A19               | O     | アドレス                                 |      |            |      |       |        |     |
| 205 | C13  | VDDQ              | Power | IO VDD (3.3V)                        |      |            |      |       |        |     |
| 206 | D13  | VSSQ              | Power | IO GND (0V)                          |      |            |      |       |        |     |
| 207 | A14  | A20               | O     | アドレス                                 |      |            |      |       |        |     |
| 208 | B13  | A21               | O     | アドレス                                 |      |            |      |       |        |     |
| 209 | A13  | A22               | O     | アドレス                                 |      |            |      |       |        |     |
| 210 | B12  | A23               | O     | アドレス                                 |      |            |      |       |        |     |
| 211 | C12  | VDDQ              | Power | IO VDD (3.3V)                        |      |            |      |       |        |     |
| 212 | D12  | VSSQ              | Power | IO GND (0V)                          |      |            |      |       |        |     |
| 213 | A12  | A24               | O     | アドレス                                 |      |            |      |       |        |     |
| 214 | B11  | A25               | O     | アドレス                                 |      |            |      |       |        |     |
| 215 | A11  | MD3/CE2A          | I/O   | モード/PCMCIA-CE                        | MD3  |            |      |       | CE2A   |     |
| 216 | A10  | MD4/CE2B          | I/O   | モード/PCMCIA-CE                        | MD4  |            |      |       | CE2B   |     |
| 217 | C11  | VDDQ              | Power | IO VDD (3.3V)                        |      |            |      |       |        |     |
| 218 | D11  | VSSQ              | Power | IO GND (0V)                          |      |            |      |       |        |     |
| 219 | B10  | MD5/RAS2          | I/O   | モード/RAS (DRAM)                       | MD5  |            | RAS2 |       |        |     |
| 220 | A9   | DACK0             | O     | DMAC0 バス認識                           |      |            |      |       |        |     |
| 221 | B9   | DACK1             | O     | DMAC1 バス認識                           |      |            |      |       |        |     |
| 222 | C8   | A0                | O     | アドレス                                 |      |            |      |       |        |     |
| 223 | C10  | VDDQ              | Power | IO VDD (3.3V)                        |      |            |      |       |        |     |
| 224 | D10  | VSSQ              | Power | IO GND (0V)                          |      |            |      |       |        |     |
| 225 | D8   | A1                | O     | アドレス                                 |      |            |      |       |        |     |
| 226 | A8   | STATUS0           | O     | ステータス                                |      |            |      |       |        |     |
| 227 | B8   | STATUS1           | O     | ステータス                                |      |            |      |       |        |     |
| 228 | A7   | MD6/IOIS16        | I     | モード/IOIS16 (PCMCIA)                  | MD6  |            |      |       | IOIS16 |     |
| 229 | C9   | VDDQ              | Power | IO VDD (3.3V)                        |      |            |      |       |        |     |
| 230 | D9   | VSSQ              | Power | IO GND (0V)                          |      |            |      |       |        |     |
| 231 | B7   | ASEBRK/<br>BRKACK | I/O   | 端子ブレーク / アク<br>ノリッジ(Hitachi-<br>UDI) |      |            |      |       |        |     |
| 232 | A6   | TDO               | O     | データアウト<br>(Hitachi-UDI)              |      |            |      |       |        |     |
| 233 | C7   | VDD               | Power | 内部 VDD (1.8V)                        |      |            |      |       |        |     |
| 234 | D7   | VSS               | Power | 内部 GND (0V)                          |      |            |      |       |        |     |
| 235 | B6   | TMS               | I     | モード (Hitachi-UDI)                    |      |            |      |       |        |     |

## 22. ピン配置図

表 22.1 端子機能 ( 8 )

| No  | 端子番号 | 端子名      | I/O   | 機能                     | リセット | メモリインタフェース |      |       |        |     |
|-----|------|----------|-------|------------------------|------|------------|------|-------|--------|-----|
|     |      |          |       |                        |      | SRAM       | DRAM | SDRAM | PCMCIA | MPX |
| 236 | A5   | TCK      | I     | クロック (Hitachi-UDI)     |      |            |      |       |        |     |
| 237 | B5   | TDI      | I     | データイン (Hitachi-UDI)    |      |            |      |       |        |     |
| 238 | C4   | TRST     | I     | リセット (Hitachi-UDI)     |      |            |      |       |        |     |
| 239 | C3   | CKIO2ENB | I     | CKIO2、RD2、RD/WR2 イネーブル |      |            |      |       |        |     |
| 240 | C6   | NC       |       |                        |      |            |      |       |        |     |
| 241 | A4   | VDD-PLL2 | Power | PLL2 VDD (3.3V)        |      |            |      |       |        |     |
| 242 | D6   | VSS-PLL2 | Power | PLL2 GND (0V)          |      |            |      |       |        |     |
| 243 | B4   | VDD-PLL1 | Power | PLL1 VDD (3.3V)        |      |            |      |       |        |     |
| 244 | D5   | VSS-PLL1 | Power | PLL1 GND (0V)          |      |            |      |       |        |     |
| 245 | A3   | VDD-CPG  | Power | CPG VDD (3.3V)         |      |            |      |       |        |     |
| 246 | B3   | VSS-CPG  | Power | CPG GND (0V)           |      |            |      |       |        |     |
| 247 | A2   | XTAL     | O     | 水晶発振子                  |      |            |      |       |        |     |
| 248 | A1   | EXTAL    | I     | 外部入力クロック / 水晶発振子       |      |            |      |       |        |     |
| 249 | C5   | NC       |       |                        |      |            |      |       |        |     |
| 250 | D16  | NC       |       |                        |      |            |      |       |        |     |
| 251 | H17  | NC       |       |                        |      |            |      |       |        |     |
| 252 | H18  | NC       |       |                        |      |            |      |       |        |     |
| 253 | N3   | NC       |       |                        |      |            |      |       |        |     |
| 254 | N4   | NC       |       |                        |      |            |      |       |        |     |
| 255 | U4   | NC       |       |                        |      |            |      |       |        |     |
| 256 | V18  | NC       |       |                        |      |            |      |       |        |     |

I : 入力

O : 出力

I/O : 入出力

Power : 電源

- 【注】
1. VDDQ(3.3V)、VSSQ、VDD(1.8V)、VSS 端子はすべてシステム電源に接続してください。電源は継続して供給してください。RTC のみを動作させる場合 (スタンバイモード時) でも、VDD-RTC、VSS-RTC と同様、VDDQ、VSSQ、VDD、VSS 端子にもすべて電源を供給してください。
  2. 内蔵 PLL の使用の有無に関わらず、VDD-PLL1/2、VSS-PLL1/2 に電源を供給してください。
  3. 内蔵水晶発振子の使用の有無に関わらず、VDD-CPG、VSS-CPG に電源を供給してください。
  4. 内蔵 RTC の使用の有無に関わらず、VDD-RTC、VSS-RTC に電源を供給してください。
  5. VSSQ、VSS、VSS-RTC、VSS-PLL1/2、VSS-CPG はパッケージの中で接続されています。

## 22.2.2 端子機能 (208 ピン QFP)

表 22.2 端子機能 (1)

| 端子<br>番号 | 端子名                       | I/O   | 機能             | リセット | メモリーインタフェース                |                            |                            |                            |                            |
|----------|---------------------------|-------|----------------|------|----------------------------|----------------------------|----------------------------|----------------------------|----------------------------|
|          |                           |       |                |      | SRAM                       | DRAM                       | SDRAM                      | PCMCIA                     | MPX                        |
| 1        | $\overline{\text{RDY}}$   | I     | バス準備           |      | $\overline{\text{RDY}}$    |                            |                            | $\overline{\text{RDY}}$    | $\overline{\text{RDY}}$    |
| 2        | $\overline{\text{RESET}}$ | I     | リセット           |      |                            |                            |                            | $\overline{\text{RESET}}$  |                            |
| 3        | $\overline{\text{CS0}}$   | O     | チップ選択 0        |      | $\overline{\text{CS0}}$    |                            |                            |                            | $\overline{\text{CS0}}$    |
| 4        | $\overline{\text{CS1}}$   | O     | チップ選択 1        |      | $\overline{\text{CS1}}$    |                            |                            |                            | $\overline{\text{CS1}}$    |
| 5        | $\overline{\text{CS4}}$   | O     | チップ選択 4        |      | $\overline{\text{CS4}}$    |                            |                            |                            | $\overline{\text{CS4}}$    |
| 6        | $\overline{\text{CS5}}$   | O     | チップ選択 5        |      | $\overline{\text{CS5}}$    |                            |                            | $\overline{\text{CE1A}}$   | $\overline{\text{CS5}}$    |
| 7        | $\overline{\text{CS6}}$   | O     | チップ選択 6        |      | $\overline{\text{CS6}}$    |                            |                            | $\overline{\text{CE1B}}$   | $\overline{\text{CS6}}$    |
| 8        | $\overline{\text{BS}}$    | O     | バス開始           |      | ( $\overline{\text{BS}}$ ) | ( $\overline{\text{BS}}$ ) | ( $\overline{\text{BS}}$ ) | ( $\overline{\text{BS}}$ ) | ( $\overline{\text{BS}}$ ) |
| 9        | VDDQ                      | Power | IO VDD (3.3V)  |      |                            |                            |                            |                            |                            |
| 10       | VSSQ                      | Power | IO GND (0V)    |      |                            |                            |                            |                            |                            |
| 11       | D47                       | I/O   | データ/ポート        |      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      |
| 12       | D32                       | I/O   | データ/ポート        |      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      |
| 13       | VDD                       | Power | 内部 VDD (1.8V)  |      |                            |                            |                            |                            |                            |
| 14       | VSS                       | Power | 内部 GND (0V)    |      |                            |                            |                            |                            |                            |
| 15       | D46                       | I/O   | データ/ポート        |      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      |
| 16       | D33                       | I/O   | データ/ポート        |      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      |
| 17       | D45                       | I/O   | データ/ポート        |      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      |
| 18       | D34                       | I/O   | データ/ポート        |      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      |
| 19       | D44                       | I/O   | データ/ポート        |      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      |
| 20       | D35                       | I/O   | データ/ポート        |      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      |
| 21       | VDDQ                      | Power | IO VDD (3.3V)  |      |                            |                            |                            |                            |                            |
| 22       | VSSQ                      | Power | IO GND (0V)    |      |                            |                            |                            |                            |                            |
| 23       | D43                       | I/O   | データ/ポート        |      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      |
| 24       | D36                       | I/O   | データ/ポート        |      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      |
| 25       | D42                       | I/O   | データ/ポート        |      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      |
| 26       | D37                       | I/O   | データ/ポート        |      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      |
| 27       | D41                       | I/O   | データ/ポート        |      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      |
| 28       | D38                       | I/O   | データ/ポート        |      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      |
| 29       | D40                       | I/O   | データ/ポート        |      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      |
| 30       | D39                       | I/O   | データ/ポート        |      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      | (ポート)                      |
| 31       | VDDQ                      | Power | I/O VDD (3.3V) |      |                            |                            |                            |                            |                            |
| 32       | VSSQ                      | Power | I/O GND (0V)   |      |                            |                            |                            |                            |                            |
| 33       | D15                       | I/O   | データ            |      |                            |                            |                            |                            | A15                        |
| 34       | D0                        | I/O   | データ            |      |                            |                            |                            |                            | A0                         |
| 35       | D14                       | I/O   | データ            |      |                            |                            |                            |                            | A14                        |
| 36       | D1                        | I/O   | データ            |      |                            |                            |                            |                            | A1                         |
| 37       | D13                       | I/O   | データ            |      |                            |                            |                            |                            | A13                        |
| 38       | D2                        | I/O   | データ            |      |                            |                            |                            |                            | A2                         |
| 39       | VDD                       | Power | 内部 VDD (1.8V)  |      |                            |                            |                            |                            |                            |
| 40       | VSS                       | Power | 内部 GND (0V)    |      |                            |                            |                            |                            |                            |

## 22. ピン配置図

表 22.2 端子機能 (2)

| 端子<br>番号 | 端子名               | I/O   | 機能               | リセット | メモリンタフェース |      |       |        |     |
|----------|-------------------|-------|------------------|------|-----------|------|-------|--------|-----|
|          |                   |       |                  |      | SRAM      | DRAM | SDRAM | PCMCIA | MPX |
| 41       | D12               | I/O   | データ              |      |           |      |       |        | A12 |
| 42       | D3                | I/O   | データ              |      |           |      |       |        | A3  |
| 43       | VDDQ              | Power | IO VDD (3.3V)    |      |           |      |       |        |     |
| 44       | VSSQ              | Power | IO GND (0V)      |      |           |      |       |        |     |
| 45       | D11               | I/O   | データ              |      |           |      |       |        | A11 |
| 46       | D4                | I/O   | データ              |      |           |      |       |        | A4  |
| 47       | D10               | I/O   | データ              |      |           |      |       |        | A10 |
| 48       | D5                | I/O   | データ              |      |           |      |       |        | A5  |
| 49       | D9                | I/O   | データ              |      |           |      |       |        | A9  |
| 50       | D6                | I/O   | データ              |      |           |      |       |        | A6  |
| 51       | BACK/<br>BSREQ    | O     | バス権認識 /<br>バス権要求 |      |           |      |       |        |     |
| 52       | BREQ/<br>BSACK    | I     | バス権要求 /<br>バス権認識 |      |           |      |       |        |     |
| 53       | D8                | I/O   | データ              |      |           |      |       |        | A8  |
| 54       | D7                | I/O   | データ              |      |           |      |       |        | A7  |
| 55       | CKE               | O     | クロック出力可能         |      |           |      | CKE   |        |     |
| 56       | VDDQ              | Power | IO VDD (3.3V)    |      |           |      |       |        |     |
| 57       | VSSQ              | Power | IO GND (0V)      |      |           |      |       |        |     |
| 58       | WE5/CAS5/<br>DQM5 | O     | D47-D40 選択信号     |      | WE5       | CAS5 | DQM5  |        |     |
| 59       | WE4/CAS4/<br>DQM4 | O     | D39-D32 選択信号     |      | WE4       | CAS4 | DQM4  |        |     |
| 60       | WE1/CAS1/<br>DQM1 | O     | D15-D8 選択信号      |      | WE1       | CAS1 | DQM1  | WE1    |     |
| 61       | WE0/CAS0/<br>DQM0 | O     | D7-D0 選択信号       |      | WE0       | CAS0 | DQM0  |        |     |
| 62       | A17               | O     | アドレス             |      |           |      |       |        |     |
| 63       | A16               | O     | アドレス             |      |           |      |       |        |     |
| 64       | A15               | O     | アドレス             |      |           |      |       |        |     |
| 65       | VDD               | Power | 内部 VDD (1.8V)    |      |           |      |       |        |     |
| 66       | VSS               | Power | 内部 GND (0V)      |      |           |      |       |        |     |
| 67       | A14               | O     | アドレス             |      |           |      |       |        |     |
| 68       | A13               | O     | アドレス             |      |           |      |       |        |     |
| 69       | VDDQ              | Power | IO VDD (3.3V)    |      |           |      |       |        |     |
| 70       | VSSQ              | Power | IO GND (0V)      |      |           |      |       |        |     |
| 71       | A12               | O     | アドレス             |      |           |      |       |        |     |
| 72       | A11               | O     | アドレス             |      |           |      |       |        |     |
| 73       | A10               | O     | アドレス             |      |           |      |       |        |     |
| 74       | A9                | O     | アドレス             |      |           |      |       |        |     |
| 75       | A8                | O     | アドレス             |      |           |      |       |        |     |
| 76       | A7                | O     | アドレス             |      |           |      |       |        |     |
| 77       | CKIO              | O     | クロック出力           |      |           |      | CKIO  |        |     |

表 22.2 端子機能 (3)

| 端子<br>番号 | 端子名   | I/O   | 機能                      | リセット | メモリーインタフェース             |                          |                          |                           |                           |
|----------|---|-------|-------------------------|------|-------------------------|--------------------------|--------------------------|---------------------------|---------------------------|
|          |   |       |                         |      | SRAM                    | DRAM                     | SDRAM                    | PCMCIA                    | MPX                       |
| 78       | VDDQ  | Power | IO VDD (3.3V)           |      |                         |                          |                          |                           |                           |
| 79       | VSSQ  | Power | IO GND (0V)             |      |                         |                          |                          |                           |                           |
| 80       | A6  | O     | アドレス                    |      |                         |                          |                          |                           |                           |
| 81       | A5  | O     | アドレス                    |      |                         |                          |                          |                           |                           |
| 82       | A4  | O     | アドレス                    |      |                         |                          |                          |                           |                           |
| 83       | A3  | O     | アドレス                    |      |                         |                          |                          |                           |                           |
| 84       | A2  | O     | アドレス                    |      |                         |                          |                          |                           |                           |
| 85       | DRAK1   | O     | DMAC1 要求認識              |      |                         |                          |                          |                           |                           |
| 86       | DRAK0   | O     | DMAC0 要求認識              |      |                         |                          |                          |                           |                           |
| 87       | VDDQ  | Power | IO VDD (3.3V)           |      |                         |                          |                          |                           |                           |
| 88       | VSSQ  | Power | IO GND (0V)             |      |                         |                          |                          |                           |                           |
| 89       | $\overline{\text{CS3}}$   | O     | チップ選択 3                 |      | $\overline{\text{CS3}}$ | (CS3)                    | $\overline{\text{CS3}}$  |                           | $\overline{\text{CS3}}$   |
| 90       | $\overline{\text{CS2}}$   | O     | チップ選択 2                 |      | $\overline{\text{CS2}}$ | (CS2)                    | $\overline{\text{CS2}}$  |                           | $\overline{\text{CS2}}$   |
| 91       | VDD   | Power | 内部 VDD (1.8V)           |      |                         |                          |                          |                           |                           |
| 92       | VSS   | Power | 内部 GND (0V)             |      |                         |                          |                          |                           |                           |
| 93       | $\overline{\text{RAS}}$   | O     | $\overline{\text{RAS}}$ |      |                         | $\overline{\text{RAS}}$  | $\overline{\text{RAS}}$  |                           |                           |
| 94       | RD/CAS/<br>FRAME  | O     | リード/CAS/FRAME           |      | $\overline{\text{OE}}$  |                          | $\overline{\text{CAS}}$  | $\overline{\text{OE}}$    | $\overline{\text{FRAME}}$ |
| 95       | RD/WR   | O     | 読み出し/書き込み               |      |                         | RD/WR                    | RD/WR                    |                           | RD/WR                     |
| 96       | $\overline{\text{WE2/CAS2/}}$<br>$\overline{\text{DQM2/}}$<br>$\overline{\text{ICIOR}}$ | O     | D23-D16 選択信号            |      | $\overline{\text{WE2}}$ | $\overline{\text{CAS2}}$ | $\overline{\text{DQM2}}$ | $\overline{\text{ICIOR}}$ |                           |
| 97       | $\overline{\text{WE3/CAS3/}}$<br>$\overline{\text{DQM3/}}$<br>$\overline{\text{ICIOR}}$ | O     | D31-D24 選択信号            |      | $\overline{\text{WE3}}$ | $\overline{\text{CAS3}}$ | $\overline{\text{DQM3}}$ | $\overline{\text{ICIOR}}$ |                           |
| 98       | $\overline{\text{WE6/CAS6/}}$<br>$\overline{\text{DQM6}}$                               | O     | D55-D48 選択信号            |      | $\overline{\text{WE6}}$ | $\overline{\text{CAS6}}$ | $\overline{\text{DQM6}}$ |                           |                           |
| 99       | VDDQ  | Power | IO VDD (3.3V)           |      |                         |                          |                          |                           |                           |
| 100      | VSSQ  | Power | IO GND (0V)             |      |                         |                          |                          |                           |                           |
| 101      | $\overline{\text{WE7/CAS7/}}$<br>$\overline{\text{DQM7/REG}}$                           | O     | D63-D56 選択信号            |      | $\overline{\text{WE7}}$ | $\overline{\text{CAS7}}$ | $\overline{\text{DQM7}}$ | $\overline{\text{REG}}$   |                           |
| 102      | D23   | I/O   | データ                     |      |                         |                          |                          |                           | A23                       |
| 103      | D24   | I/O   | データ                     |      |                         |                          |                          |                           | A24                       |
| 104      | D22   | I/O   | データ                     |      |                         |                          |                          |                           | A22                       |
| 105      | RXD   | I     | SCI データ入力               |      |                         |                          |                          |                           |                           |
| 106      | DREQ0   | I     | DMAC0 からの要求             |      |                         |                          |                          |                           |                           |
| 107      | DREQ1   | I     | DMAC1 からの要求             |      |                         |                          |                          |                           |                           |
| 108      | D25   | I/O   | データ                     |      |                         |                          |                          |                           | A25                       |
| 109      | D21   | I/O   | データ                     |      |                         |                          |                          |                           | A21                       |
| 110      | D26   | I/O   | データ                     |      |                         |                          |                          |                           |                           |
| 111      | D20   | I/O   | データ                     |      |                         |                          |                          |                           | A20                       |
| 112      | D27   | I/O   | データ                     |      |                         |                          |                          |                           |                           |
| 113      | VDDQ  | Power | IO VDD (3.3V)           |      |                         |                          |                          |                           |                           |
| 114      | VSSQ  | Power | IO GND (0V)             |      |                         |                          |                          |                           |                           |

## 22. ピン配置図

表 22.2 端子機能 (4)

| 端子<br>番号 | 端子名      | I/O   | 機能                 | リセット | メモリーインタフェース |      |       |        |          |
|----------|----------|-------|--------------------|------|-------------|------|-------|--------|----------|
|          |          |       |                    |      | SRAM        | DRAM | SDRAM | PCMCIA | MPX      |
| 115      | D19      | I/O   | データ                |      |             |      |       |        | A19      |
| 116      | D28      | I/O   | データ                |      |             |      |       |        |          |
| 117      | VDD      | Power | 内部 VDD (1.8V)      |      |             |      |       |        |          |
| 118      | VSS      | Power | 内部 GND (0V)        |      |             |      |       |        |          |
| 119      | D18      | I/O   | データ                |      |             |      |       |        | A18      |
| 120      | D29      | I/O   | データ                |      |             |      |       |        |          |
| 121      | D17      | I/O   | データ                |      |             |      |       |        | A17      |
| 122      | D30      | I/O   | データ                |      |             |      |       |        |          |
| 123      | D16      | I/O   | データ                |      |             |      |       |        | A16      |
| 124      | D31      | I/O   | データ                |      |             |      |       |        |          |
| 125      | VDDQ     | Power | IO VDD (3.3V)      |      |             |      |       |        |          |
| 126      | VSSQ     | Power | IO GND (0V)        |      |             |      |       |        |          |
| 127      | D55      | I/O   | データ                |      |             |      |       |        |          |
| 128      | D56      | I/O   | データ                |      |             |      |       |        |          |
| 129      | D54      | I/O   | データ                |      |             |      |       |        |          |
| 130      | D57      | I/O   | データ                |      |             |      |       |        |          |
| 131      | D53      | I/O   | データ                |      |             |      |       |        |          |
| 132      | D58      | I/O   | データ                |      |             |      |       |        |          |
| 133      | D52      | I/O   | データ                |      |             |      |       |        |          |
| 134      | D59      | I/O   | データ                |      |             |      |       |        |          |
| 135      | VDDQ     | Power | IO VDD (3.3V)      |      |             |      |       |        |          |
| 136      | VSSQ     | Power | IO GND (0V)        |      |             |      |       |        |          |
| 137      | D51      | I/O   | データ                |      |             |      |       |        |          |
| 138      | D60      | I/O   | データ                |      |             |      |       |        |          |
| 139      | D50      | I/O   | データ                |      |             |      |       |        |          |
| 140      | D61      | I/O   | データ                |      |             |      |       |        | ACCSIZE0 |
| 141      | D49      | I/O   | データ                |      |             |      |       |        |          |
| 142      | D62      | I/O   | データ                |      |             |      |       |        | ACCSIZE1 |
| 143      | VDD      | Power | 内部 VDD (1.8V)      |      |             |      |       |        |          |
| 144      | VSS      | Power | 内部 GND (0V)        |      |             |      |       |        |          |
| 145      | D48      | I/O   | データ                |      |             |      |       |        |          |
| 146      | D63      | I/O   | データ                |      |             |      |       |        | ACCSIZE2 |
| 147      | VDDQ     | Power | IO VDD (3.3V)      |      |             |      |       |        |          |
| 148      | VSSQ     | Power | IO GND (0V)        |      |             |      |       |        |          |
| 149      | MD0/SCK  | I/O   | モード/SCI クロック       | MD0  | SCK         | SCK  | SCK   | SCK    | SCK      |
| 150      | MD1/TXD2 | I/O   | モード/SCIF データ<br>出力 | MD1  | TXD2        | TXD2 | TXD2  | TXD2   | TXD2     |
| 151      | MD2/RXD2 | I     | モード/SCIF データ<br>入力 | MD2  | RXD2        | RXD2 | RXD2  | RXD2   | RXD2     |
| 152      | IRL0     | I     | 割り込み 0             |      |             |      |       |        |          |
| 153      | IRL1     | I     | 割り込み 1             |      |             |      |       |        |          |
| 154      | IRL2     | I     | 割り込み 2             |      |             |      |       |        |          |
| 155      | IRL3     | I     | 割り込み 3             |      |             |      |       |        |          |

表 22.2 端子機能 (5)

| 端子<br>番号 | 端子名             | I/O   | 機能                   | リセット   | メモリーインタフェース |      |       |        |      |
|----------|-----------------|-------|----------------------|--------|-------------|------|-------|--------|------|
|          |                 |       |                      |        | SRAM        | DRAM | SDRAM | PCMCIA | MPX  |
| 156      | NMI             | I     | ノンマスクابل割り込み         |        |             |      |       |        |      |
| 157      | XTAL2           | O     | RTC 水晶発振子端子          |        |             |      |       |        |      |
| 158      | EXTAL2          | I     | RTC 水晶発振子端子          |        |             |      |       |        |      |
| 159      | VSS-RTC         | Power | RTC GND (0V)         |        |             |      |       |        |      |
| 160      | VDD-RTC         | Power | RTC VDD (3.3V)       |        |             |      |       |        |      |
| 161      | Reserved        | I     | 3.3V にプルアップしてください    |        |             |      |       |        |      |
| 162      | VSS             | Power | 内部 GND (0V)          |        |             |      |       |        |      |
| 163      | VDDQ            | Power | IO VDD (3.3V)        |        |             |      |       |        |      |
| 164      | CTS2            | I/O   | SCIF データ制御 (CTS)     |        |             |      |       |        |      |
| 165      | TCLK            | I/O   | RTC/TMU クロック         |        |             |      |       |        |      |
| 166      | MD8/RTS2        | I/O   | モード/SCIF データ制御 (RTS) | MD8    | RTS2        | RTS2 | RTS2  | RTS2   | RTS2 |
| 167      | MD7/TXD         | I/O   | モード/SCI データ出力        | MD7    | TXD         | TXD  | TXD   | TXD    | TXD  |
| 168      | SCK2/<br>MRESET | I     | SCIF クロック/マニュアルリセット  | MRESET | SCK2        | SCK2 | SCK2  | SCK2   | SCK2 |
| 169      | VDD             | Power | 内部 VDD (1.8V)        |        |             |      |       |        |      |
| 170      | VSS             | Power | 内部 GND (0V)          |        |             |      |       |        |      |
| 171      | A18             | O     | アドレス                 |        |             |      |       |        |      |
| 172      | A19             | O     | アドレス                 |        |             |      |       |        |      |
| 173      | A20             | O     | アドレス                 |        |             |      |       |        |      |
| 174      | A21             | O     | アドレス                 |        |             |      |       |        |      |
| 175      | A22             | O     | アドレス                 |        |             |      |       |        |      |
| 176      | A23             | O     | アドレス                 |        |             |      |       |        |      |
| 177      | VDDQ            | Power | IO VDD (3.3V)        |        |             |      |       |        |      |
| 178      | VSSQ            | Power | IO GND (0V)          |        |             |      |       |        |      |
| 179      | A24             | O     | アドレス                 |        |             |      |       |        |      |
| 180      | A25             | O     | アドレス                 |        |             |      |       |        |      |
| 181      | MD3/CE2A        | I/O   | モード/PCMCIA-CE        | MD3    |             |      |       | CE2A   |      |
| 182      | MD4/CE2B        | I/O   | モード/PCMCIA-CE        | MD4    |             |      |       | CE2B   |      |
| 183      | MD5/RAS2        | I/O   | モード/RAS (DRAM)       | MD5    |             | RAS2 |       |        |      |
| 184      | DACK0           | O     | DMAC0 バス認識           |        |             |      |       |        |      |
| 185      | DACK1           | O     | DMAC1 バス認識           |        |             |      |       |        |      |
| 186      | A0              | O     | アドレス                 |        |             |      |       |        |      |
| 187      | VDDQ            | Power | IO VDD (3.3V)        |        |             |      |       |        |      |
| 188      | VSSQ            | Power | IO GND (0V)          |        |             |      |       |        |      |
| 189      | A1              | O     | アドレス                 |        |             |      |       |        |      |
| 190      | STATUS0         | O     | ステータス                |        |             |      |       |        |      |
| 191      | STATUS1         | O     | ステータス                |        |             |      |       |        |      |
| 192      | MD6/IOIS16      | I     | モード/IOIS16 (PCMCIA)  | MD6    |             |      |       | IOIS16 |      |



## 22. ピン配置図

表 22.2 端子機能 (6)

| 端子<br>番号 | 端子名                      | I/O   | 機能                                    | リセット | メモリーインタフェース |      |       |        |     |
|----------|--------------------------|-------|---------------------------------------|------|-------------|------|-------|--------|-----|
|          |                          |       |                                       |      | SRAM        | DRAM | SDRAM | PCMCIA | MPX |
| 193      | ASEBRK/<br>BRKACK        | I/O   | 端子ブレーク / アク<br>ノリッジ (Hitachi-<br>UDI) |      |             |      |       |        |     |
| 194      | TDO                      | O     | データアウト<br>(Hitachi-UDI)               |      |             |      |       |        |     |
| 195      | VDD                      | Power | 内部 VDD (1.8V)                         |      |             |      |       |        |     |
| 196      | VSS                      | Power | 内部 GND (0V)                           |      |             |      |       |        |     |
| 197      | TMS                      | I     | モード (Hitachi-<br>UDI)                 |      |             |      |       |        |     |
| 198      | TCK                      | I     | クロック (Hitachi-<br>UDI)                |      |             |      |       |        |     |
| 199      | TDI                      | I     | データイン (Hitachi-<br>UDI)               |      |             |      |       |        |     |
| 200      | $\overline{\text{TRST}}$ | I     | リセット (Hitachi-<br>UDI)                |      |             |      |       |        |     |
| 201      | VDD-PLL2                 | Power | PLL2 VDD (3.3V)                       |      |             |      |       |        |     |
| 202      | VSS-PLL2                 | Power | PLL2 GND (0V)                         |      |             |      |       |        |     |
| 203      | VDD-PLL1                 | Power | PLL1 VDD (3.3V)                       |      |             |      |       |        |     |
| 204      | VSS-PLL1                 | Power | PLL1 GND (0V)                         |      |             |      |       |        |     |
| 205      | VDD-CPG                  | Power | CPG VDD (3.3V)                        |      |             |      |       |        |     |
| 206      | VSS-CPG                  | Power | CPG GND (0V)                          |      |             |      |       |        |     |
| 207      | XTAL                     | O     | 水晶発振子                                 |      |             |      |       |        |     |
| 208      | EXTAL                    | I     | 外部入力クロック /<br>水晶発振子                   |      |             |      |       |        |     |

I : 入力

O : 出力

I/O : 入出力

Power : 電源

- 【注】
1. VDDQ(3.3V)、VSSQ、VDD(1.8V)、VSS 端子はすべてシステム電源に接続してください。電源は継続して供給してください。RTC のみを動作させる場合(スタンバイモード時)でも、VDD-RTC、VSS-RTC と同様、VDDQ、VSSQ、VDD、VSS 端子にもすべて電源を供給してください。
  2. 内蔵 PLL の使用の有無に関わらず、VDD-PLL1/2、VSS-PLL1/2 に電源を供給してください。
  3. 内蔵水晶発振子の使用の有無に関わらず、VDD-CPG、VSS-CPG に電源を供給してください。
  4. 内蔵 RTC の使用の有無に関わらず、VDD-RTC、VSS-RTC に電源を供給してください。
  5. QFP パッケージの場合には、VSSQ、VSS、VSS-RTC、VSS-PLL1/2、VSS-CPG はパッケージの中で接続されていません。
  6. QFP パッケージの場合には、 $\overline{\text{RD2}}$ 、 $\text{RD}/\overline{\text{WR2}}$ 、 $\text{CKIO2}$ 、 $\overline{\text{CKIO2ENB}}$  端子はありません。
  7. QFP パッケージの場合には、外部バスの動作周波数の最大は 83MHz です。

---

## 23. 電気的特性

---

### 23.1 絶対最大定格

表 23.1 絶対最大定格

| 項目               | 記号   | 定格値                    | 単位 |
|------------------|--|------------------------|----|
| I/O、PLL、RTC 電源電圧 | $V_{DDQ}$<br>$V_{DD-PLL1/2}$<br>$V_{DD-RTC}$<br>$V_{DD-CPG}$ | -0.3 ~ 4.2             | V  |
| 内部電源電圧           | $V_{DD}$   | -0.3 ~ 2.5             | V  |
| 入力電圧             | $V_{in}$   | -0.3 ~ $V_{DDQ} + 0.3$ | V  |
| 動作温度             | $T_{opr}$  | -20 ~ 75               |    |
| 保存温度             | $T_{stg}$  | -55 ~ 125              |    |

【注】 最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

$V_{DD}$  (1.8V) は、 $V_{DDQ}$ 、 $V_{DD-PLL1/2}$ 、 $V_{DD-RTC}$ 、 $V_{DD-CPG}$  (3.3V) が入力された後に入力してください。

## 23.2 DC 特性

表 23.2 DC 特性 (Ta = -20 ~ 75 °C)

| 項目      |                                   | 記号  | Min                  | Typ               | Max                  | 単位 | 測定条件   |
|---------|-----------------------------------|---|----------------------|-------------------|----------------------|----|--|
| 電源電圧    |                                   | $V_{DDQ}$                                       | 3.0                  | 3.3               | 3.6                  | V  | ノーマルモード時<br>スリープモード時<br>スタンバイモード時  |
|         |                                   | $V_{DD-PLL1/2}$<br>$V_{DD-CPG}$<br>$V_{DD-RTC}$ |                      |                   |                      |    |  |
| 消費電流    | 通常動作                              | $I_{DD}$  | —                    | 840 <sup>*1</sup> | —                    | mA | $V_{DDQ}, V_{DD-PLL1/2}, V_{DD-RTC}, V_{DD-CPG}=3.3V$<br>$V_{DD}=1.8V$<br><sup>*1</sup> f=200MHz                           |
|         |                                   |   | —                    | 420 <sup>*2</sup> | —                    |    | <sup>*2</sup> f=100MHz   |
|         |                                   |   | —                    | 210 <sup>*3</sup> | —                    |    | <sup>*3</sup> f=50MHz  |
|         | スリープモード時                          |   | —                    | 150 <sup>*1</sup> | —                    | μA | Ta = 25 (RTC on)   |
|         |                                   |   | —                    | 80 <sup>*2</sup>  | —                    |    | Ta > 50 (RTC on)   |
|         |                                   |   | —                    | 40 <sup>*3</sup>  | —                    |    | Ta = 25 (RTC off)  |
|         | スタンバイモード時                         |   | —                    | TBD               | —                    | μA | Ta > 50 (RTC off)  |
|         |                                   |   | —                    | TBD               | —                    |    |  |
|         |                                   |   | —                    | 2000              | —                    |    |  |
|         |                                   |   | —                    | TBD               | —                    |    |  |
| 消費電流    | 通常動作                              | $I_{DDQ}$                                       | —                    | 160 <sup>*1</sup> | —                    | mA | $V_{DDQ}, V_{DD-PLL1/2}, V_{DD-RTC}, V_{DD-CPG}=3.3V$<br>$V_{DD}=1.8V$<br><sup>*1</sup> f=200MHz, t <sub>cyc</sub> =100MHz |
|         |                                   |   | —                    | 80 <sup>*2</sup>  | —                    |    | <sup>*2</sup> f=100MHz, t <sub>cyc</sub> =50MHz  |
|         |                                   |   | —                    | 40 <sup>*3</sup>  | —                    |    | <sup>*3</sup> f=50MHz, t <sub>cyc</sub> =25MHz   |
|         | スリープモード時                          |   | —                    | 40 <sup>*1</sup>  | —                    | μA | Ta = 25 (RTC on)   |
|         |                                   |   | —                    | 20 <sup>*2</sup>  | —                    |    | Ta > 50 (RTC on)   |
|         |                                   |   | —                    | 10 <sup>*3</sup>  | —                    |    | Ta = 25 (RTC off)  |
|         | スタンバイモード時                         |   | —                    | TBD               | —                    | μA | Ta > 50 (RTC off)  |
|         |                                   |   | —                    | TBD               | —                    |    |  |
|         |                                   |   | —                    | TBD               | —                    |    |  |
|         |                                   |   | —                    | TBD               | —                    |    |  |
| 入力電圧    | RESET, NMI, TRST, ASEBRK / BRKACK | $V_{IH}$  | $V_{DDQ} \times 0.9$ | —                 | $V_{DDQ} + 0.3$      | V  |  |
|         | その他入力端子                           |   | 2.0                  | —                 | $V_{DDQ} + 0.3$      |    |  |
|         | RESET, NMI, TRST, ASEBRK / BRKACK | $V_{IL}$  | -0.3                 | —                 | $V_{DDQ} \times 0.1$ |    |  |
|         | その他入力端子                           |   | -0.3                 | —                 | $V_{DDQ} \times 0.2$ |    |  |
| 出力電圧    | 全出力端子                             | $V_{OH}$  | 2.4                  | —                 | —                    | V  |  |
|         |                                   | $V_{OL}$  | —                    | —                 | 0.55                 |    |  |
| プルアップ抵抗 | ポート端子                             | $R_{pull}$                                      | 20                   | 60                | 180                  | kΩ |  |
| 端子容量    | 全端子                               | $C_L$   | —                    | —                 | 10                   | pF |  |

- 【注】 1. PLL や RTC の使用の有無に関わらず、VDD-PLL1/2, VDD-RTC, VDD-CPG を VDDQ に、VSS-CPG, VSS-PLL1/2, VSS-RTC は GND に接続してください。
2. 消費電流値は  $V_{IH\ min}=V_{DDQ}-0.5\ V$ ,  $V_{IL\ max}=0.5\ V$  の条件で、すべての出力端子を無負荷状態にした場合の値です。
3. スタンバイモード時にリーク電流を下げるためには、RTC をオンにする必要があります。

4.  $I_{DDQ}$  は VDDQ、VDD-PLL1/2、VDD-RTC、VDD-CPG の 3.3V 系の電流の合計値です。

表 23.3 出力許容電流値 (Ta= -20 ~ 75 )

| 項目                    | 記号                 | Min | Typ | Max | 単位 |
|-----------------------|--------------------|-----|-----|-----|----|
| 出力ローレベル許容電流 (1 端子あたり) | $I_{OL}$           | —   | —   | 2   | mA |
| 出力ローレベル許容電流 (総和)      | $\Sigma I_{OL}$    | —   | —   | 120 |    |
| 出力ハイレベル許容電流 (1 端子)    | $-I_{OH}$          | —   | —   | 2   |    |
| 出力ハイレベル許容電流 (総和)      | $\Sigma (-I_{OH})$ | —   | —   | 40  |    |

【注】 LSI の信頼性を確保するため、出力電流値は表 23.3 の値を超えないようにしてください。

## 23.3 AC 特性

本 LSI の入力は、原則としてクロック同期入力です。特に断わりがないかぎり、各入力信号のセットアップ・ホールド時間は必ず守ってください。

表 23.4 クロックタイミング

| 項目    |                      | 記号 | Min | Typ | Max | 単位  | 備考 |
|-------|----------------------|----|-----|-----|-----|-----|----|
| 動作周波数 | CPU, FPU, キャッシュ, TLB | f  | 1   | —   | 200 | MHz |    |
|       | 外部バス                 |    | 1   | —   | 100 |     |    |
|       | 周辺モジュール              |    | 1   | —   | 50  |     |    |

## 23. 電気的特性

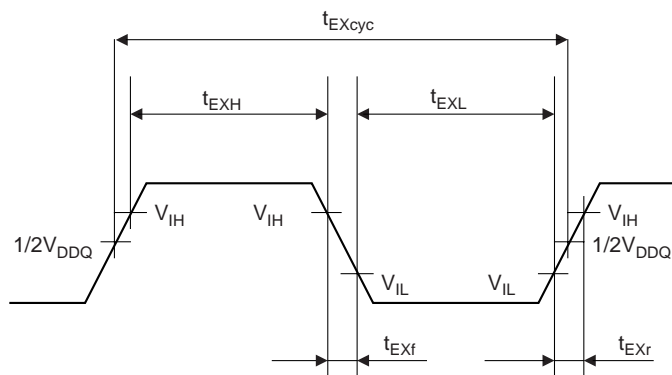
### 23.3.1 クロック・制御信号タイミング

表 23.5 クロック・制御信号タイミング

( $V_{DD0}=3.0 \sim 3.6V$ ,  $V_{DD}=1.8V$  typ,  $T_a=-20 \sim +75$ ,  $C_L=30pF$ )

| 項目                                   |                 |               | 記号                  | Min | Max  | 単位               | 参照図                           |
|--------------------------------------|-----------------|---------------|---------------------|-----|------|------------------|-------------------------------|
| EXTAL<br>クロック入力周<br>波数               | PLL1,2 動作時      | 1/2 div. 動作時  | f <sub>EX</sub>     | 16  | 66.7 | MHz              |                               |
|                                      |                 | 1/2 div. 非動作時 |                     | 8   | 33.3 |                  |                               |
|                                      | PLL1,2 非動作<br>時 | 1/2 div. 動作時  |                     | 2   | 66.7 |                  |                               |
|                                      |                 | 1/2 div. 非動作時 |                     | 1   | 33.3 |                  |                               |
| EXTAL クロックインプットサイクルタイム               |                 |               | t <sub>EXOyc</sub>  | 15  | 1000 | ns               | 23.1                          |
| EXTAL クロックインプットローレベルパルス幅             |                 |               | t <sub>EXL</sub>    | 3.5 | -    | ns               | 23.1                          |
| EXTAL クロックインプットハイレベルパルス幅             |                 |               | t <sub>EXH</sub>    | 3.5 | -    | ns               | 23.1                          |
| EXTAL クロック出力立ち上がり時間                  |                 |               | t <sub>EXr</sub>    | -   | 4    | ns               | 23.1                          |
| EXTAL クロック入力立ち下がり時間                  |                 |               | t <sub>EXf</sub>    | -   | 4    | ns               | 23.1                          |
| CKIO クロック出力                          | PLL2 動作時        |               | f <sub>OP</sub>     | 25  | 100  | MHz              |                               |
|                                      | PLL2 非動作時       |               |                     | 1   | 100  | MHz              |                               |
| CKIO クロック出力サイクルタイム                   |                 |               | t <sub>Oyc</sub>    | 10  | 1000 | ns               | 23.2                          |
| CKIO クロック出力ローレベルパルス幅                 |                 |               | t <sub>CKOL</sub>   | 1   | -    | ns               | 23.2                          |
| CKIO クロック出力ハイレベルパルス幅                 |                 |               | t <sub>CKOH</sub>   | 1   | -    | ns               | 23.2                          |
| CKIO クロック出力立ち上がり時間                   |                 |               | t <sub>CKOr</sub>   | -   | 4    | ns               | 23.2                          |
| CKIO クロック出力立ち下がり時間                   |                 |               | t <sub>CKOf</sub>   | -   | 4    | ns               | 23.2                          |
| パワーオン発振安定時間                          |                 |               | t <sub>OSC1</sub>   | 10  | -    | ms               | 23.3、23.5                     |
| パワーオン発振安定時間 / モード安定                  |                 |               | t <sub>OSCMD</sub>  | 10  | -    | ms               | 23.3、23.5                     |
| SCK2 リセットセットアップ時間                    |                 |               | t <sub>SCK2RS</sub> | 20  | -    | ns               | 23.11                         |
| SCK2 リセットホールド時間                      |                 |               | t <sub>SCK2RH</sub> | 20  | -    | ns               | 23.3、23.5、23.11               |
| MD リセットセットアップ時間                      |                 |               | t <sub>MDRS</sub>   | 3   | -    | t <sub>cyc</sub> | 23.12                         |
| MD リセットホールド時間                        |                 |               | t <sub>MDRH</sub>   | 20  | -    | ns               | 23.3、23.5、23.12               |
| RESET アサート時間                         |                 |               | t <sub>RESW</sub>   | 20  | -    | t <sub>cyc</sub> | 23.3、23.4、23.5、<br>23.6、23.11 |
| PLL 同期安定化時間                          |                 |               | t <sub>PLL</sub>    | 200 | -    | μ s              | 23.9、23.10                    |
| スタンバイ復帰発振安定時間 1                      |                 |               | t <sub>OSC2</sub>   | 10  | -    | ms               | 23.4、23.6                     |
| スタンバイ復帰発振安定時間 2                      |                 |               | t <sub>OSC3</sub>   | 5   | -    | ms               | 23.7                          |
| スタンバイ復帰発振安定時間 3                      |                 |               | t <sub>OSC4</sub>   | 5   | -    | ms               | 23.8                          |
| IRL 割り込み判定時間<br>( RTC 使用&スタンバイモード時 ) |                 |               | t <sub>IRLSTB</sub> | -   | 200  | μ s              | 23.10                         |
| TRST リセットホールド時間                      |                 |               | t <sub>TRSTPH</sub> | 0   | -    | ns               | 23.3、23.5                     |

【注】 水晶発振子が EXTAL と XTAL に接続されているとき、最大周波数 33.3MHz になります。また、3 次オバートーン水晶発振子を使用する場合には、外付け回路として、タンク回路が必要になります。



【注】EXTAL端子からクロック入力する場合

図 23.1 EXTERNAL クロック入力タイミング

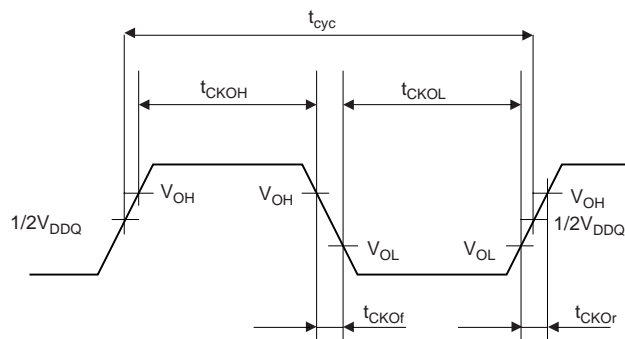


図 23.2 CKIO クロック出力タイミング

## 23. 電気的特性

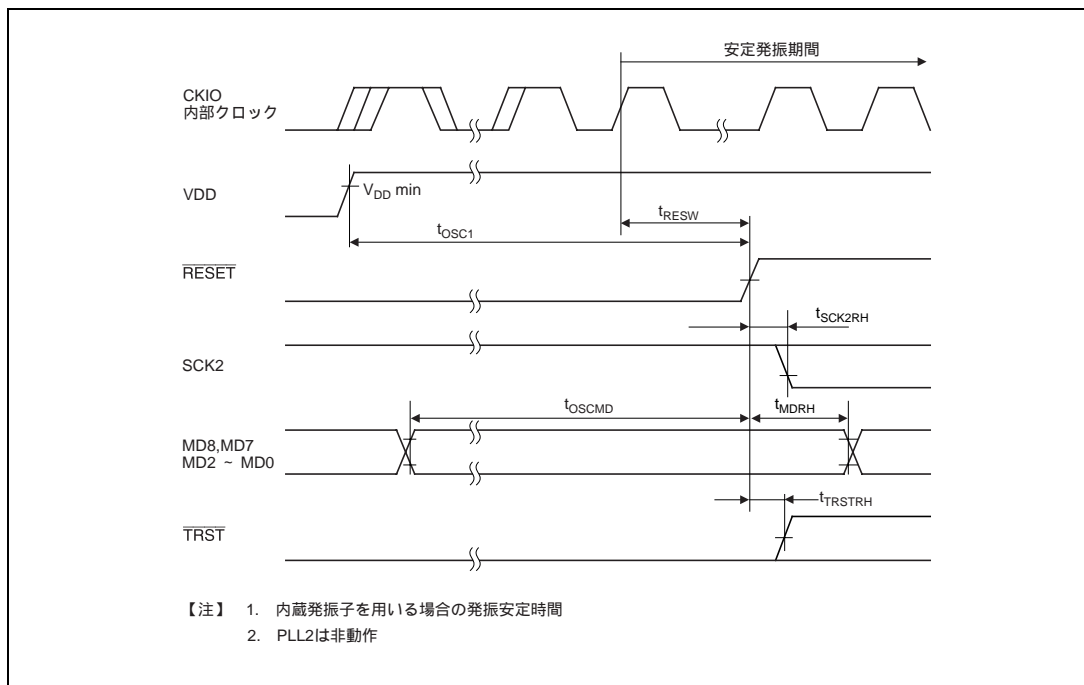


図 23.3 パワーオン発振安定時間

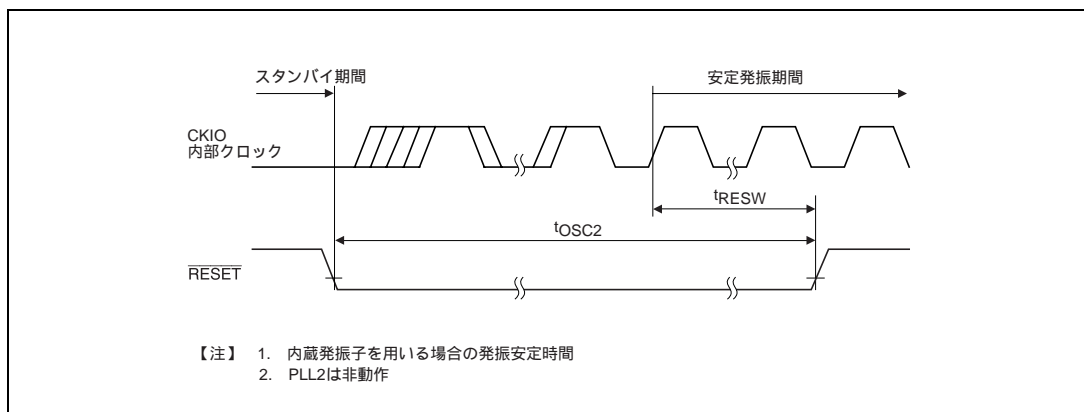


図 23.4 スタンバイ復帰時発振安定時間 (RESET による復帰)

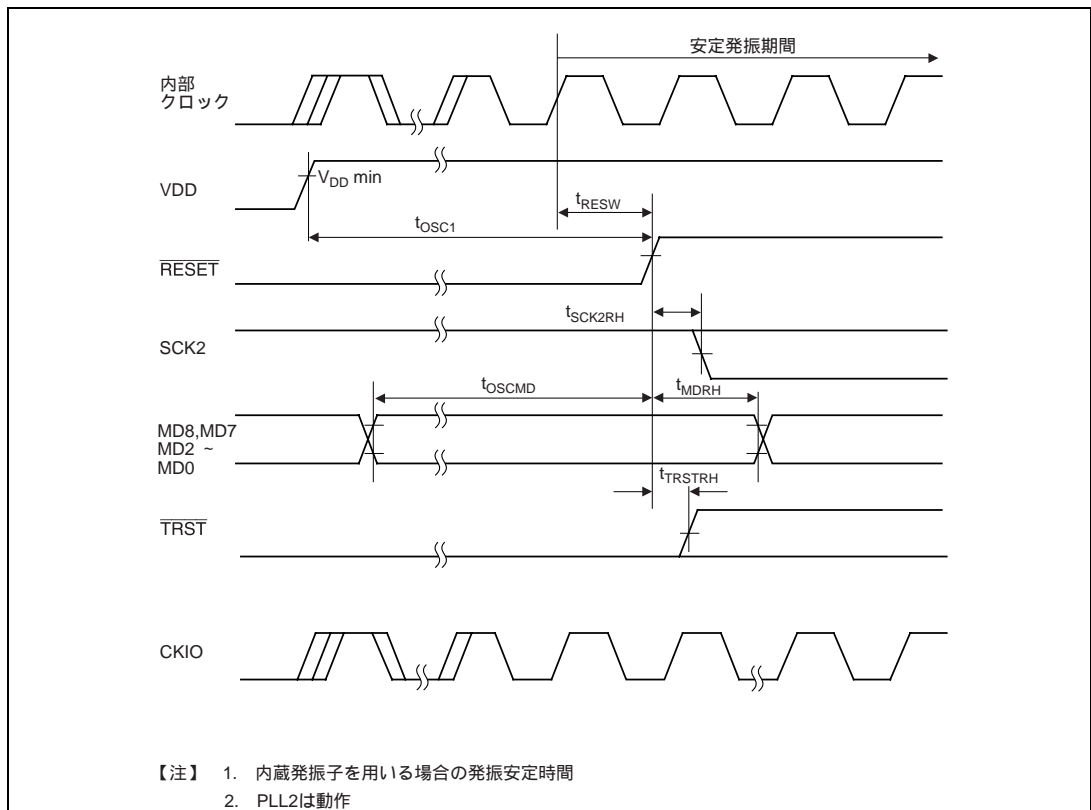


図 23.5 パワーオン時発振安定時間



## 23. 電気的特性

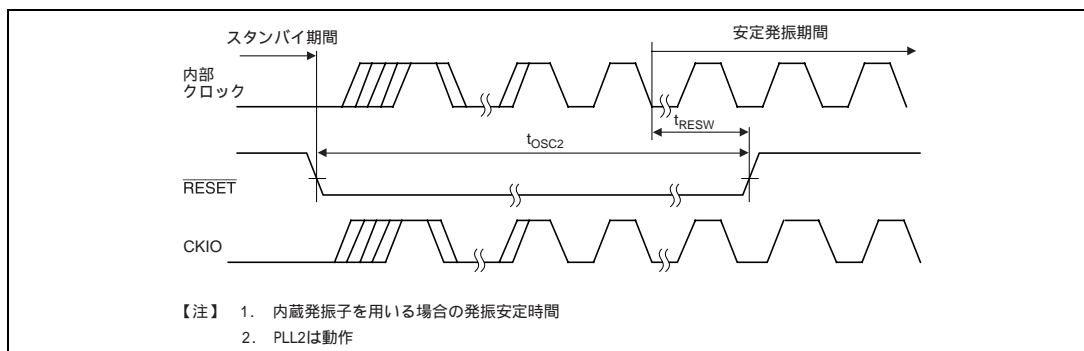


図 23.6 スタンバイ復帰時発振安定時間（RESET による復帰）

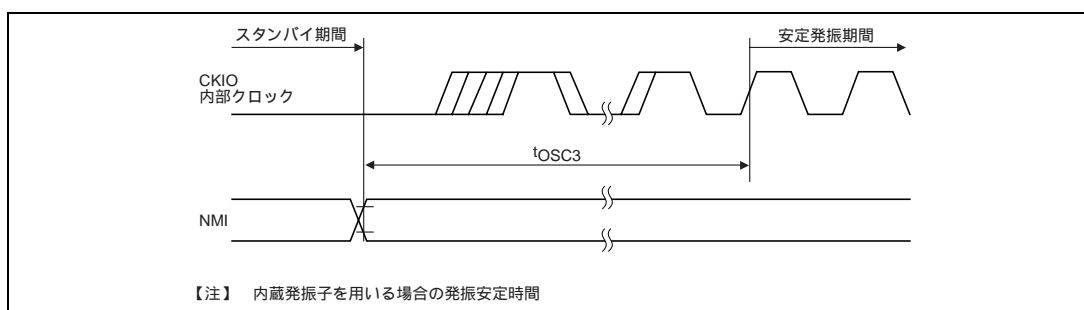


図 23.7 スタンバイ復帰時発振安定時間（NMI による復帰）

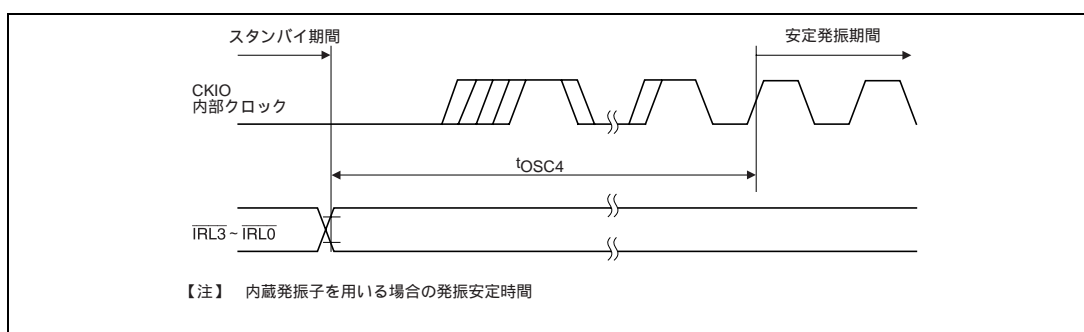


図 23.8 スタンバイ復帰時発振安定時間（IRL3～IRL0 による復帰）

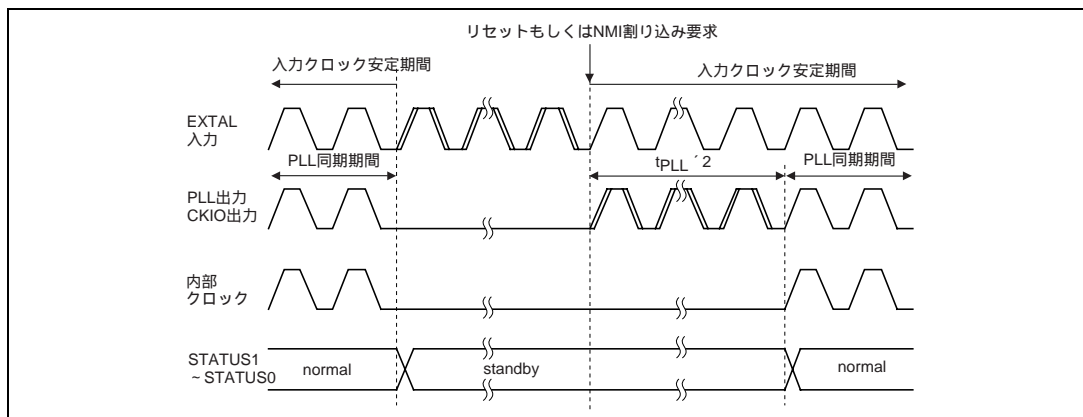


図 23.9 RESET または NMI 割り込みによる PLL 同期安定化時間

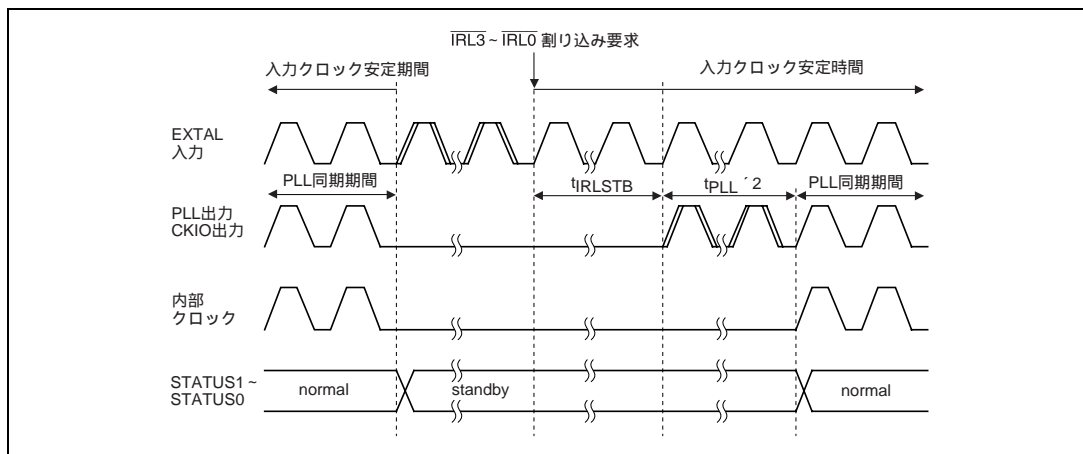


図 23.10 IRL 割り込みによる PLL 同期安定化時間

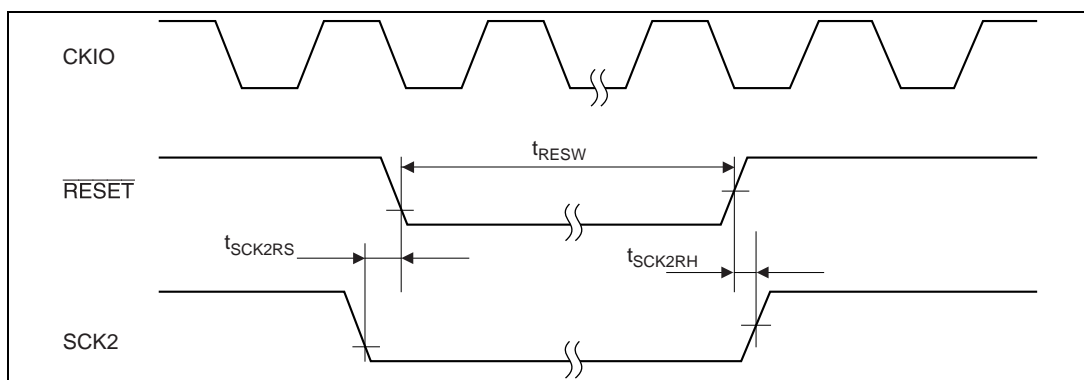


図 23.11 マニュアルリセット入力タイミング

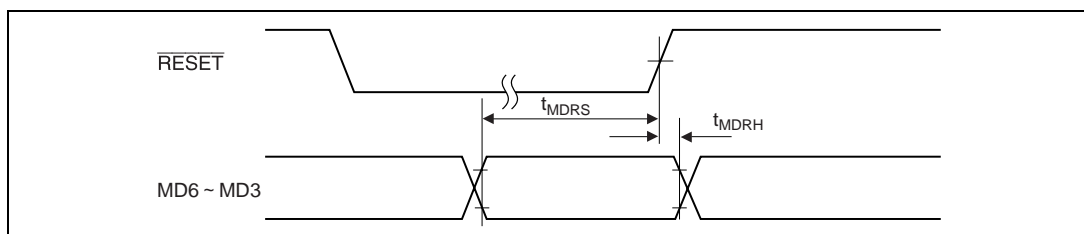


図 23.12 モード入力タイミング

## 23.3.2 制御信号タイミング

表 23.6 制御信号タイミング

(V<sub>DDG</sub>=3.0~3.6V, V<sub>DD</sub>=1.8V typ, T<sub>a</sub>=-20~75℃, C<sub>L</sub>=30pF, PLL2 は on)

| 項目                          | 略称                 | 66 MHz |     | 83MHz |     | 100MHz |     | 単位               | 参照図   | 備考  |
|-----------------------------|--------------------|--------|-----|-------|-----|--------|-----|------------------|-------|-----|
|                             |                    | Min    | Max | Min   | Max | Min    | Max |                  |       |     |
| BREQ セットアップ時間               | t <sub>BREQS</sub> | 2      | -   | 2     | -   | 2      | -   | ns               |       | BGA |
|                             |                    | 3.5    | -   | 3.5   | -   | -      | -   |                  |       | QFP |
| BREQ ホールド時間                 | t <sub>BREQH</sub> | 1.5    | -   | 1.5   | -   | 1.5    | -   | ns               |       |     |
| BACK 遅延時間                   | t <sub>BACKD</sub> | -      | 10  | -     | 8   | -      | 6   | ns               |       |     |
| バストライステート遅延時間               | t <sub>BOFF1</sub> | -      | 15  | -     | 12  | -      | 10  | ns               |       |     |
| スタンバイモードへの<br>バストライステート遅延時間 | t <sub>BOFF2</sub> | -      | 2   | -     | 2   | -      | 2   | t <sub>cyc</sub> | 23.13 |     |
| バスパッファオンタイム                 | t <sub>BON1</sub>  | -      | 15  | -     | 12  | -      | 10  | ns               |       |     |
| スタンバイからの<br>バスパッファオンタイム     | t <sub>BON2</sub>  | -      | 1   | -     | 1   | -      | 1   | t <sub>cyc</sub> | 23.13 |     |
| STATUS 0, 1 遅延時間            | t <sub>STD1</sub>  | -      | 11  | -     | 9   | -      | 7   | ns               | 23.13 |     |
| スタンバイへの STATUS 0, 1<br>遅延時間 | t <sub>STD2</sub>  | -      | 2   | -     | 2   | -      | 2   | t <sub>cyc</sub> | 23.13 |     |

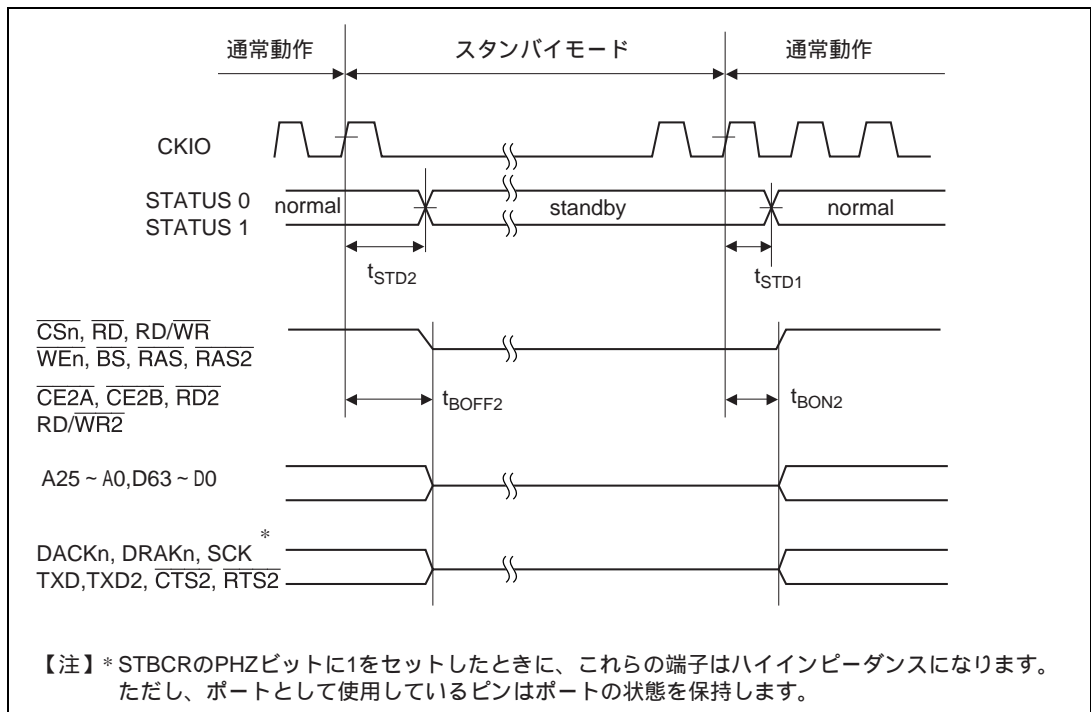


図 23.13 スタンバイモード時のピンドライブタイミング

## 23. 電気的特性

### 23.3.3 バスタイミング

表 23.7 バスタイミング

( $V_{DDQ}=3.0 \sim 3.6V$ ,  $V_{DD}=1.8V$  typ,  $T_a=-20 \sim 75$  ,  $C_L=30pF$ , PLL2 は on)

| 項目                      | 略称           | 66 MHz |     | 83 MHz |     | 100 MHz |     | 単位 | 備考                 |
|-------------------------|--------------|--------|-----|--------|-----|---------|-----|----|--------------------|
|                         |              | Min    | Max | Min    | Max | Min     | Max |    |                    |
| アドレス遅延時間                | $t_{AD}$     | -      | 10  | -      | 8   | -       | 6   | ns |                    |
| BS 遅延時間                 | $t_{BSD}$    | -      | 10  | -      | 8   | -       | 6   | ns |                    |
| CS 遅延時間                 | $t_{CSD}$    | -      | 10  | -      | 8   | -       | 6   | ns |                    |
| RW 遅延時間                 | $t_{RWD}$    | -      | 10  | -      | 8   | -       | 6   | ns |                    |
| RD 遅延時間                 | $t_{RSD}$    | -      | 10  | -      | 8   | -       | 6   | ns |                    |
| 読み出しデータセットアップ時間         | $t_{RDS}$    | 2      | -   | 2      | -   | 2       | -   | ns | BGA                |
|                         |              | 3.5    | -   | 3.5    | -   | -       | -   | ns | QFP                |
| 読み出しデータホールド時間           | $t_{RDH}$    | 1.5    | -   | 1.5    | -   | 1.5     | -   | ns |                    |
| WE 遅延時間 (立ち下がりエッジ時)     | $t_{WEDF}$   | -      | 10  | -      | 8   | -       | 6   | ns | CKIO の立ち下がりエッジに対して |
| WE 遅延時間                 | $t_{WED1}$   | -      | 10  | -      | 8   | -       | 6   | ns |                    |
| 書き込みデータ遅延時間             | $t_{WDD}$    | -      | 10  | -      | 8   | -       | 6   | ns |                    |
| RDY セットアップ時間            | $t_{RDYS}$   | 2      | -   | 2      | -   | 2       | -   | ns | BGA                |
|                         |              | 3.5    | -   | 3.5    | -   | -       | -   | ns | QFP                |
| RDY ホールド時間              | $t_{RDYH}$   | 1.5    | -   | 1.5    | -   | 1.5     | -   | ns |                    |
| RAS 遅延時間                | $t_{RASD}$   | -      | 10  | -      | 8   | -       | 6   | ns |                    |
| CAS 遅延時間 1              | $t_{CASD1}$  | -      | 10  | -      | 8   | -       | 6   | ns | DRAM               |
| CAS 遅延時間 2              | $t_{CASD2}$  | -      | 10  | -      | 8   | -       | 6   | ns | SDRAM              |
| CKE 遅延時間                | $t_{CKED}$   | -      | 10  | -      | 8   | -       | 6   | ns | SDRAM              |
| DQM 遅延時間                | $t_{DQMD}$   | -      | 10  | -      | 8   | -       | 6   | ns | SDRAM              |
| FRAME 遅延時間              | $t_{FMD}$    | -      | 10  | -      | 8   | -       | 6   | ns | MPX                |
| IOIS16 セットアップ時間         | $t_{IO16S}$  | 2      | -   | 2      | -   | 2       | -   | ns | BGA                |
|                         |              | 3.5    | -   | 3.5    | -   | -       | -   | ns | QFP                |
| IOIS16 ホールド時間           | $t_{IO16H}$  | 1.5    | -   | 1.5    | -   | 1.5     | -   | ns | PCMCIA             |
| ICIORW 遅延時間 (立ち下がりエッジ時) | $t_{ICWSDF}$ | -      | 10  | -      | 8   | -       | 6   | ns | PCMCIA             |
| ICIOR 遅延時間              | $t_{ICRSD}$  | -      | 10  | -      | 8   | -       | 6   | ns | PCMCIA             |
| DACK 遅延時間               | $t_{DACD}$   | -      | 10  | -      | 8   | -       | 6   | ns |                    |
| DACK 遅延時間 (立ち下がりエッジ時)   | $t_{DACDF}$  | -      | 10  | -      | 8   | -       | 6   | ns | CKIO の立ち下がりエッジに対して |

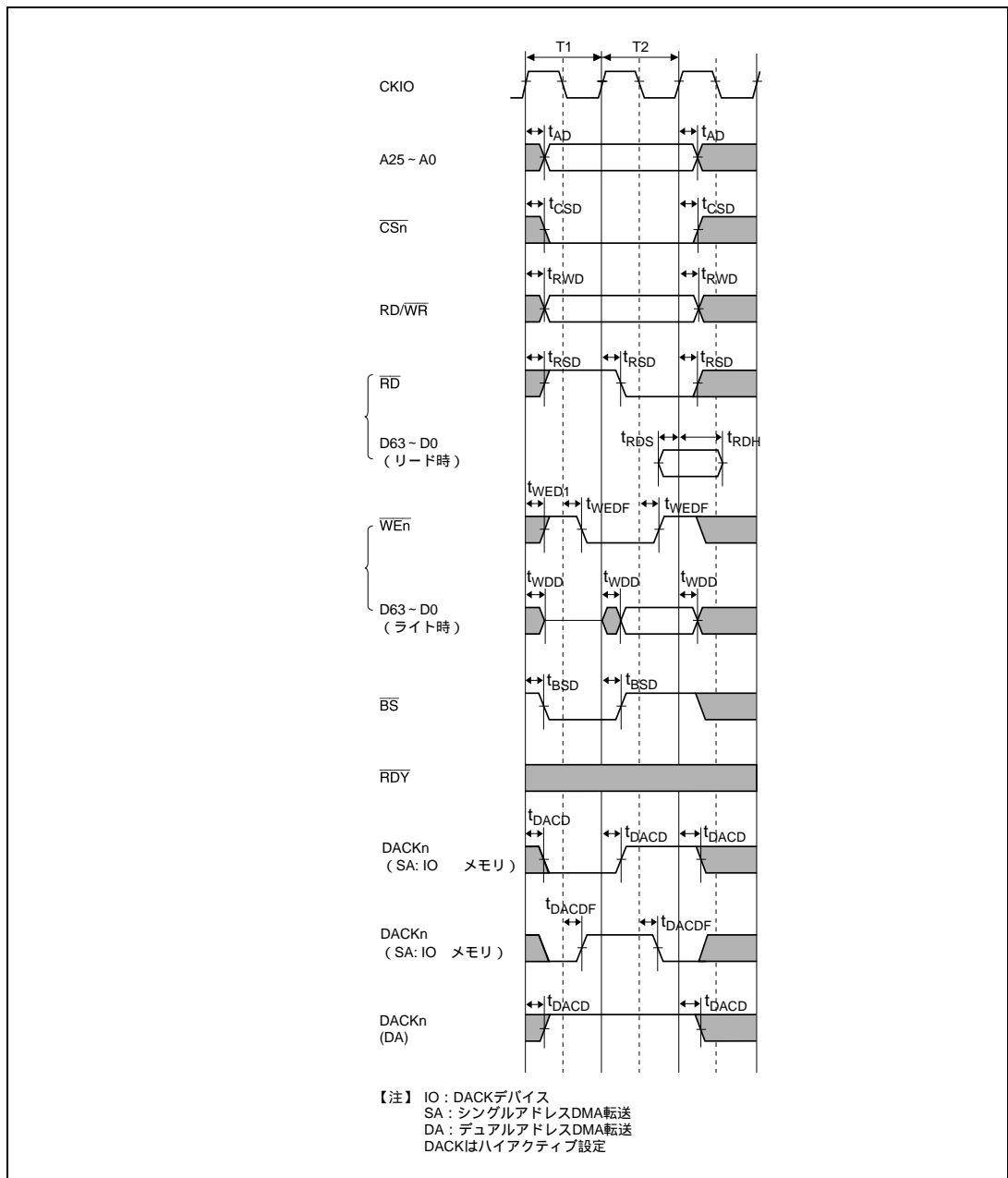


図 23.14 SRAM バスサイクル 基本バスサイクル (ノーウェイト)

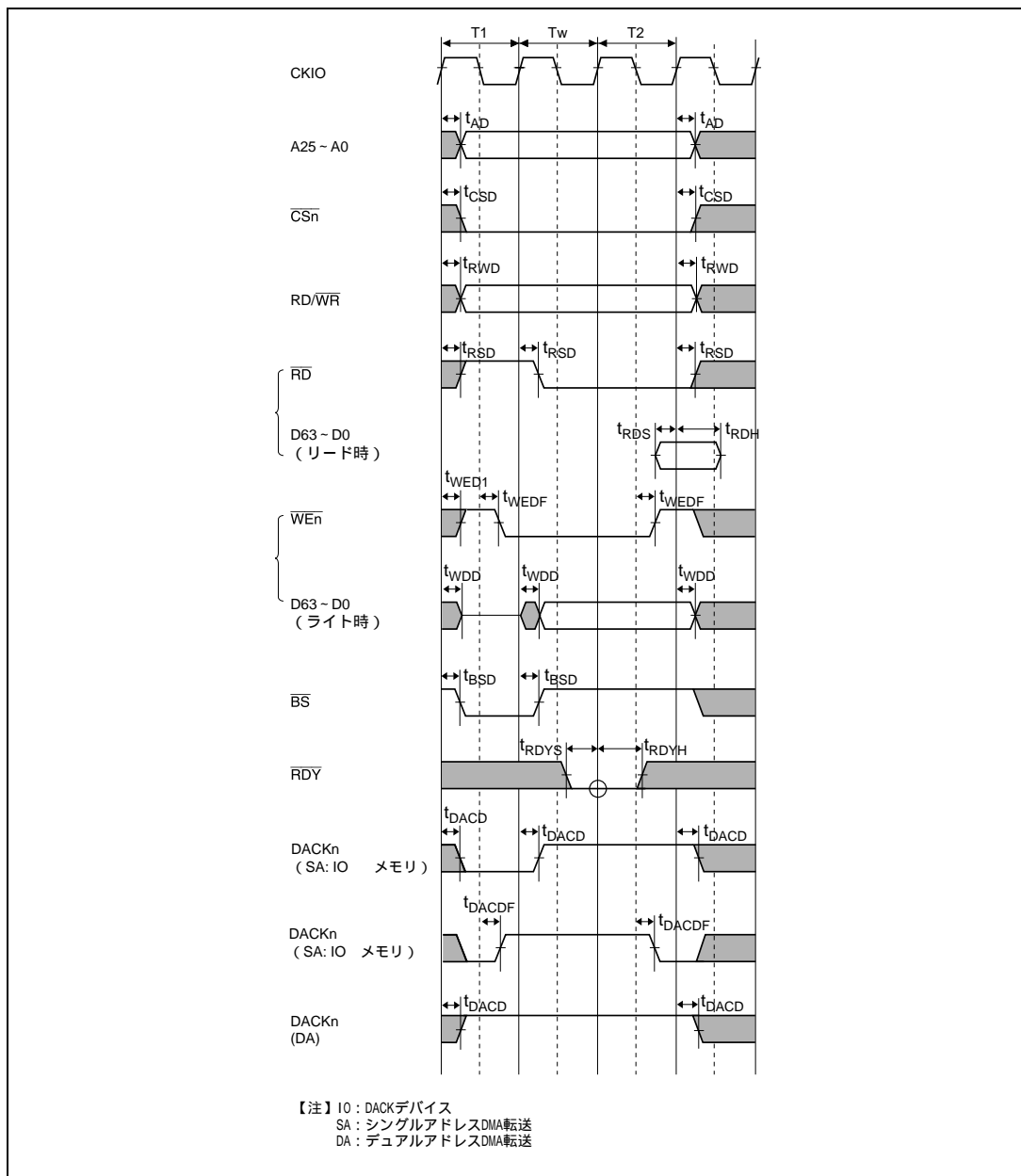


図 23.15 SRAM バスサイクル 基本バスサイクル (内部 1 ウェイト)

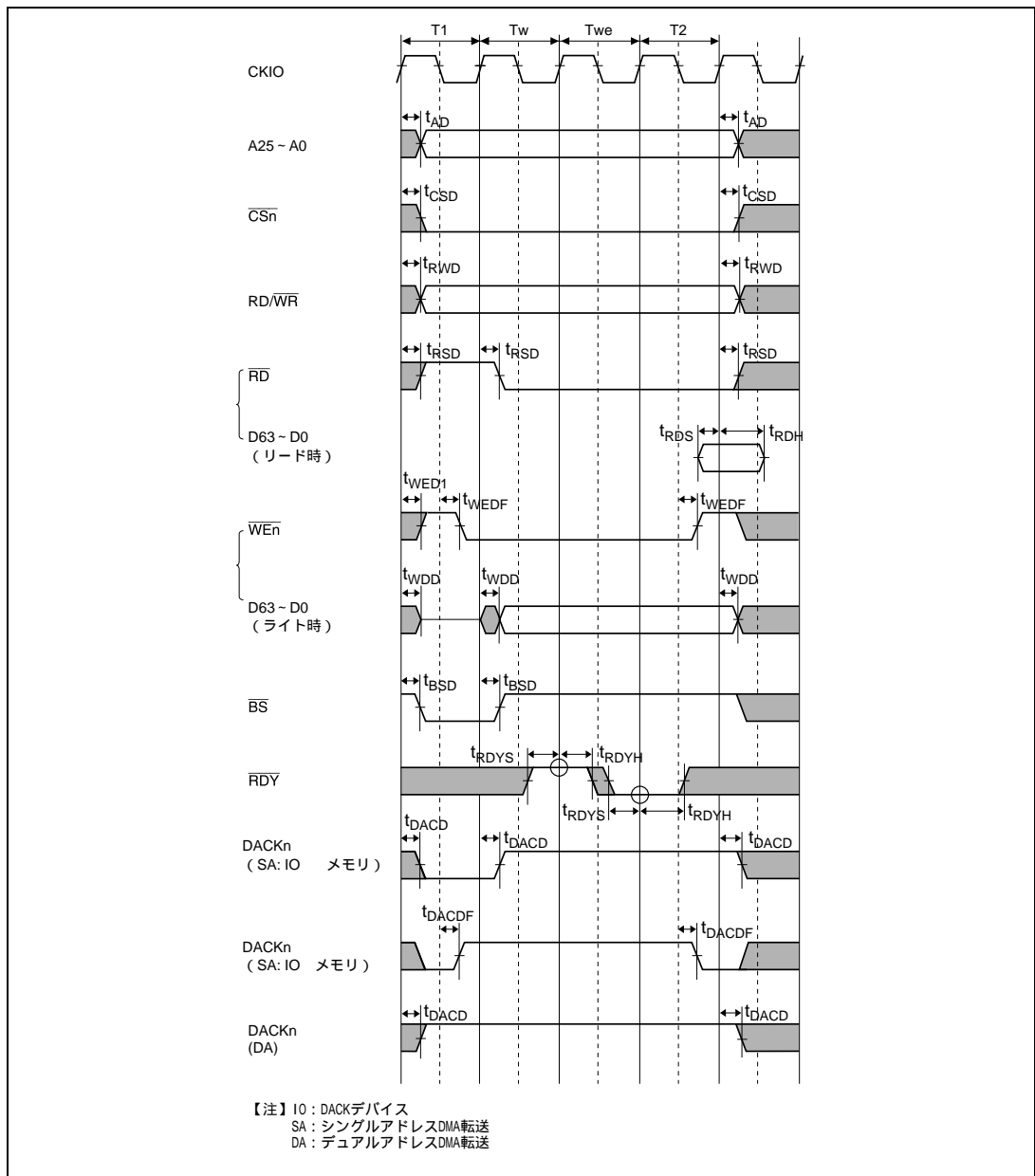


図 23.16 SRAM バスサイクル 基本バスサイクル (内部 1 ウェイト + 外部 1 ウェイト)



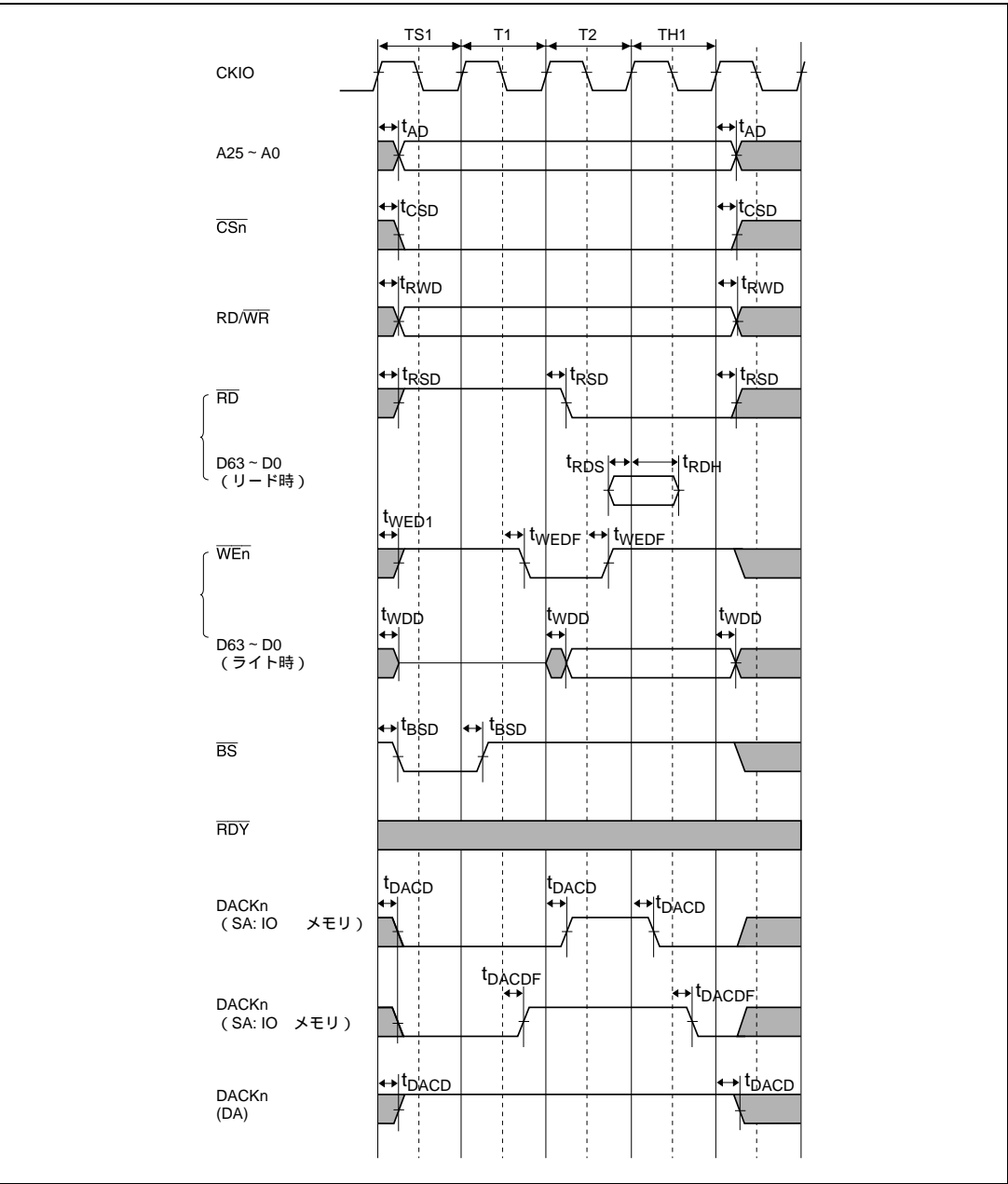


図 23.17 SRAM バスサイクル 基本バスサイクル (ノーウェイト、アドレスセットアップ、ホールドタイム挿入、AnS = 1、AnH=1)

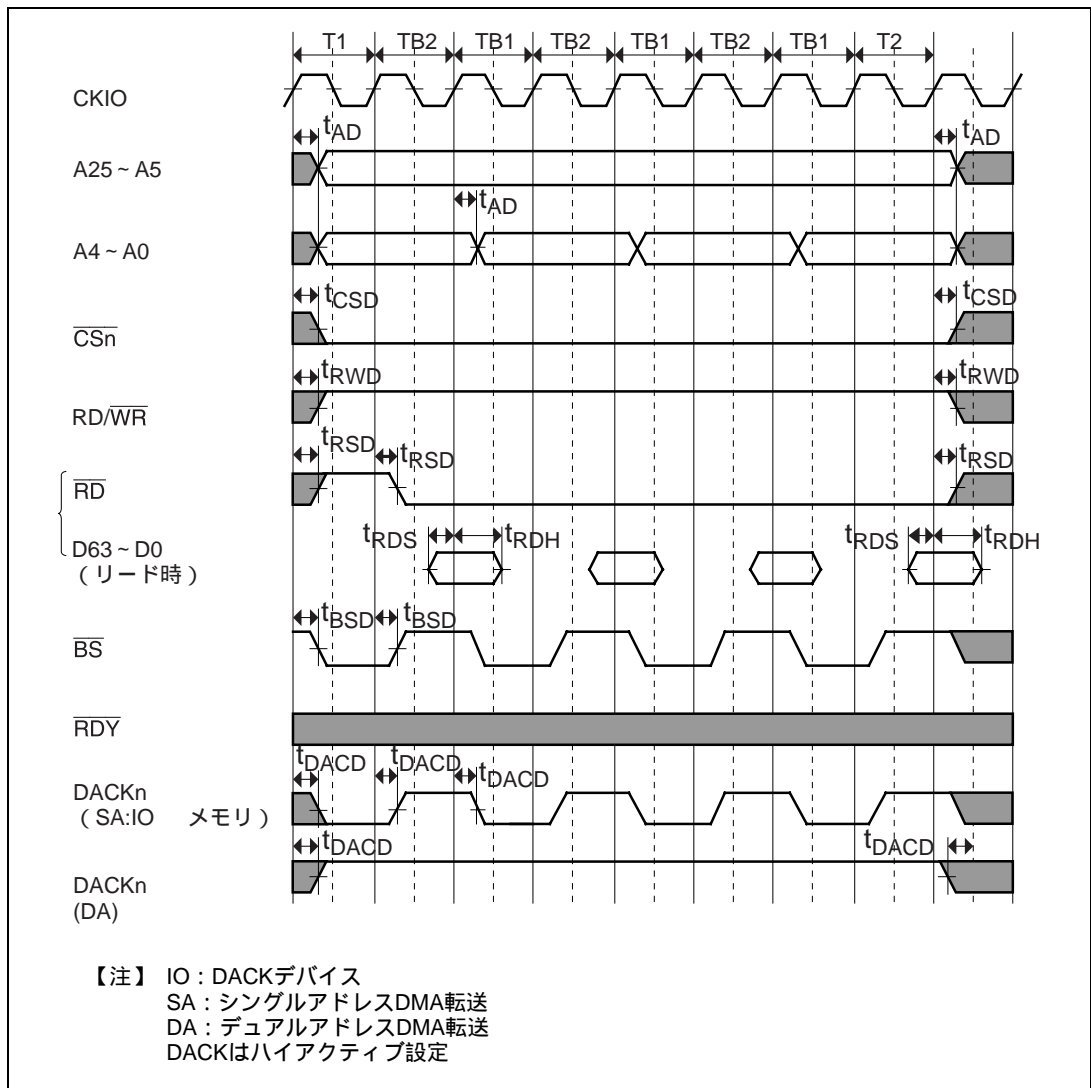


図 23.18 バーストROMバースサイクル(ノーウェイト)

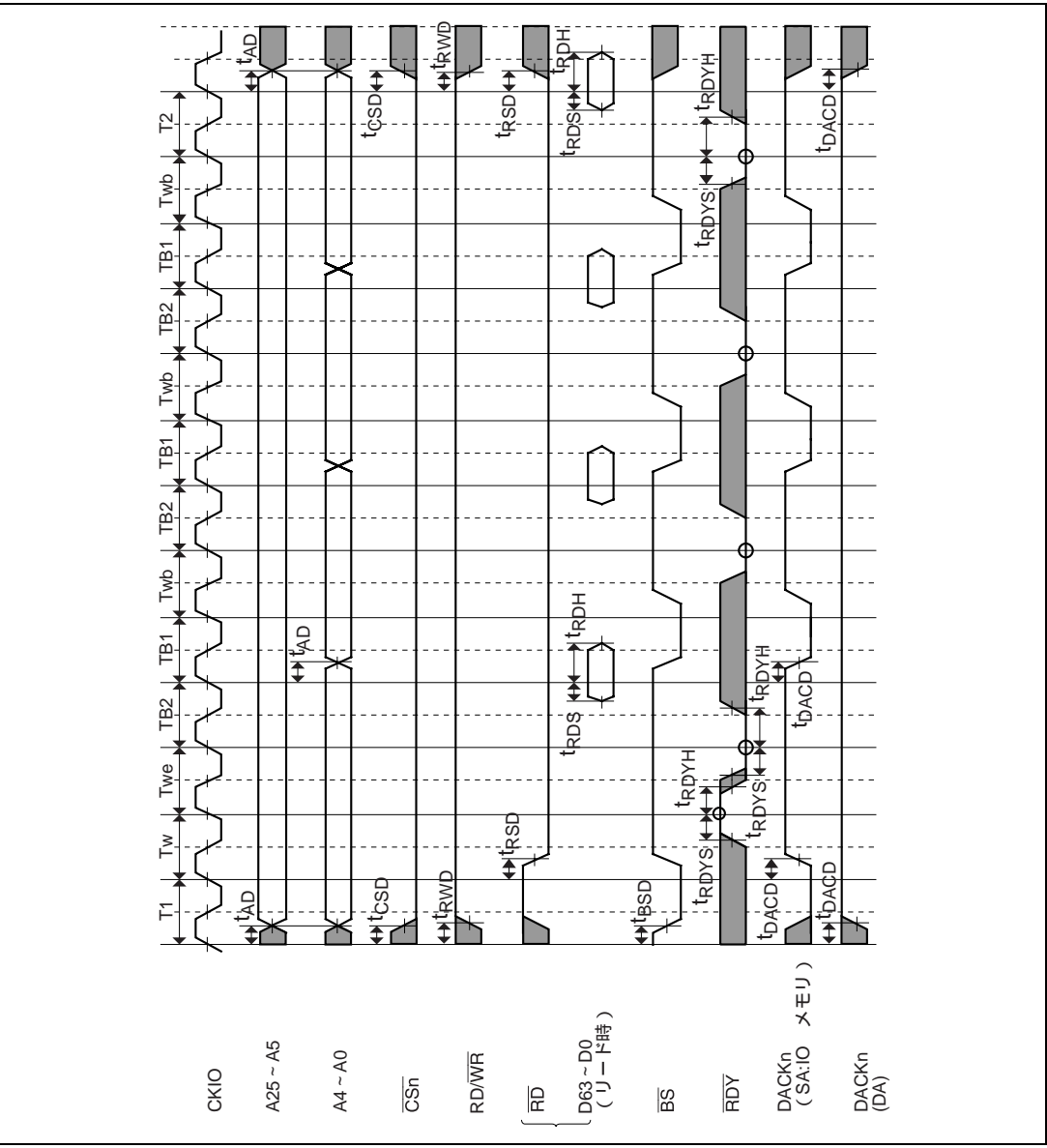


図 23.19 バースト ROM バスサイクル (1 番目のデータ : 内部 1 ウェイト + 外部 1 ウェイト、  
2、3、4 番目のデータ : 内部 1 ウェイト)

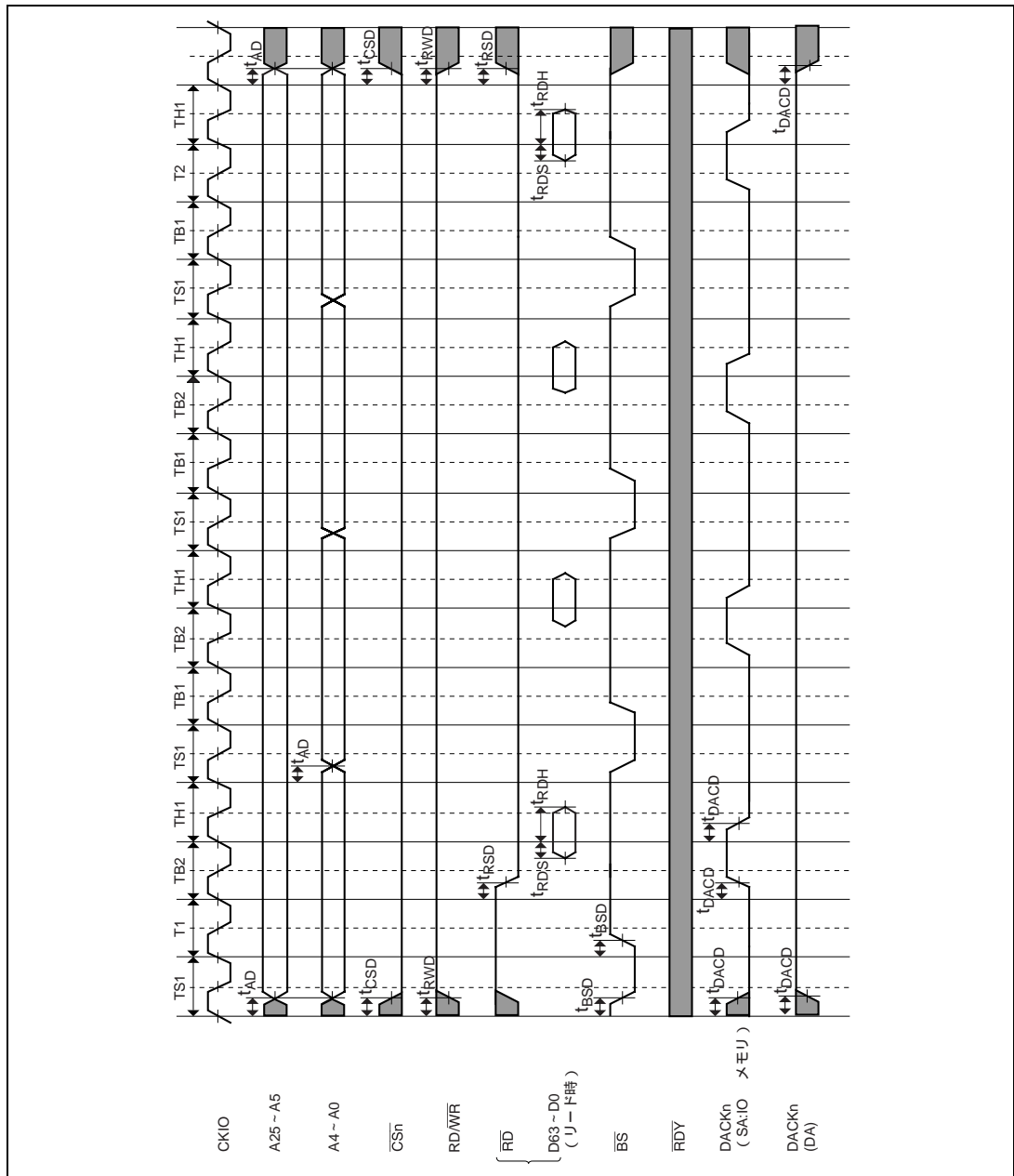


図 23.20 バースト ROM バスサイクル (ノーウェイト、アドレスセットアップ/ホールドタイム挿入、AnS=1、AnH=1)

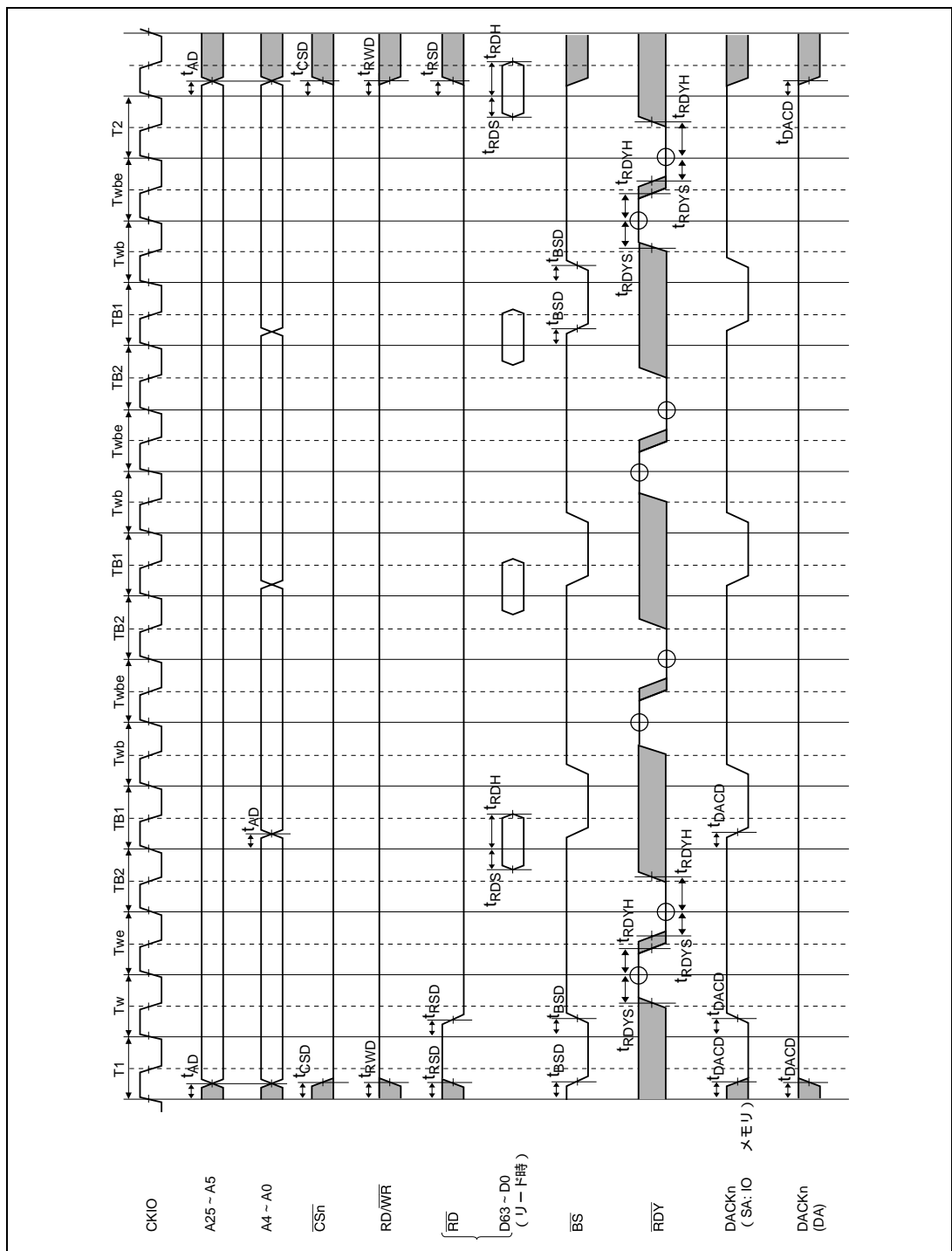


図 23.21 バースト ROM バスサイクル (内部 1 ウェイト + 外部 1 ウェイト)

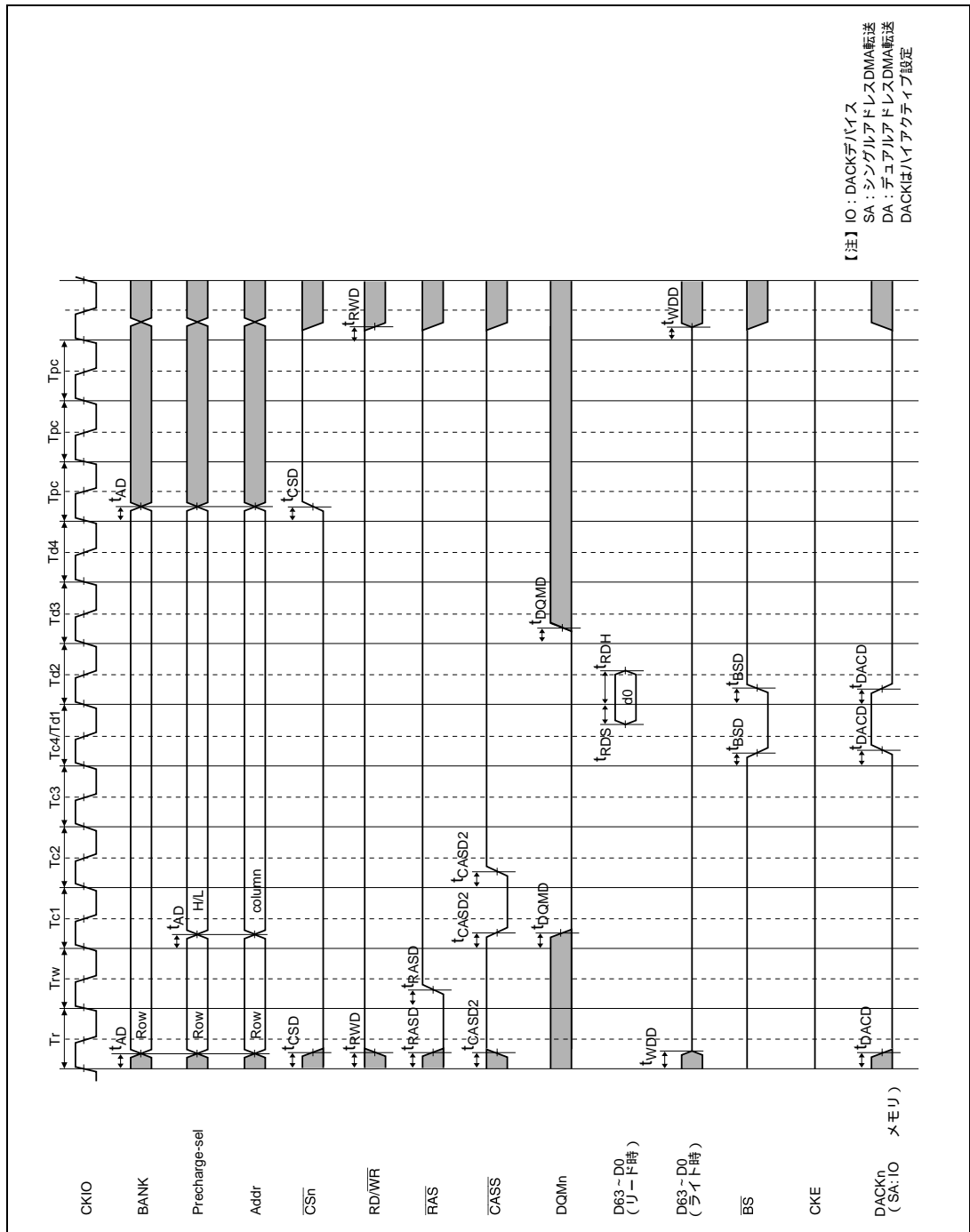


図 23.22 SDRAM オートプリチャージリードバスサイクル、シングル (RCD=1、CAS レイテンシ=3、TPC=3)

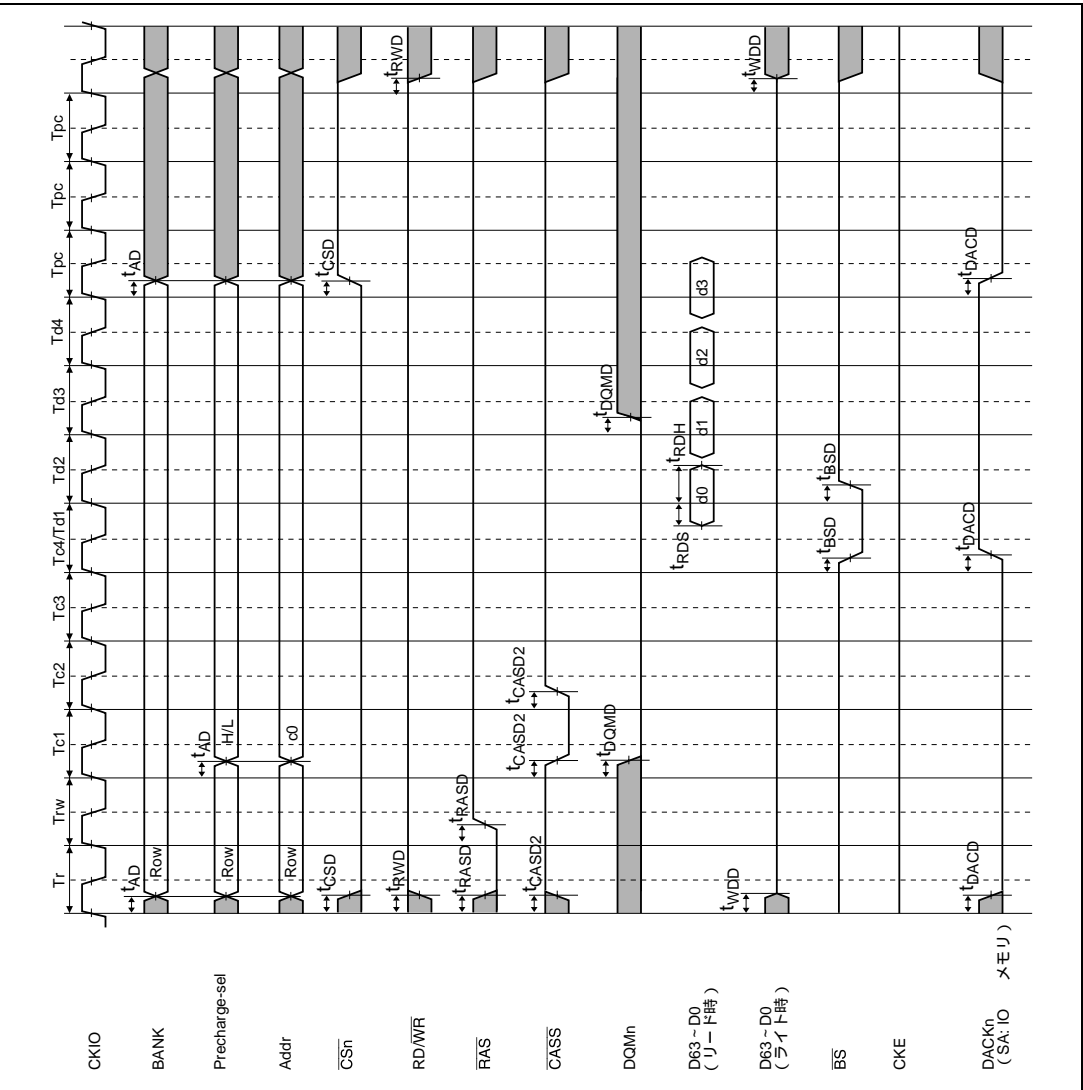


図 23.23 SDRAM オートプリチャージリードバスサイクル、バースト (RCD=1、CAS レイテンシ=3、TPC=3)

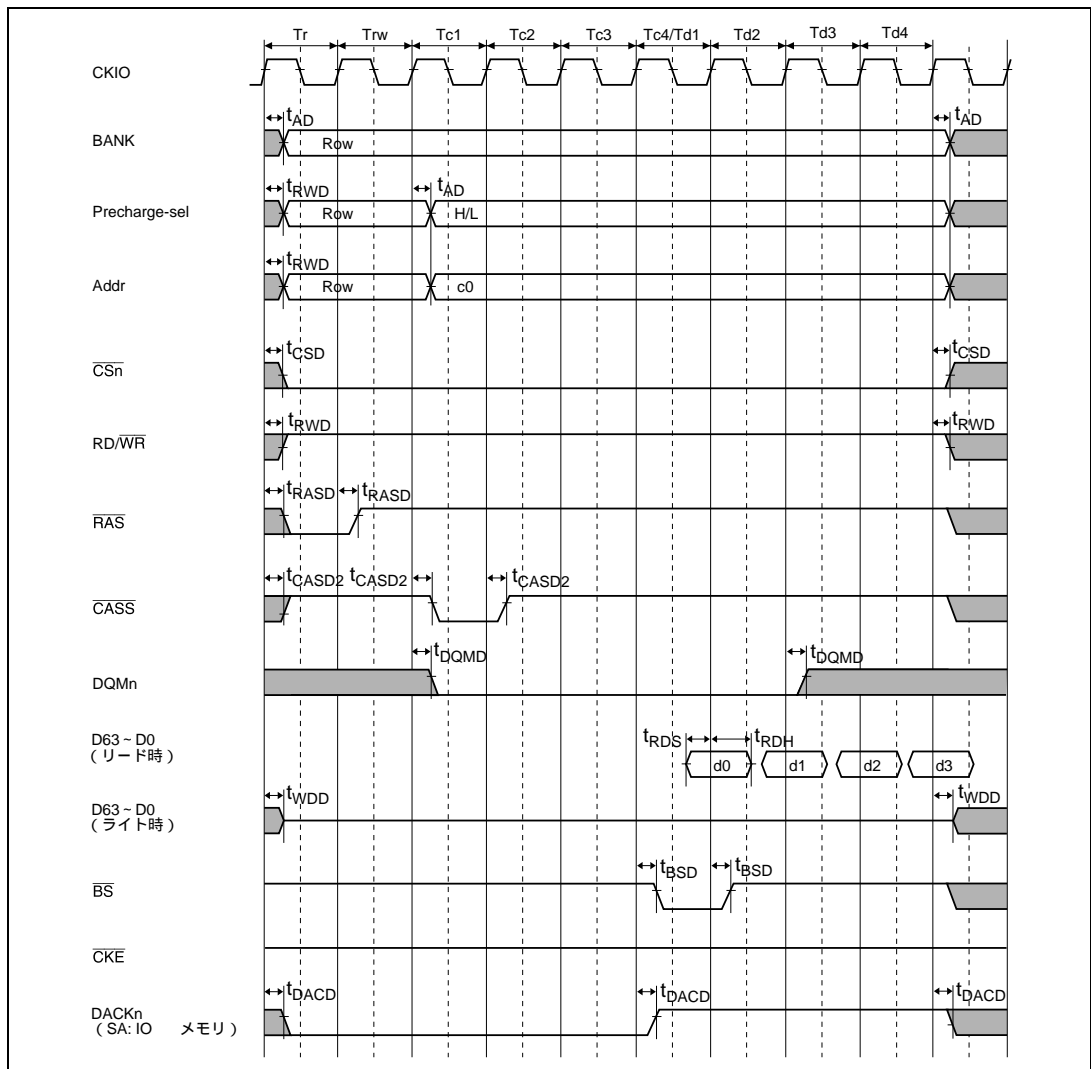


図 23.24 SDRAM ノーマルリードバスサイクル：ACT+READ コマンド、バースト  
(RCD=1、CAS レイテンシ=3)



## 23. 電気的特性

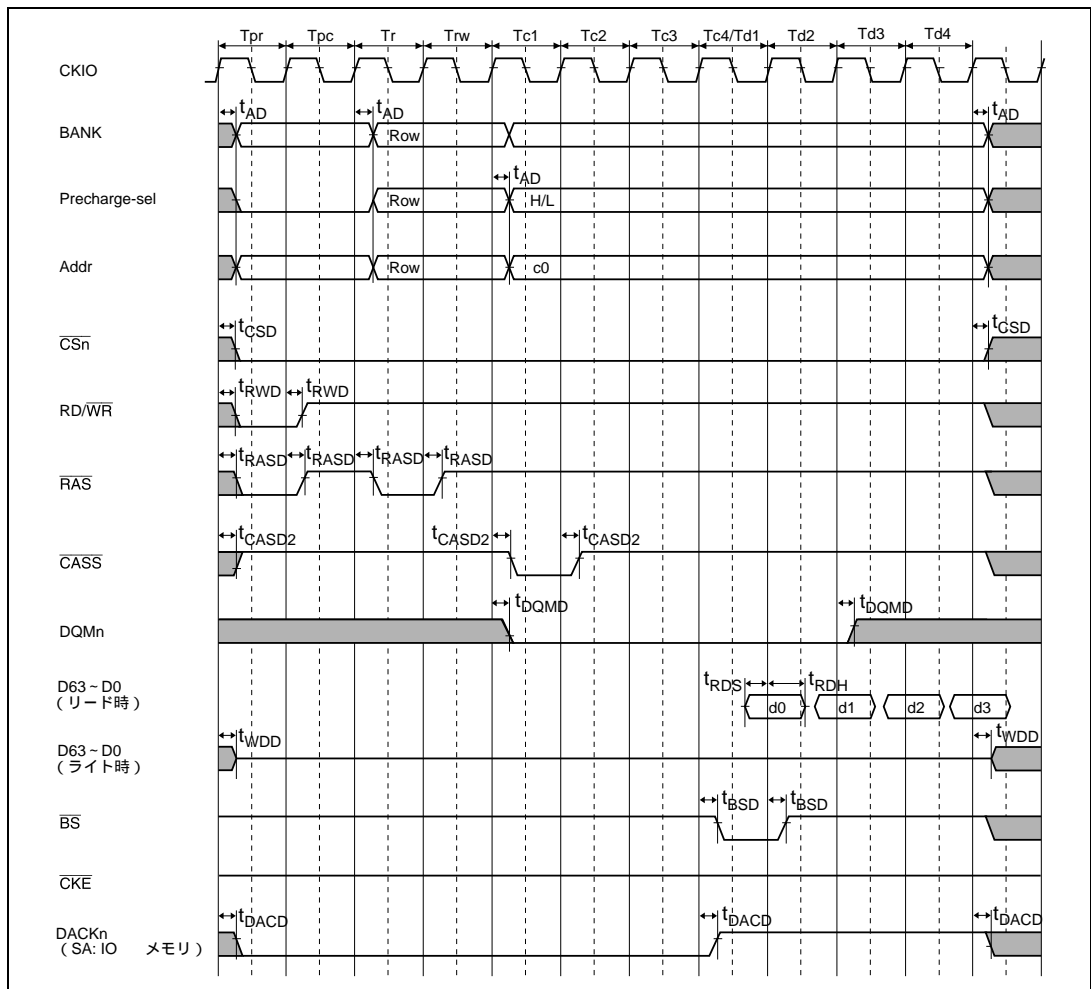


図 23.25 SDRAM ノーマルリードバスサイクル：PRE+ACT+READ コマンド、バースト  
(TPC=1、RCD=1、CAS レイテンシ=3)

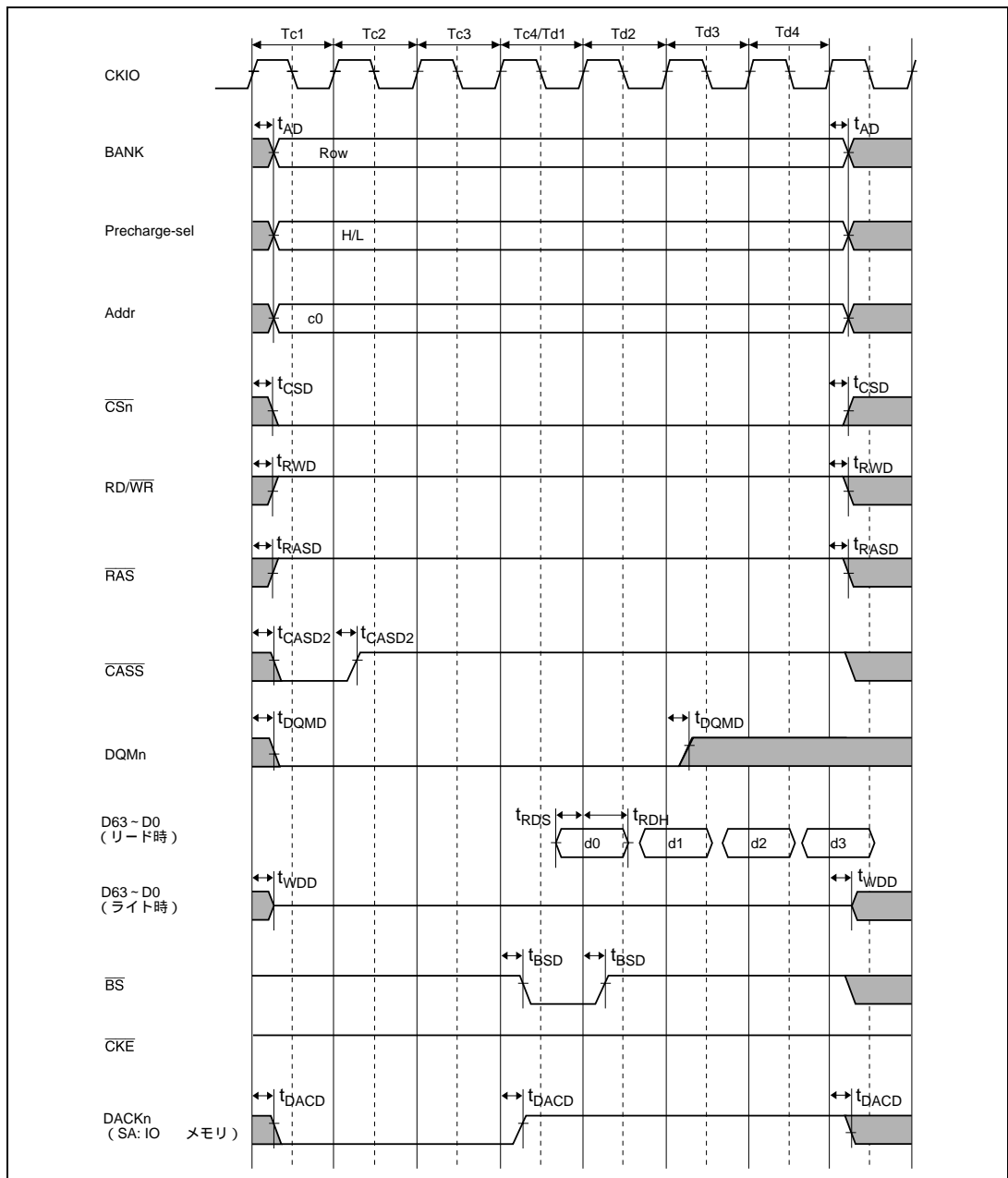


図 23.26 SDRAM ノーマルリードバスサイクル： READ コマンド、バースト  
(CAS レイテンシ=3)

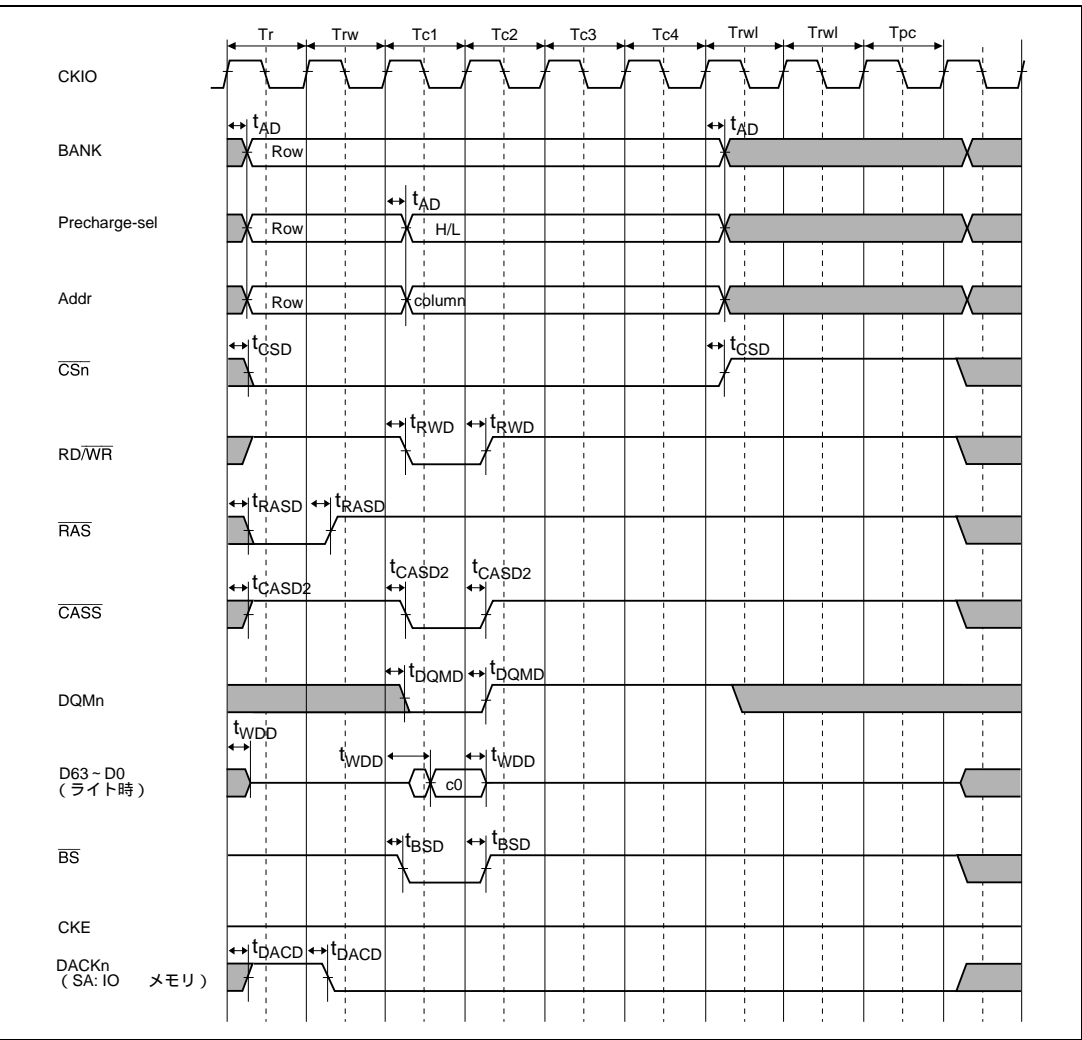


図 23.27 SDRAM オートプリチャージライトバスサイクル、シングル (RCD=1、TRWL=2、TPC=1)

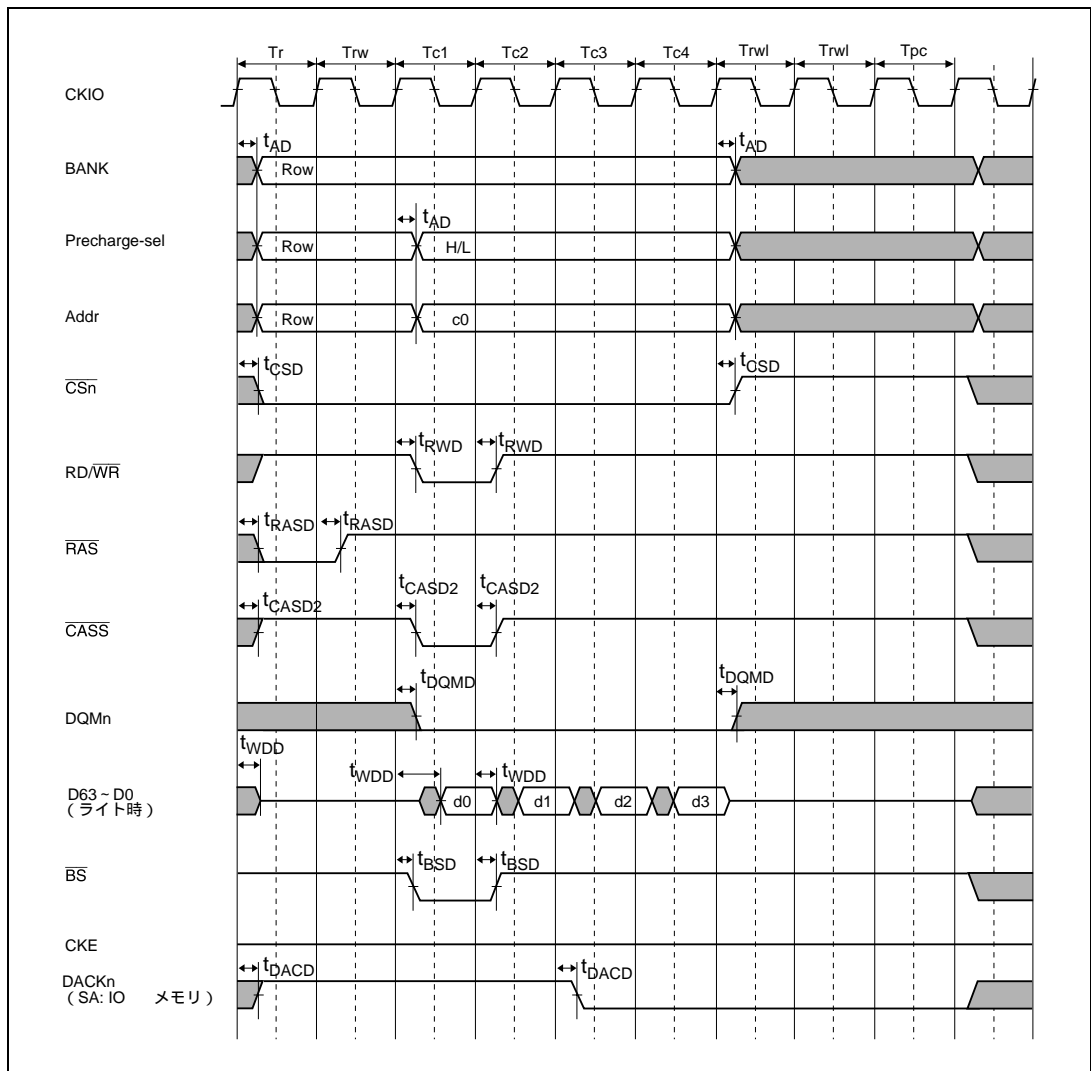


図 23.28 SDRAM オートプリチャージライトバスサイクル、バースト  
(RCD=1、TPWL=2、TPC=1)

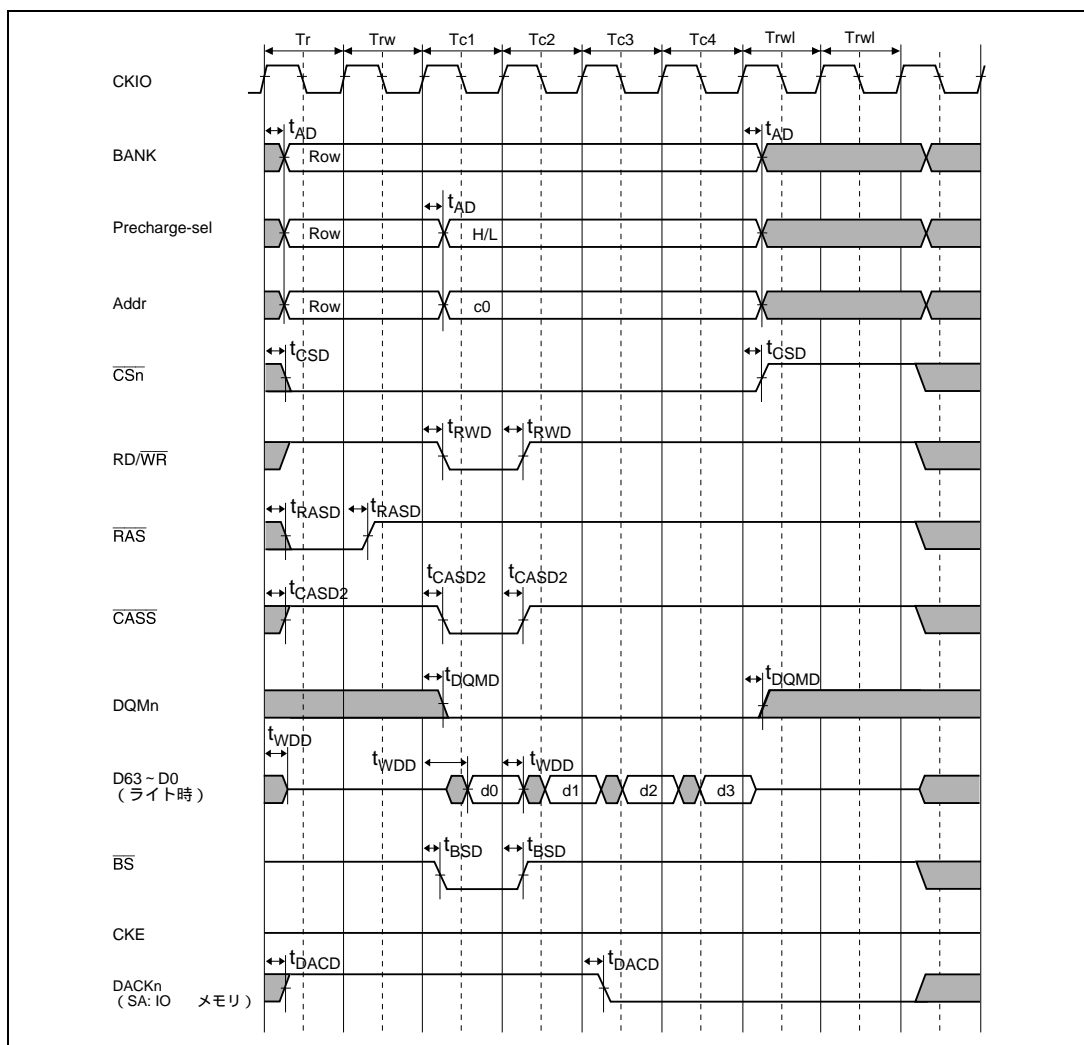


図 23.29 SDRAM ノーマルライトパスサイクル：ACT+WRITE コマンド、バースト (RCD=1、TRWL=2)

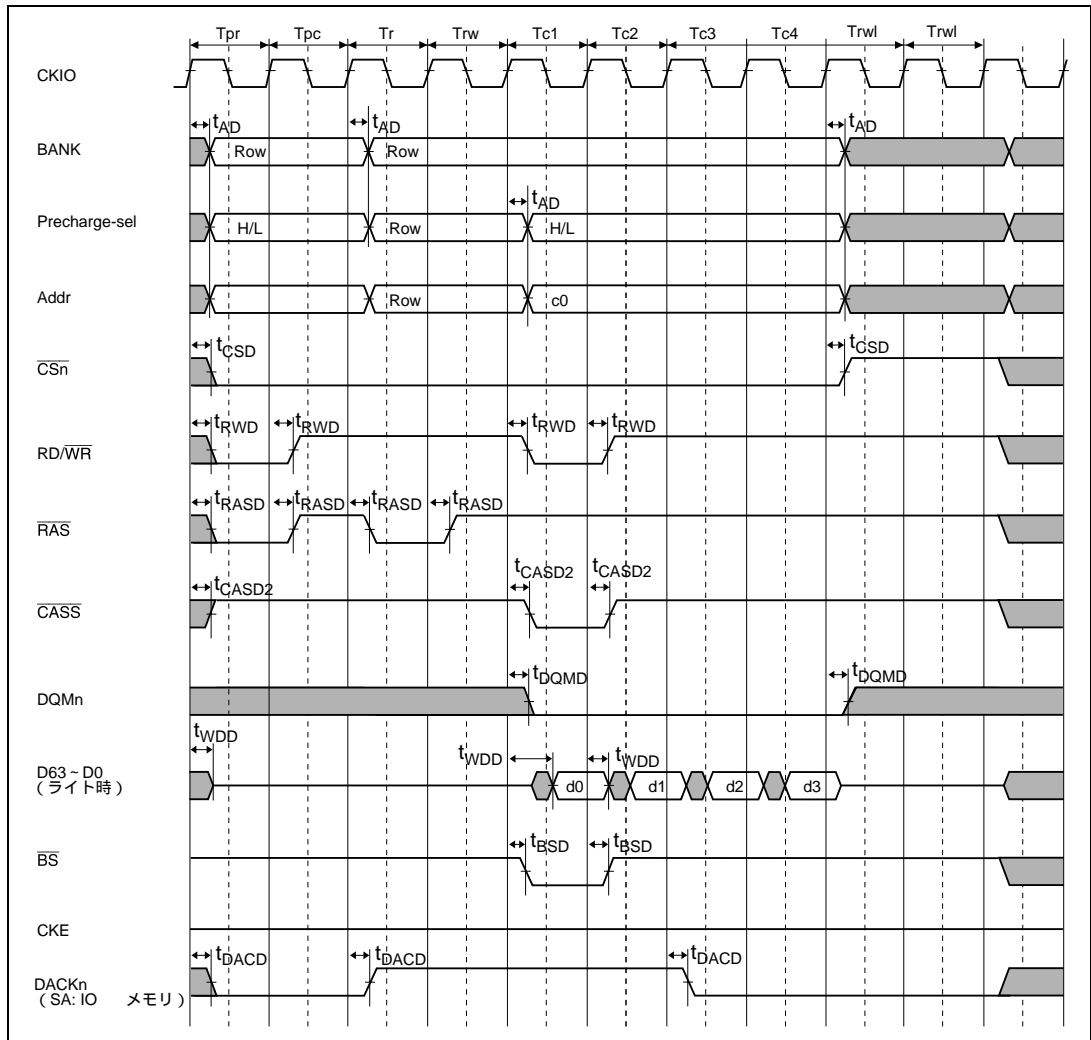


図 23.30 SDRAM ノーマルライトバスサイクル：PRE+ACT+WRITE コマンド、バースト  
(TPC=1、RCD=1、TRWL=2)

### 23. 電気的特性

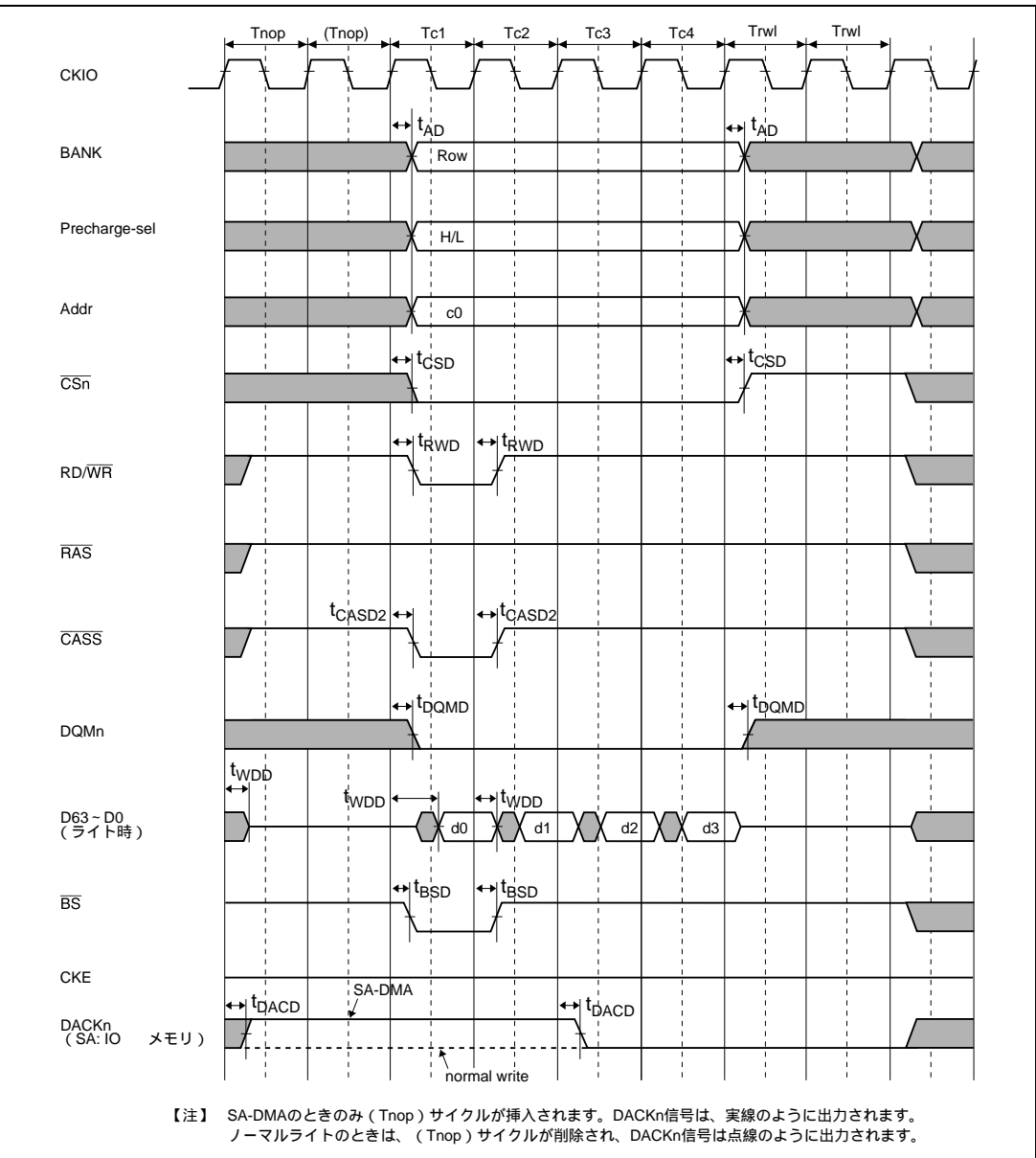


図 23.31 SDRAM ノーマルライトバスサイクル：WRITE コマンド、バースト (TRWL=2)

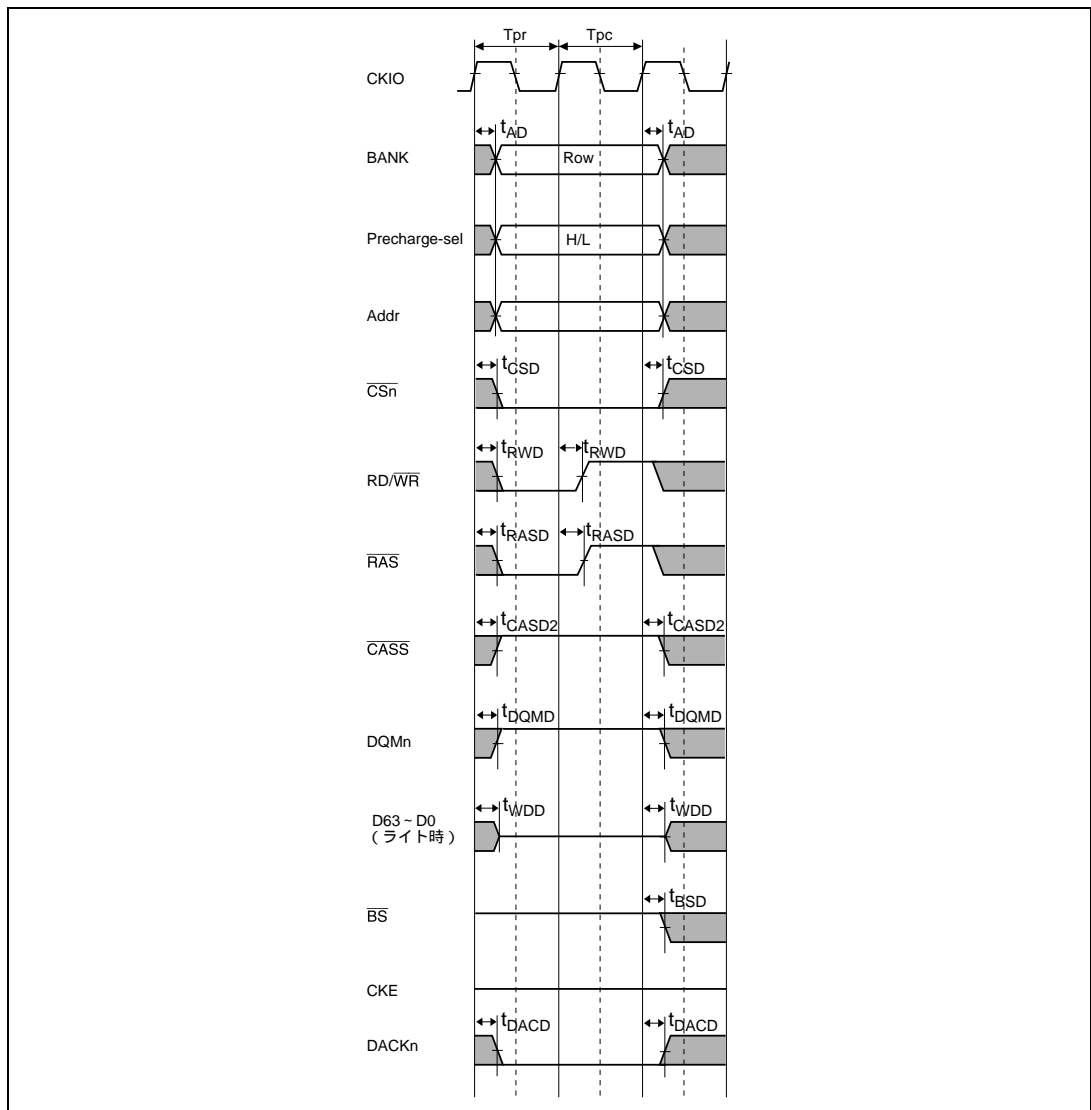


図 23.32 SDRAM バスサイクル SDRAM プリチャージコマンド (TPC=1)



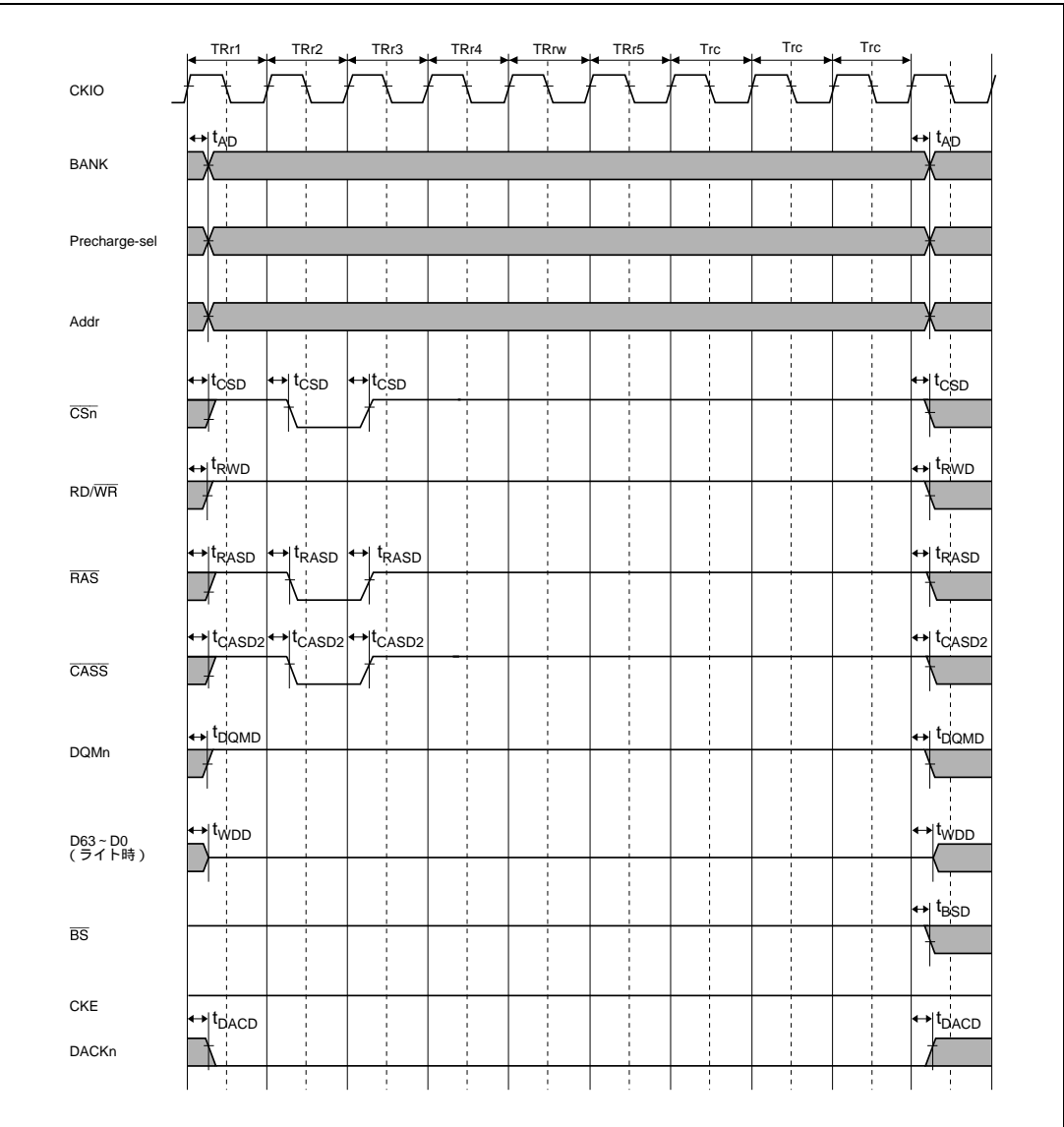


図 23.33 SDRAM バスサイクル SDRAM オートリフレッシュ (TRAS=1、TRC=1)

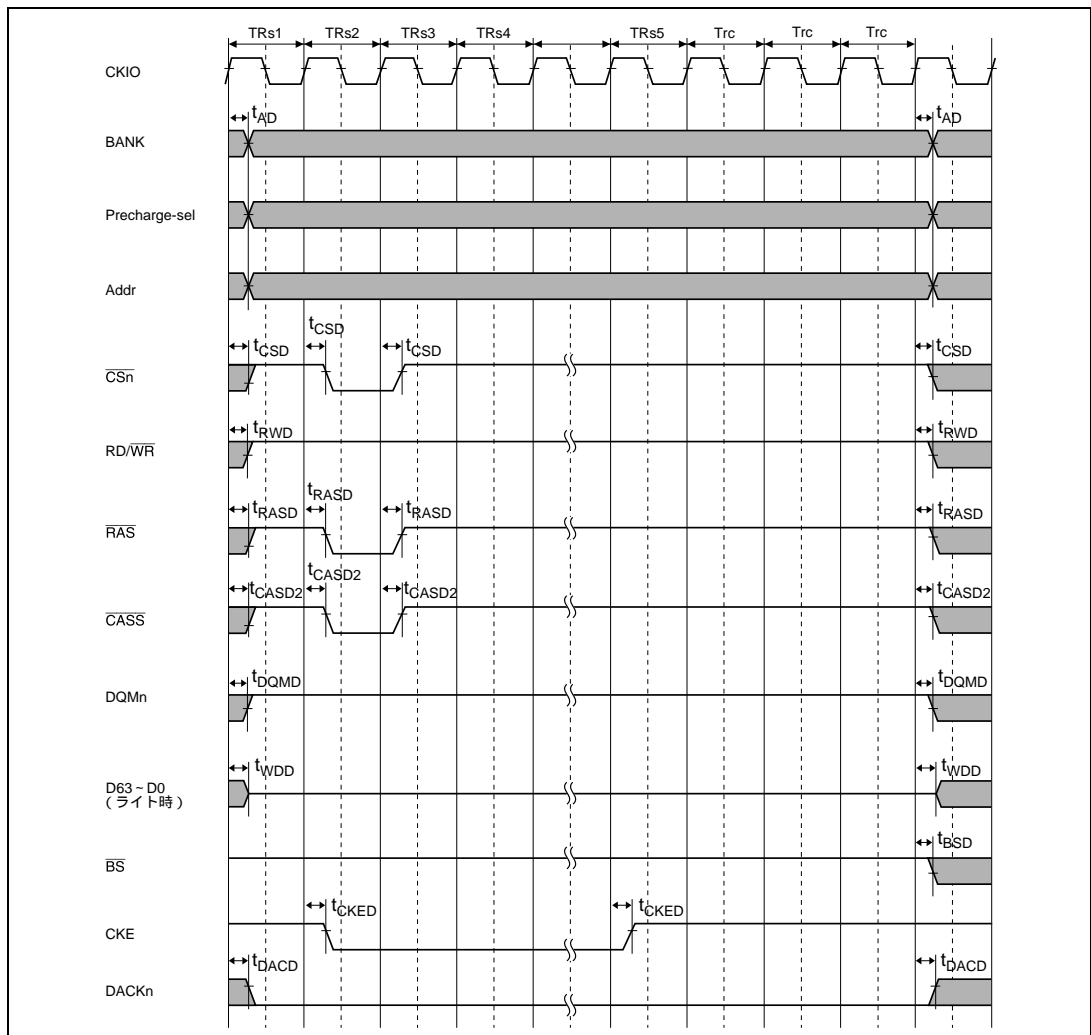


図 23.34 SDRAM バスサイクル SDRAM セルフリフレッシュ (TRC=1)

## 23. 電気的特性

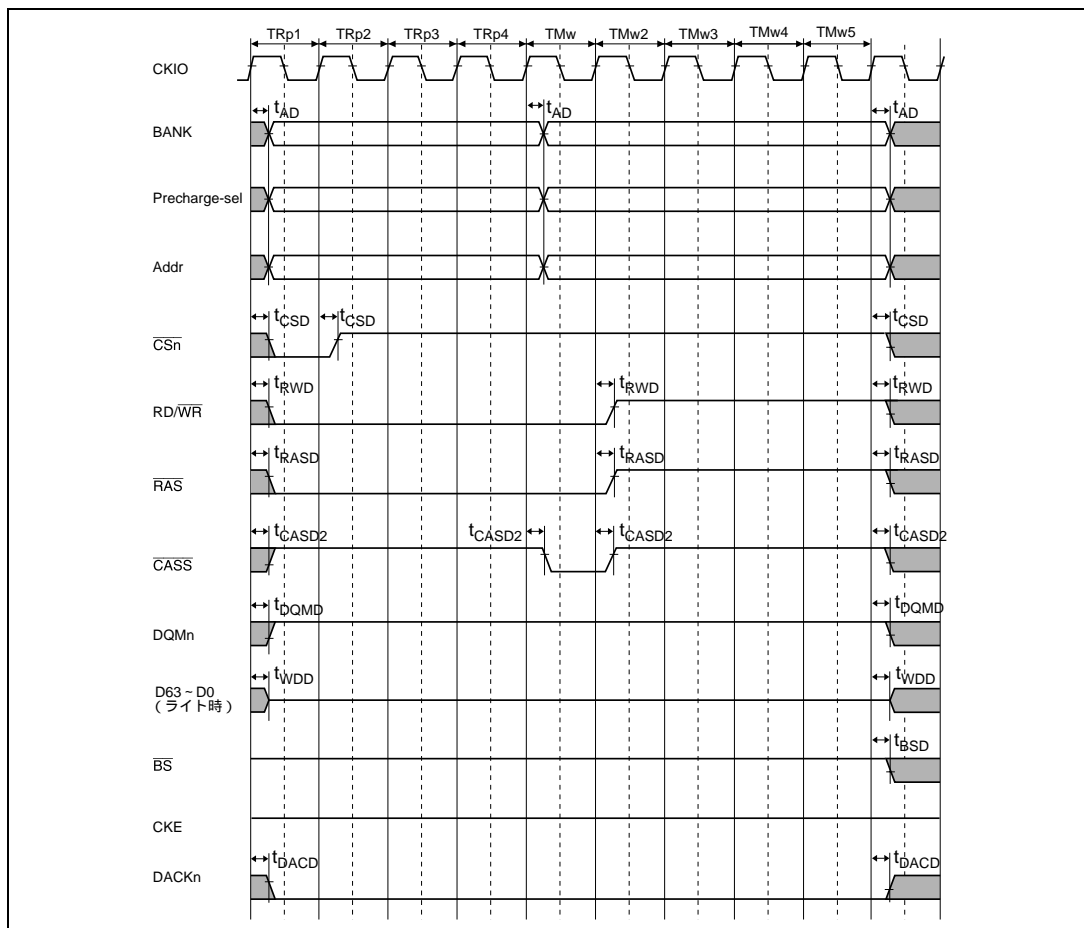


図 23.35 (a) SDRAM パスサイクル SDRAM モードレジスタセット (PALL)

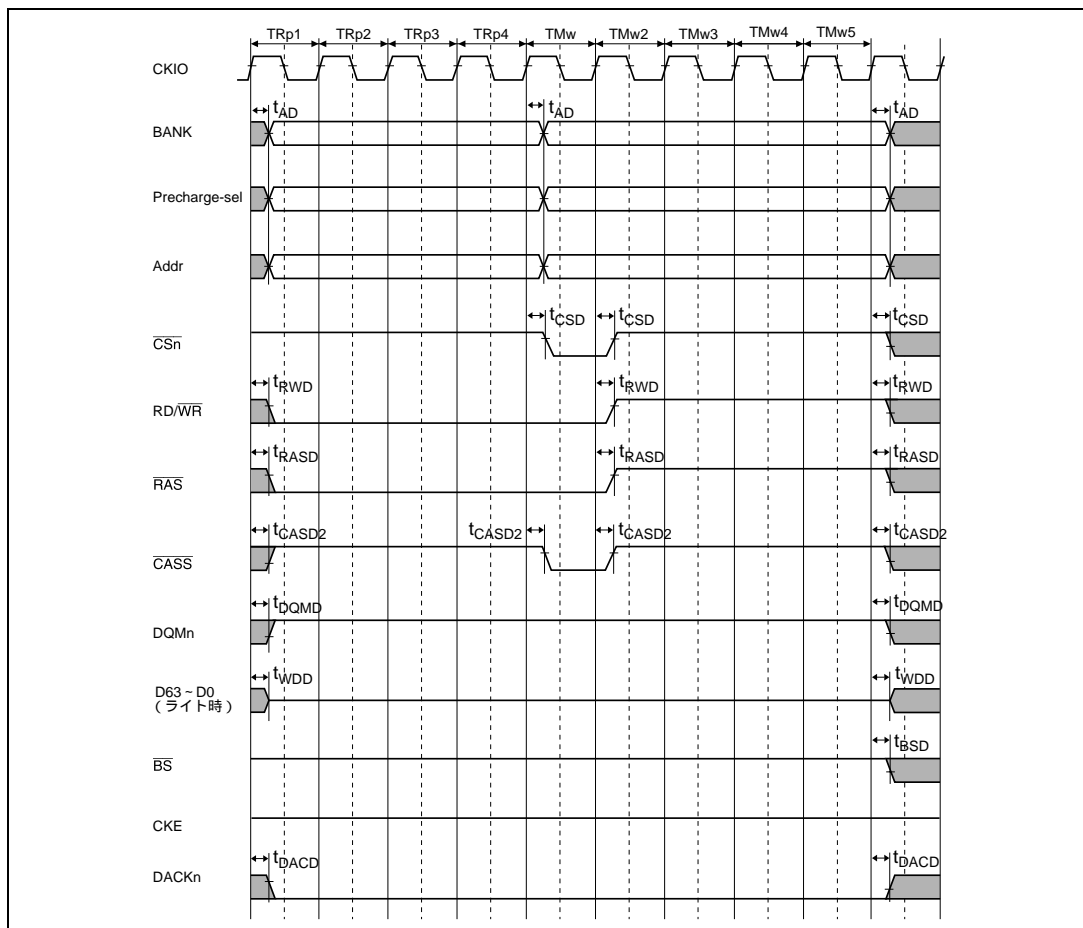


図 23.35 (b) SDRAM バスサイクル SDRAM モードレジスタセット (SET)

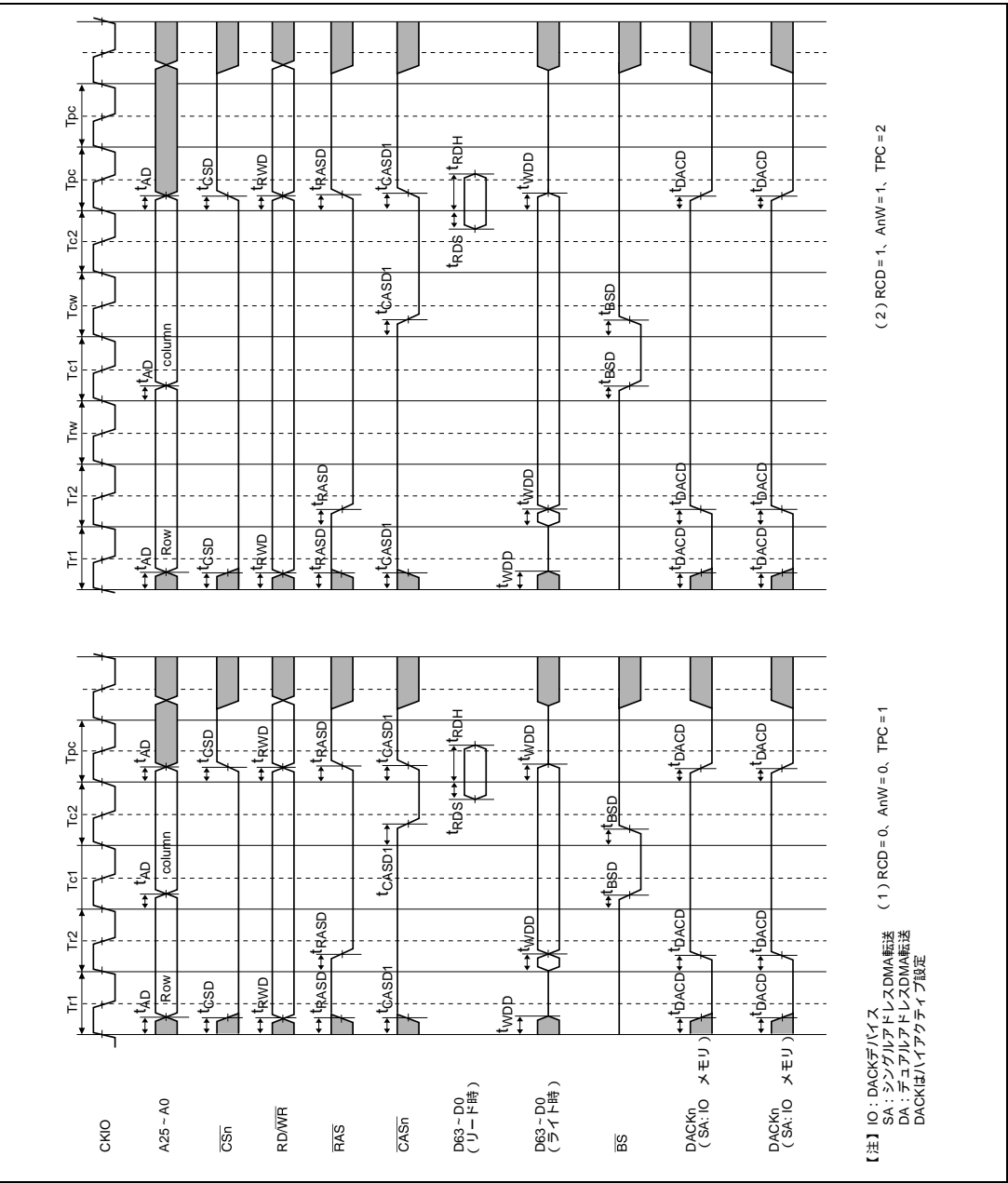


図 23.36 DRAM バスサイクル

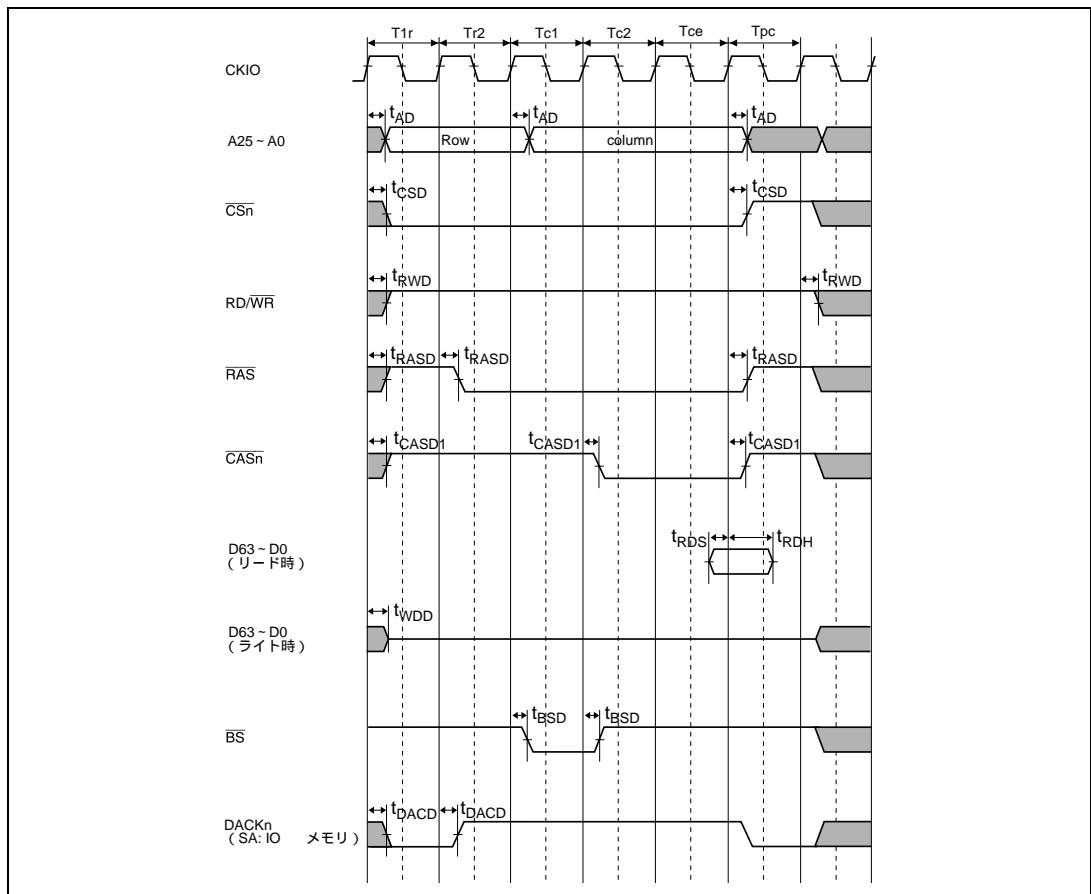
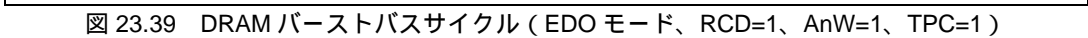


図 23.37 DRAM バスサイクル (EDO モード、RCD=0、AnW=0、TPC=1)







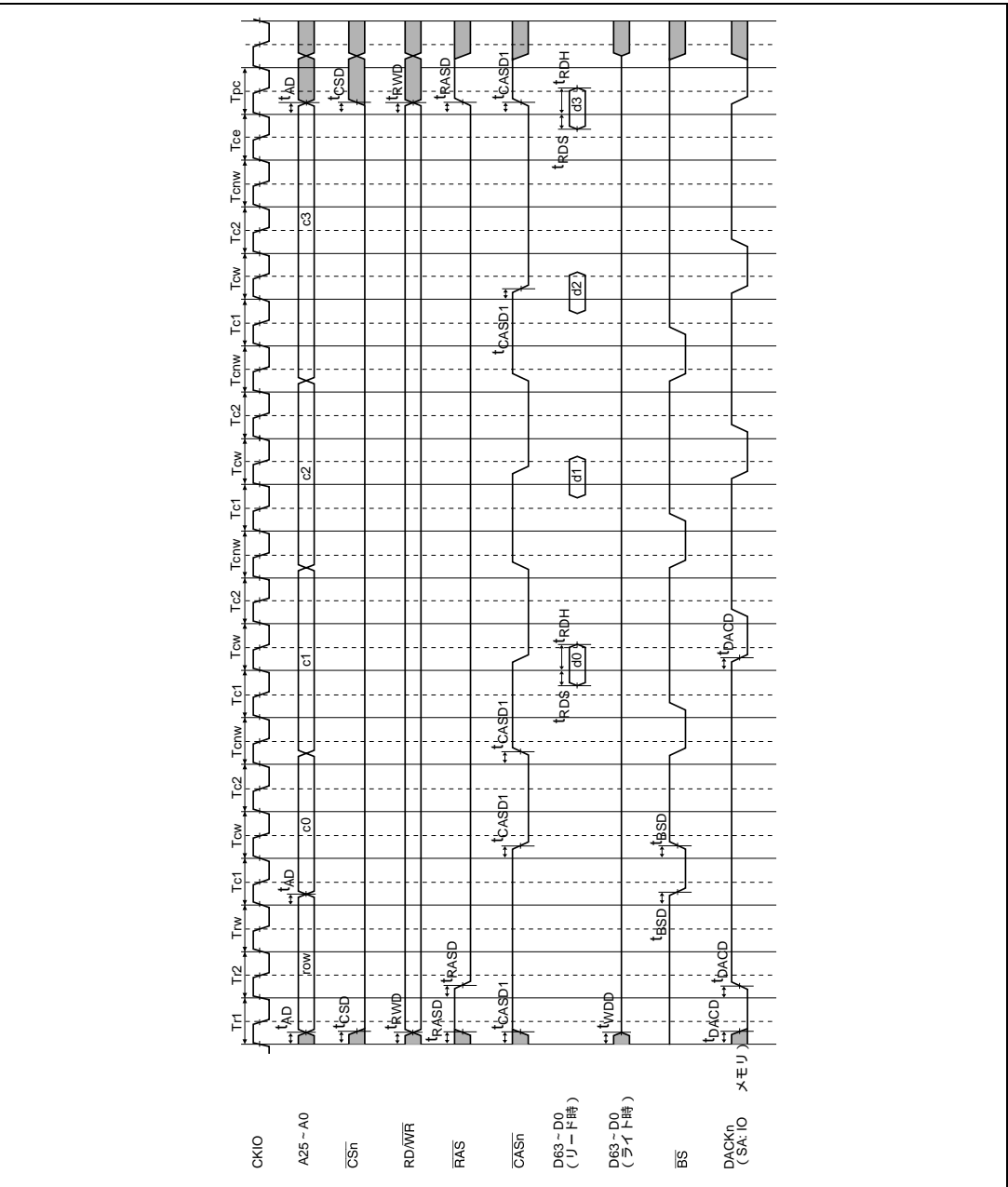


図 23.40 DRAM バーストアクセスサイクル (EDO モード、RCD=1、AnW=1、TPC=1、CAS ネゲートパルス幅 2 サイクル)



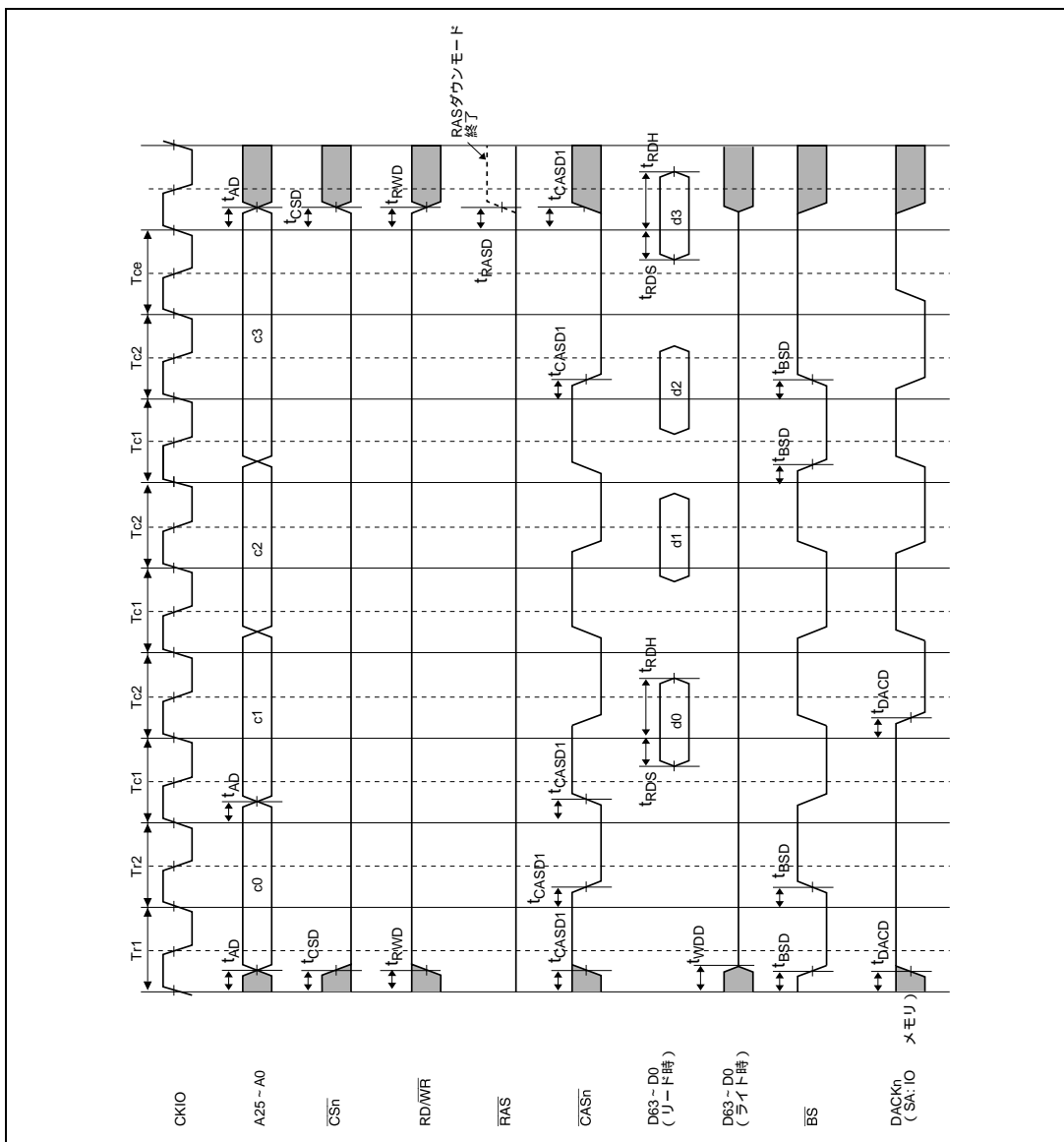


図 23.42 DRAM バーストバスサイクル、RAS ダウンモード継続 (EDO モード、RCD=0、AnW=0)

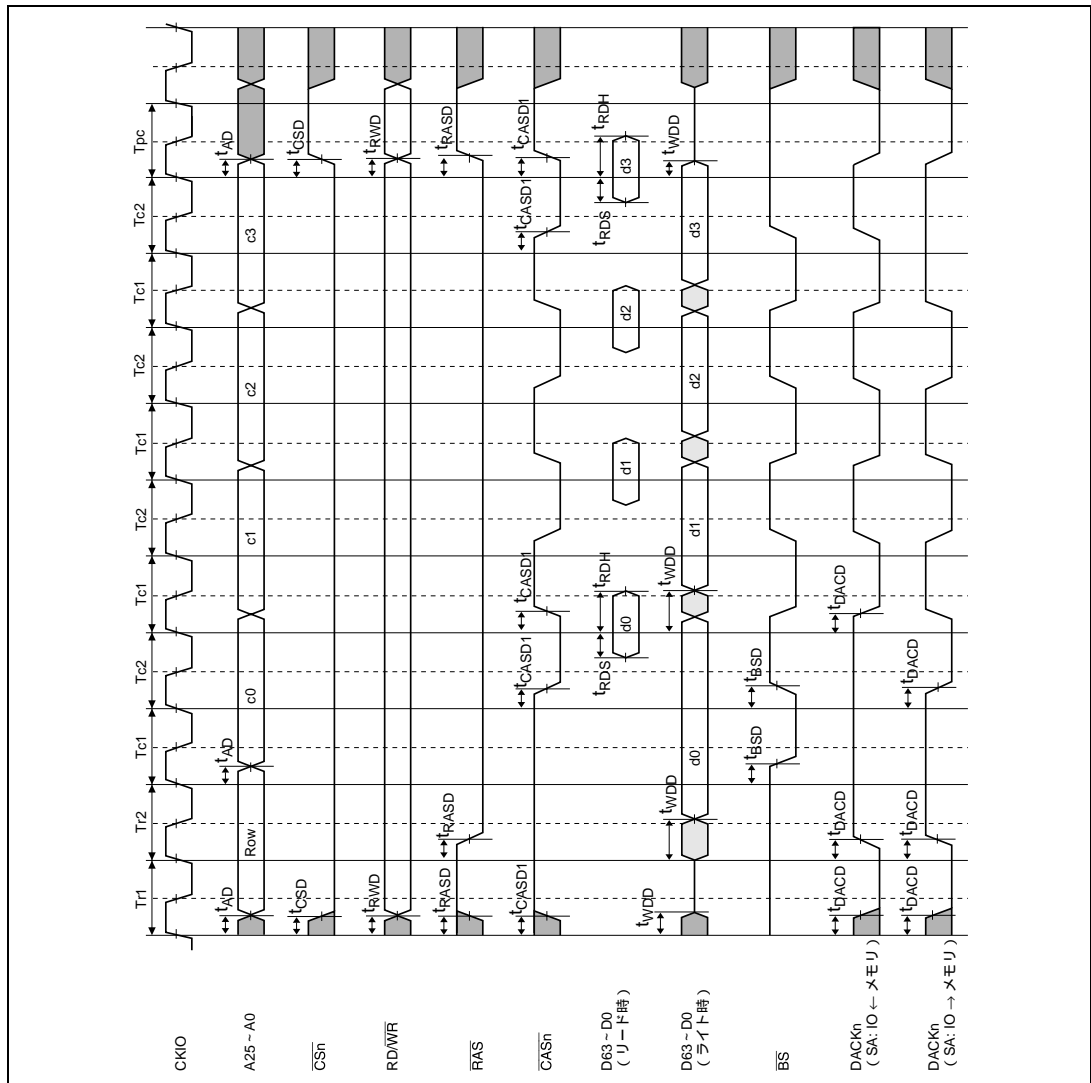
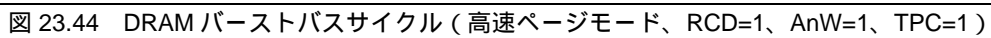


図 23.43 DRAM バーストバスサイクル (高速ページモード、RCD=0、AnW=0、TPC=1)



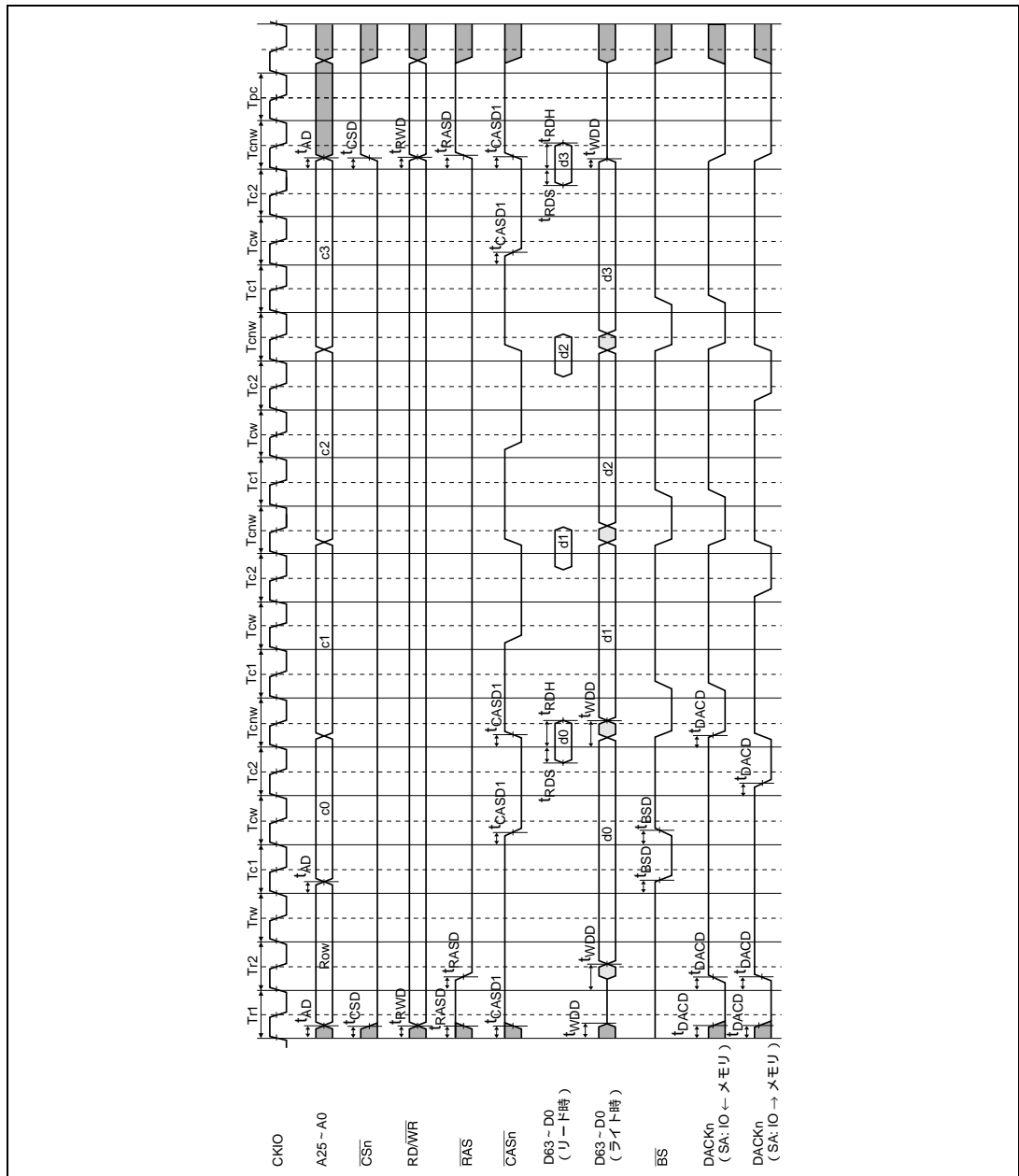


図 23.45 DRAM バーストバスサイクル (高速ページモード、RCD=1、AnW=1、TPC=1、CAS ネゲートパルス幅 2 サイクル)

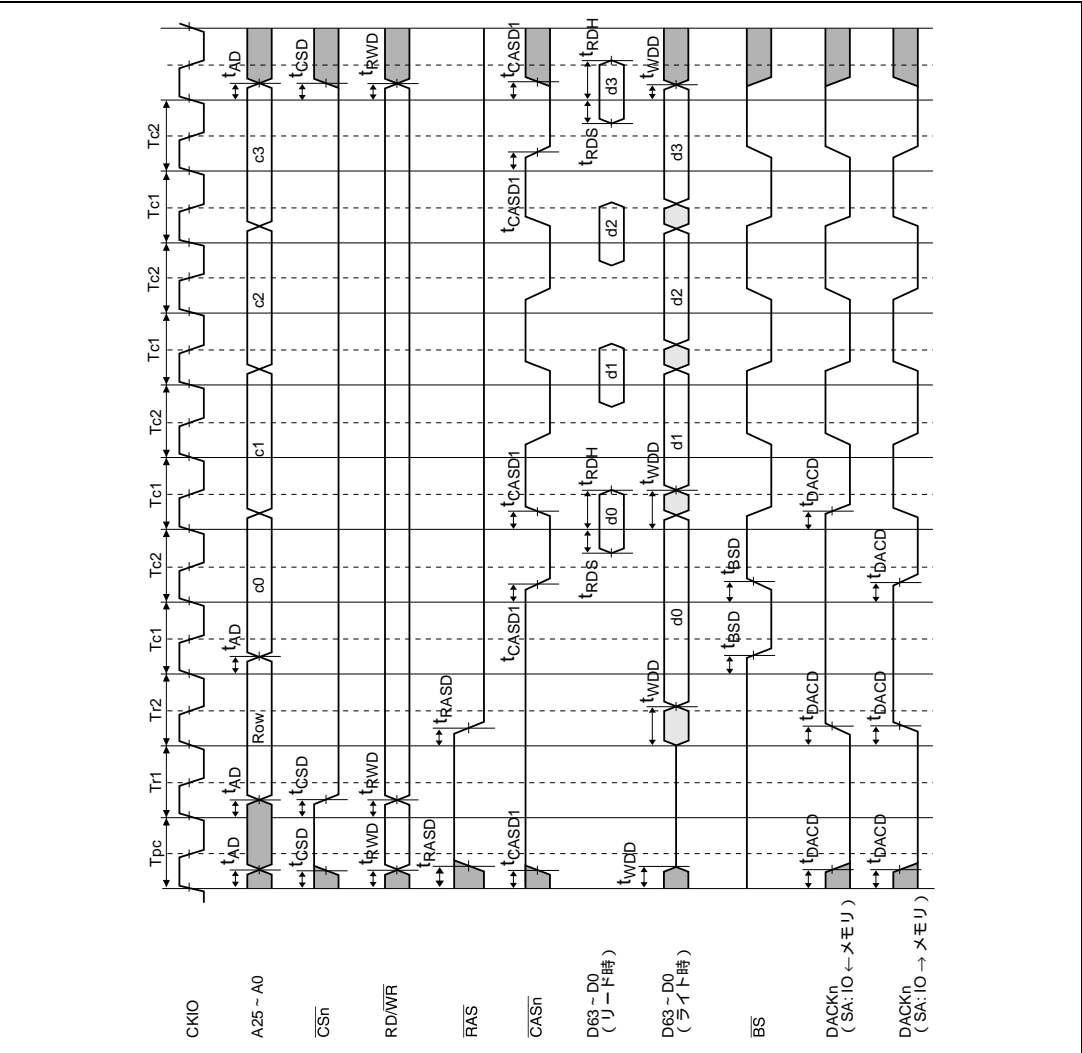


図 23.46 DRAM バーストバスサイクル、RAS ダウンモード状態  
(高速ページモード、RCD=0、AnW=0)

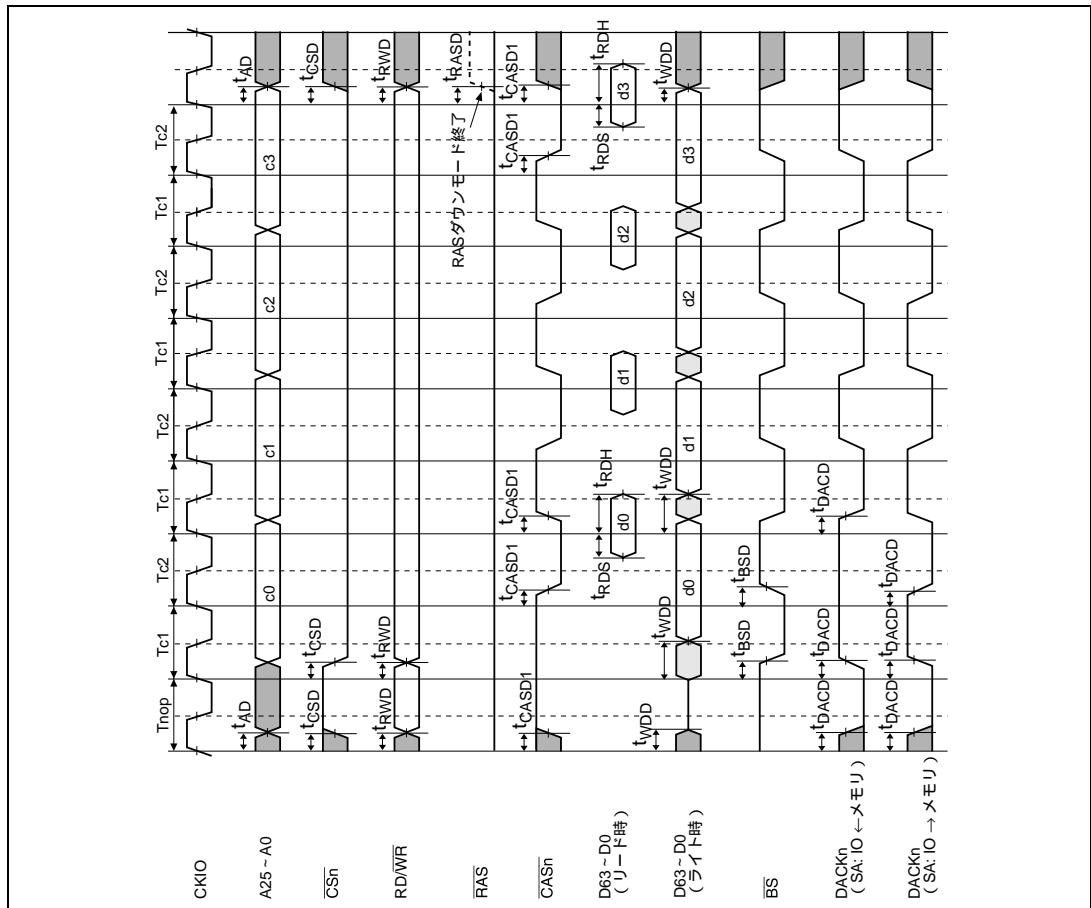


図 23.47 DRAM バーストアクセスサイクル、RAS ダウンモード継続  
(高速ページモード、RCD=0、AnW=0)



## 23. 電気的特性

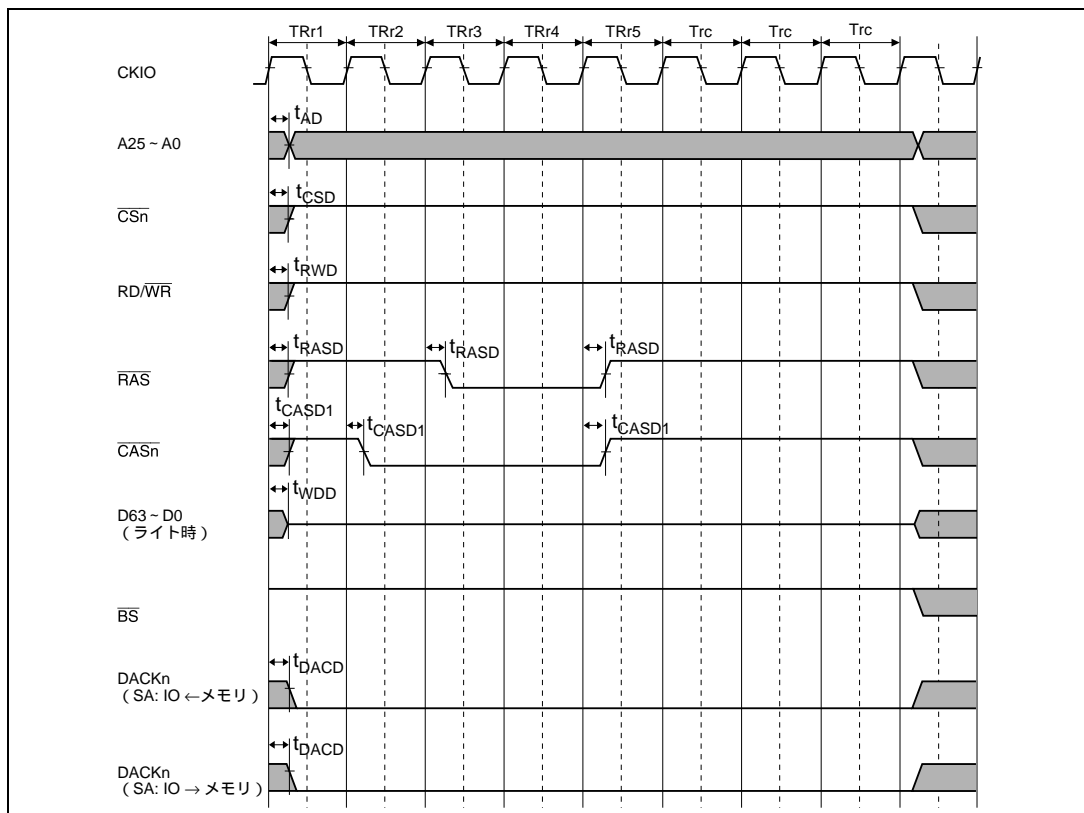


図 23.48 DRAM バスサイクル DRAM CAS ビフォ RAS リフレッシュ (TRAS=0、TRC=1)

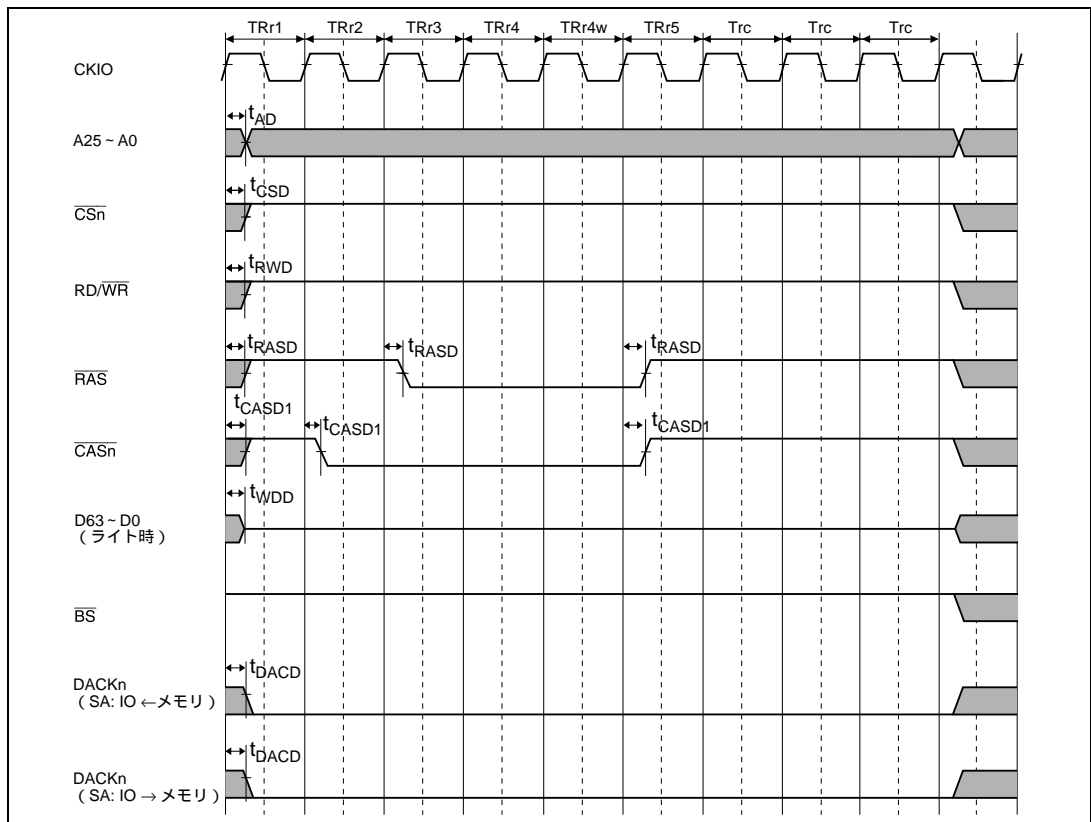


図 23.49 DRAM バスサイクル DRAM CAS ビフォ RAS リフレッシュ (TRAS=1、TRC=1)

## 23. 電気的特性

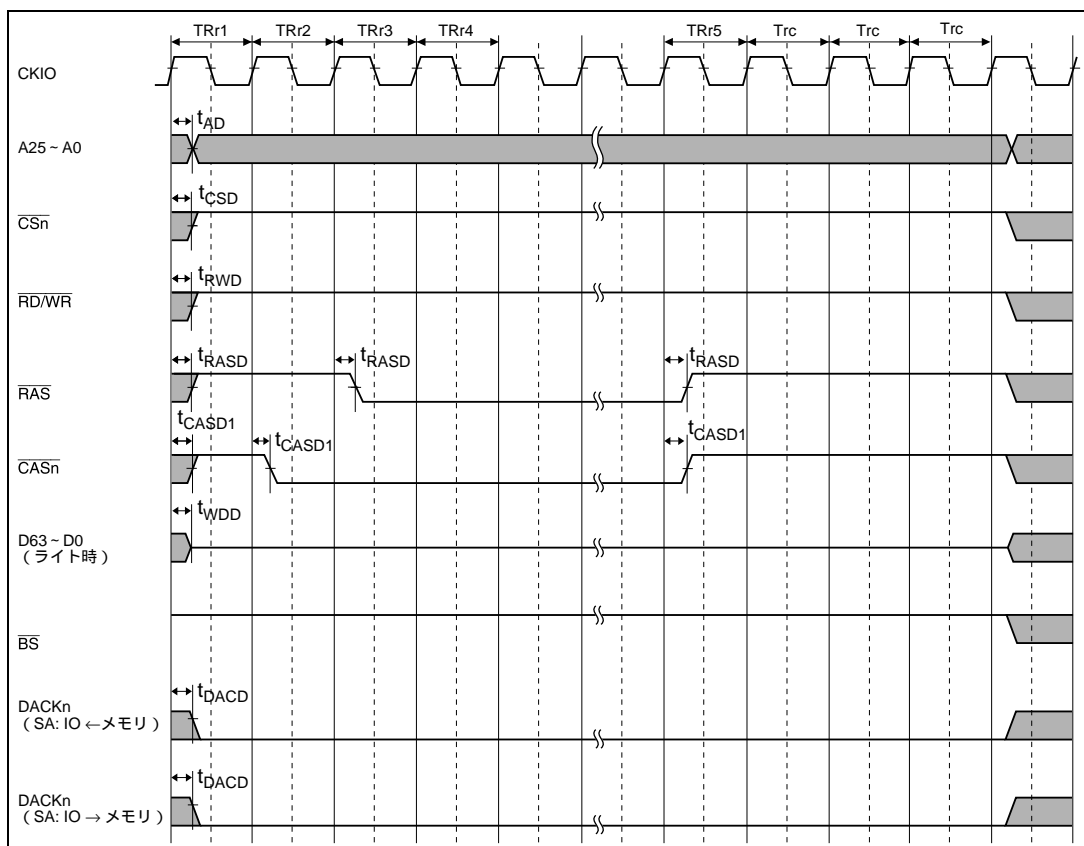


図 23.50 DRAM バスサイクル DRAM セルフリフレッシュ (TRC=1)

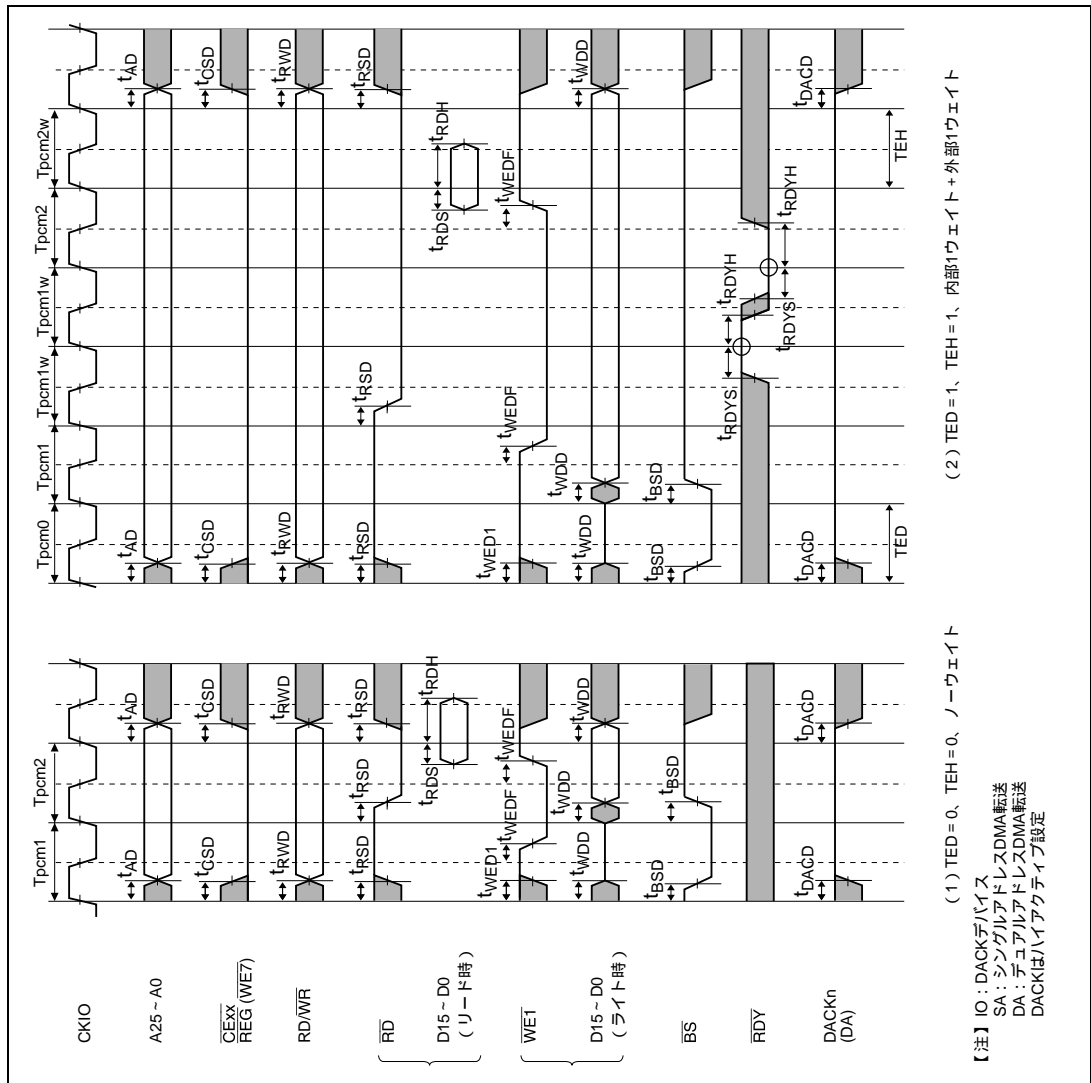


図 23.51 PCMCIA メモリバスサイクル

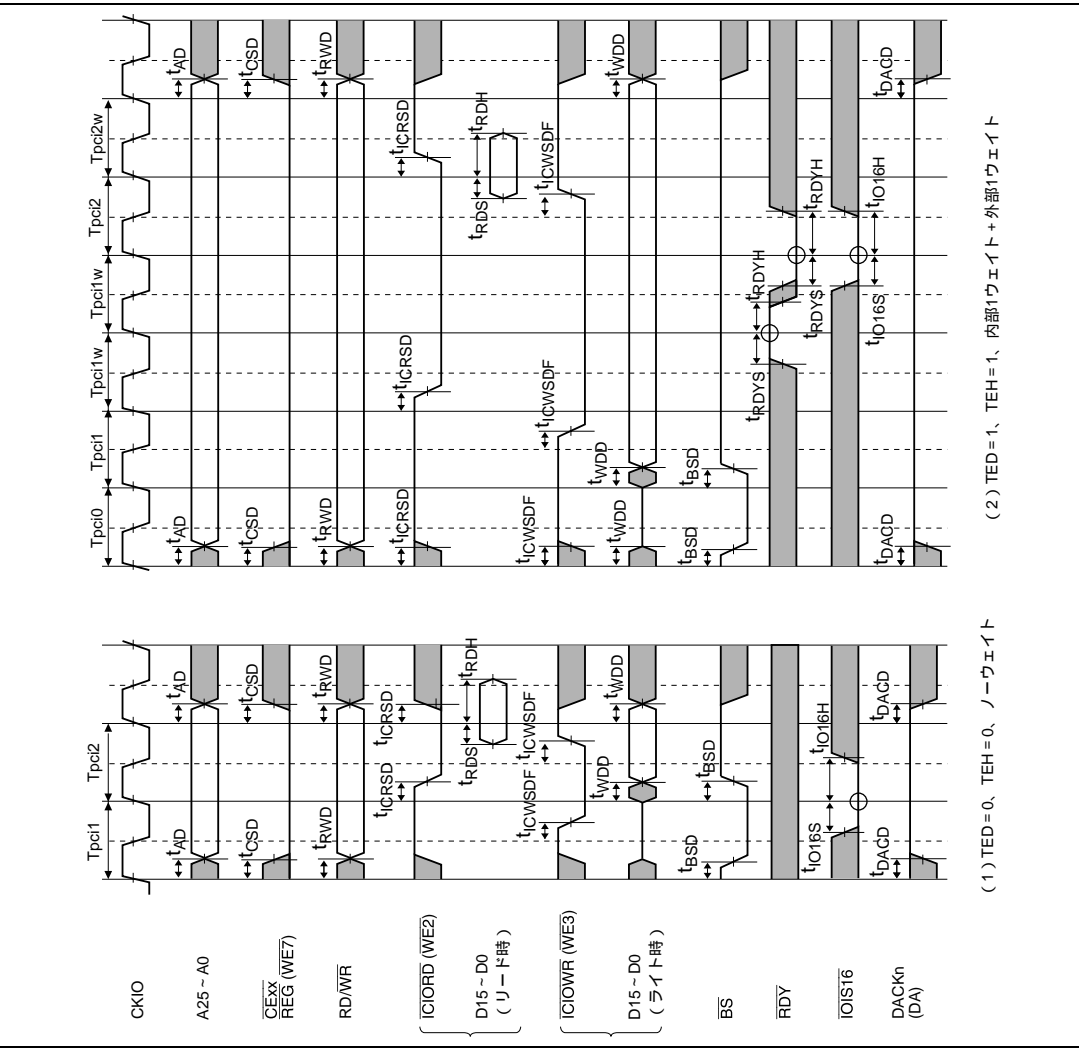
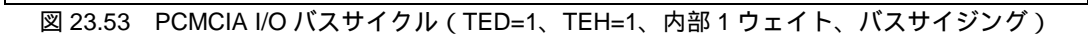


図 23.52 PCMCIA I/O バスサイクル



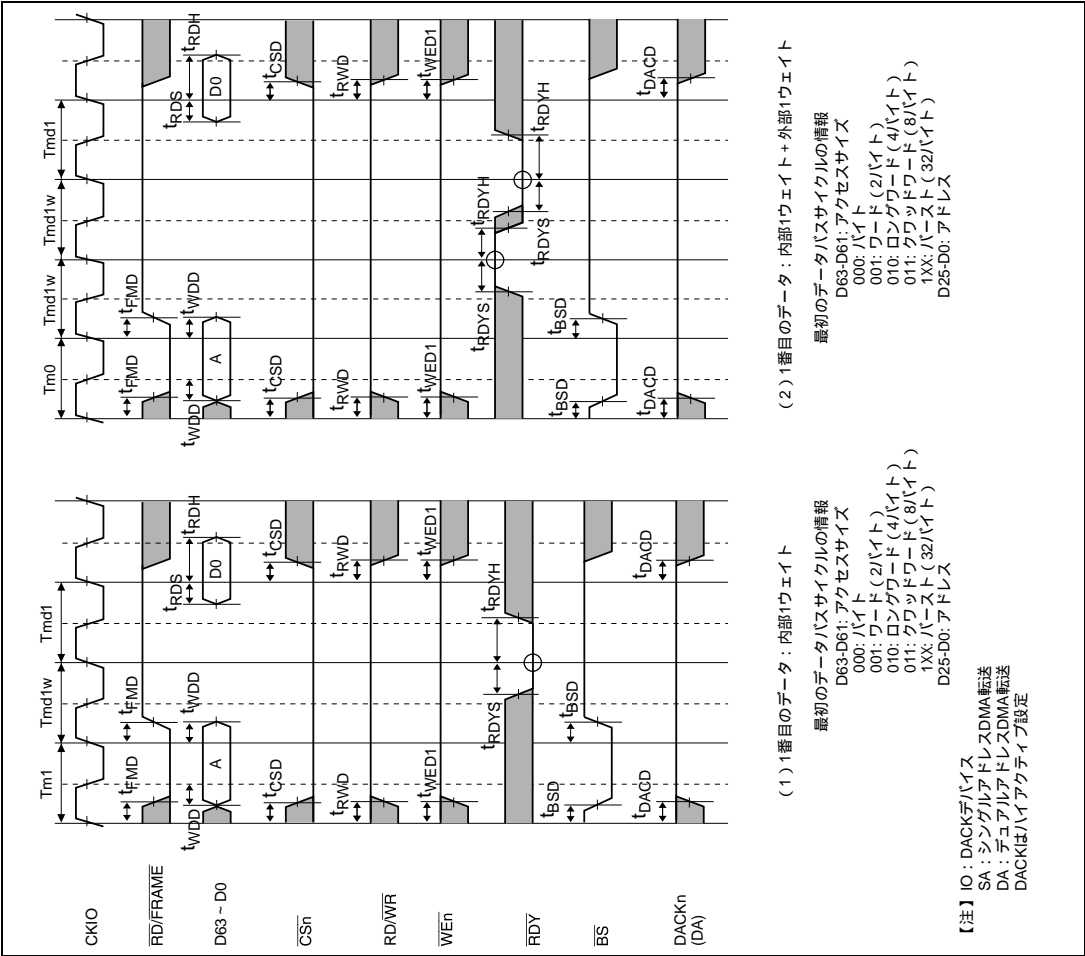


図 23.54 MPX 基本バスサイクル、リード

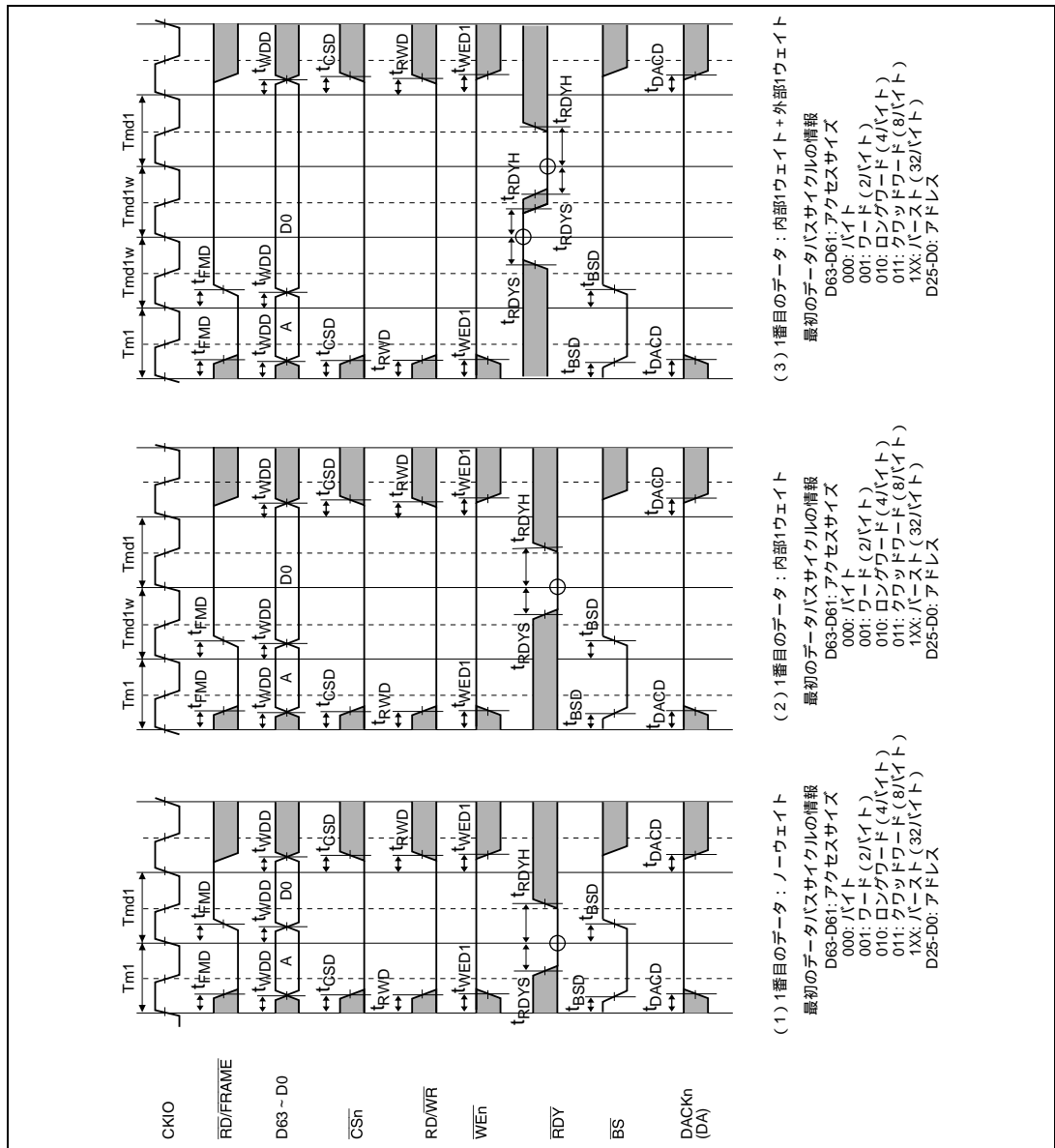
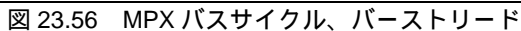


図 23.55 MPX 基本バスサイクル、ライト





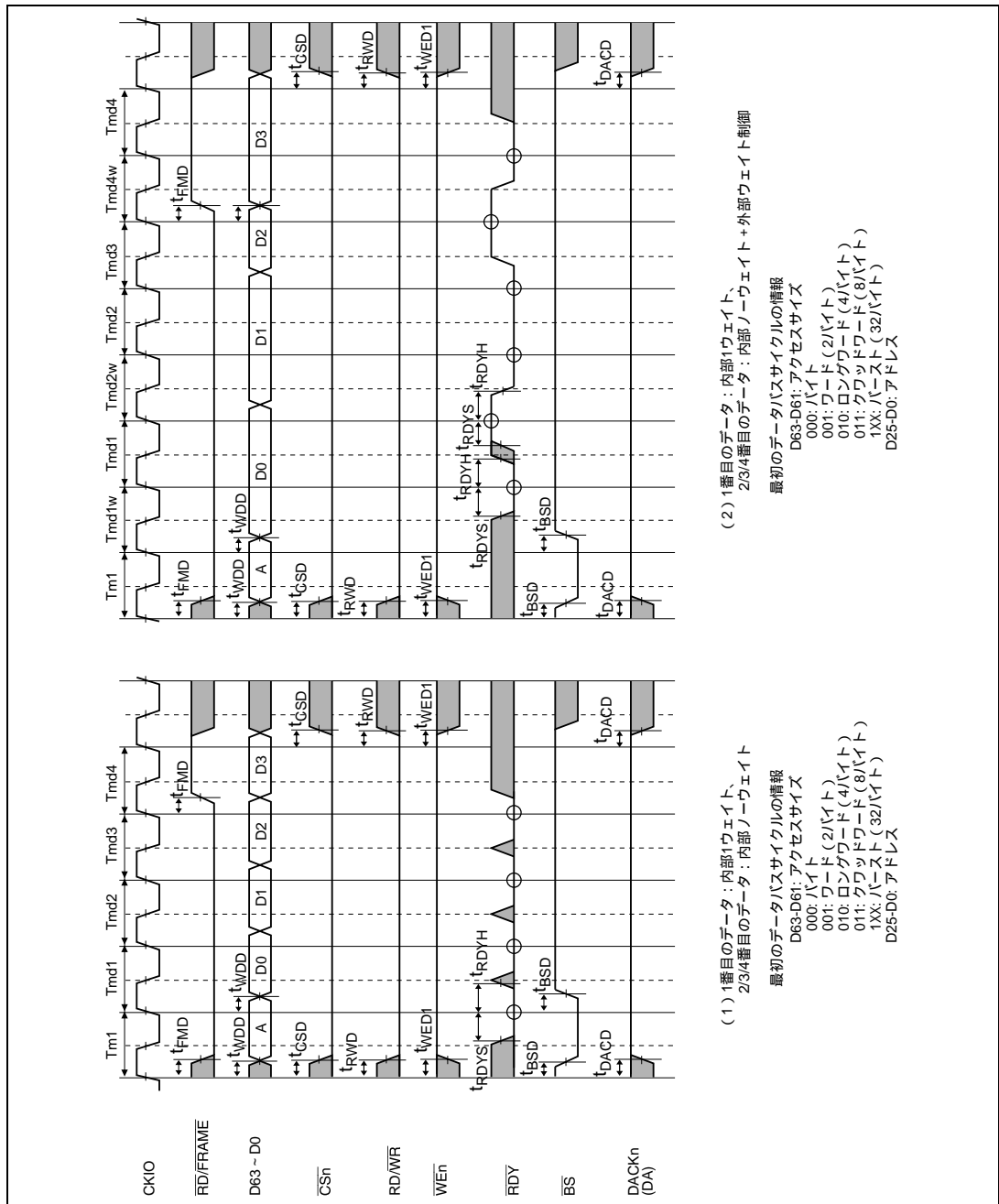


図 23.57 MPX バスサイクル、バーストライト

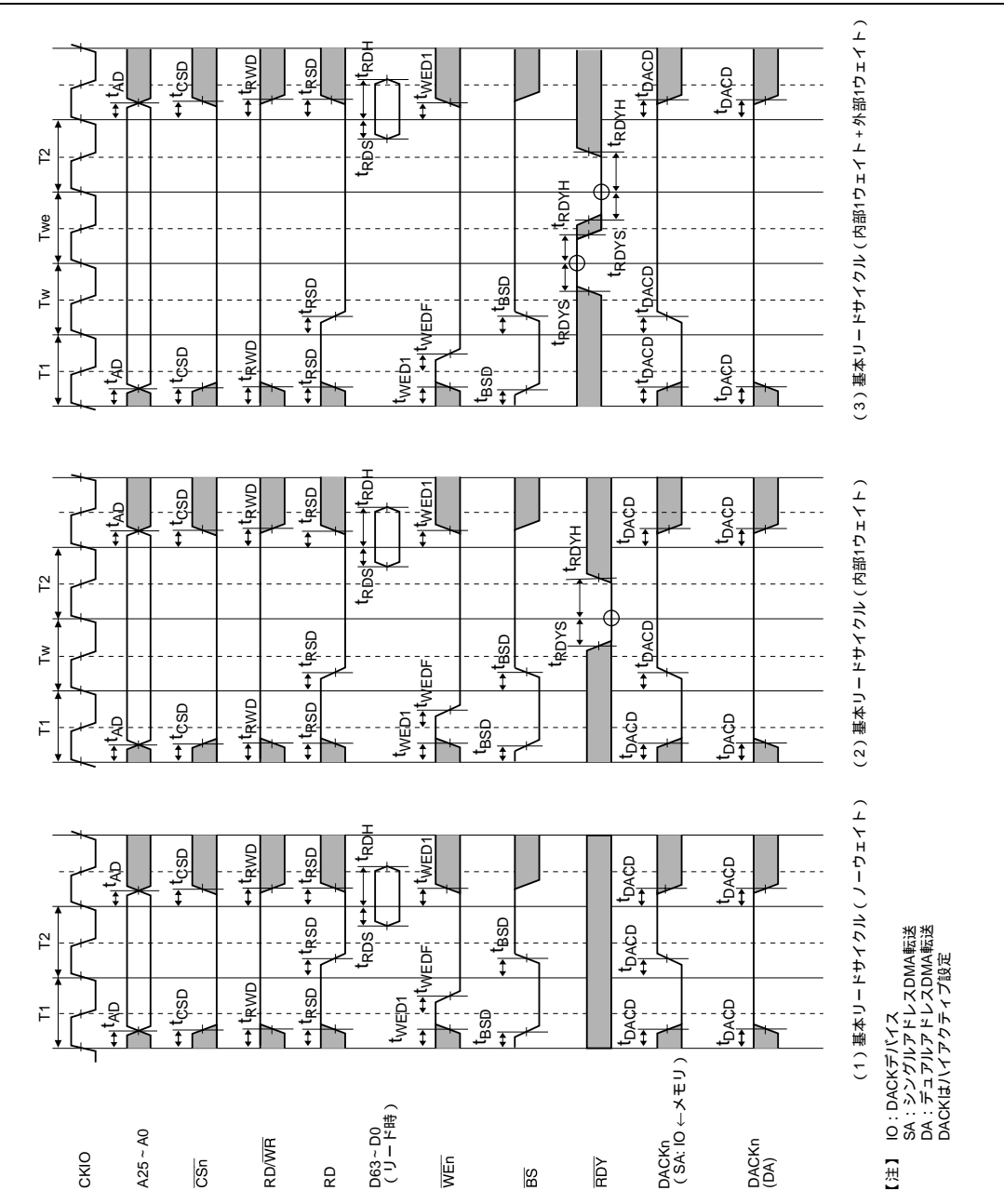


図 23.58 メモリバイト制御 SRAM バスサイクル

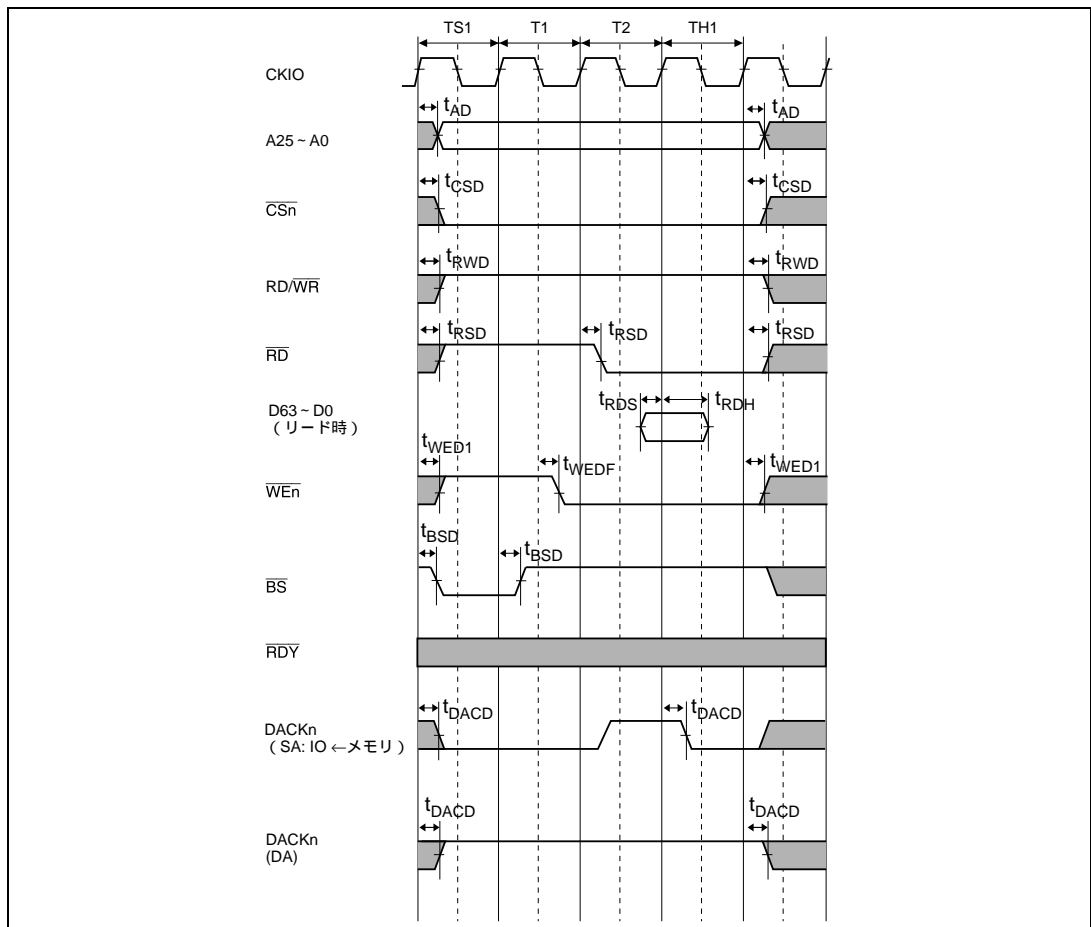


図 23.59 メモリバイト制御 SRAM バスサイクル 基本リードサイクル  
(ノーウェイト、アドレスセットアップ/ホールド時間挿入、AnS=1、AnH=1)

## 23. 電気的特性

### 23.3.4 周辺モジュール信号タイミング

表 23.8 周辺モジュール信号タイミング (1)

( $V_{DD0}=3.0 \sim 3.6V$ ,  $V_{DD}=1.8V$  typ,  $T_a=-20 \sim 75$ ,  $C_L=30pF$ , PLL2 は on)

| モジュール       | 項目                            | 略称           | 66 MHz |     | 83 MHz |     | 100 MHz |     | 単位         | 参照図   | 備考         |
|-------------|-------------------------------|--------------|--------|-----|--------|-----|---------|-----|------------|-------|------------|
|             |                               |              | Min    | Max | Min    | Max | Min     | Max |            |       |            |
| TMU, RTC    | タイマクロック<br>パルス幅 (High 時)      | $t_{TCLKWH}$ | 4      | -   | 4      | -   | 4       | -   | Pcyc*      | 23.60 |            |
|             | タイマクロック<br>パルス幅 (Low 時)       | $t_{TCLKWL}$ | 4      | -   | 4      | -   | 4       | -   | Pcyc*      | 23.60 |            |
|             | タイマクロック<br>立ち上がり時間            | $t_{TCLKr}$  | -      | 0.8 | -      | 0.8 | -       | 0.8 | Pcyc*      | 23.60 |            |
|             | タイマクロック<br>立ち下がり時間            | $t_{TCLKf}$  | -      | 0.8 | -      | 0.8 | -       | 0.8 | Pcyc*      | 23.60 |            |
|             | 発振安定期間                        | $t_{ROSC}$   | -      | 3   | -      | 3   | -       | 3   | s          | 23.61 |            |
| SCI         | 入力クロックサイクル<br>(調歩同期)          | $t_{Scyc}$   | 4      | -   | 4      | -   | 4       | -   | Pcyc*      | 23.62 |            |
|             | 入力クロックサイクル<br>(クロック同期)        |              | 6      | -   | 6      | -   | 6       | -   | Pcyc*      | 23.62 |            |
|             | 入力クロックパルス幅                    | $t_{SCKW}$   | 0.4    | 0.6 | 0.4    | 0.6 | 0.4     | 0.6 | $t_{Scyc}$ | 23.62 |            |
|             | 入力クロック<br>立ち上がり時間             | $t_{SCKr}$   | -      | 0.8 | -      | 0.8 | -       | 0.8 | Pcyc*      | 23.62 |            |
|             | 入力クロック<br>立ち下がり時間             | $t_{SCKf}$   | -      | 0.8 | -      | 0.8 | -       | 0.8 | Pcyc*      | 23.62 |            |
|             | 転送データ遅延時間                     | $t_{TXD}$    | -      | 30  | -      | 30  | -       | 30  | ns         | 23.63 |            |
|             | 受信データ<br>セットアップ時間<br>(クロック同期) | $t_{RXS}$    | 0.8    | -   | 0.8    | -   | 0.8     | -   | Pcyc*      | 23.63 |            |
|             | 受信データホールド時間<br>(クロック同期)       | $t_{RXH}$    | 0.8    | -   | 0.8    | -   | 0.8     | -   | Pcyc*      | 23.63 |            |
| I/O port    | 出力データ遅延時間                     | $t_{PORTD}$  | -      | 10  | -      | 8   | -       | 6   | ns         | 23.64 |            |
|             | 入力データ<br>セットアップ時間             | $t_{PORTS}$  | 2      | -   | 2      | -   | 2       | -   | ns         | 23.64 | BGA<br>QFP |
|             |                               |              | 3.5    | -   | 3.5    | -   | -       | -   |            |       |            |
|             | 入力データ<br>ホールド時間               | $t_{PORTH}$  | 1.5    | -   | 1.5    | -   | 1.5     | -   | ns         | 23.64 |            |
| DMA         | DREQn<br>セットアップ時間             | $t_{DRQS}$   | 2      | -   | 2      | -   | 2       | -   | ns         | 23.65 | BGA<br>QFP |
|             |                               |              | 3.5    | -   | 3.5    | -   | -       | -   |            |       |            |
|             | DREQn ホールド時間                  | $t_{DRQH}$   | 1.5    | -   | 1.5    | -   | 1.5     | -   | ns         | 23.65 |            |
|             | DRAKn 遅延時間                    | $t_{DRAKD}$  | -      | 10  | -      | 8   | -       | 6   | ns         | 23.65 |            |
| Hitachi-UDI | 入力クロックサイクル                    | $t_{TCKcyc}$ | 50     | -   | 50     | -   | 50      | -   | ns         | 23.66 |            |
|             | 入力クロックパルス幅<br>(High 時)        | $t_{TCKH}$   | 15     | -   | 15     | -   | 15      | -   | ns         | 23.66 |            |
|             | 入力クロックパルス幅<br>(Low 時)         | $t_{TCKL}$   | 15     | -   | 15     | -   | 15      | -   | ns         | 23.66 |            |
|             | 入力クロック<br>立ち上がり時間             | $t_{TCKr}$   | -      | 10  | -      | 10  | -       | 10  | ns         | 23.66 |            |
|             | 入力クロック<br>立ち下がり時間             | $t_{TCKf}$   | -      | 10  | -      | 10  | -       | 10  | ns         | 23.66 |            |

【注】 \* Pcyc は P クロックサイクルを意味します。

表 23.8 周辺モジュール信号タイミング (2)

(V<sub>DD0</sub>=3.0 ~3.6V, V<sub>DD</sub>= 1.8V typ, T<sub>a</sub>=-20~75°C, C<sub>L</sub>=30pF, PLL2 は on)

| モジュール       | 項目                  | 略称                   | 66 MHz |     | 83 MHz |     | 100 MHz |     | 単位               | 参照図   | 備考 |
|-------------|---------------------|----------------------|--------|-----|--------|-----|---------|-----|------------------|-------|----|
|             |                     |                      | Min    | Max | Min    | Max | Min     | Max |                  |       |    |
| Hitachi-UDI | ASEBRK<br>セットアップ時間  | t <sub>ASEBRKS</sub> | 10     | —   | 10     | —   | 10      | —   | t <sub>cyc</sub> | 23.67 |    |
|             | ASEBRK ホールド時間       | t <sub>ASEBRKH</sub> | 10     | —   | 10     | —   | 10      | —   | t <sub>cyc</sub> | 23.67 |    |
|             | TDI/TMS<br>セットアップ時間 | t <sub>TDIS</sub>    | 15     | —   | 15     | —   | 15      | —   | ns               | 23.68 |    |
|             | TDI/TMS ホールド時間      | t <sub>TDIH</sub>    | 15     | —   | 15     | —   | 15      | —   | ns               | 23.68 |    |
|             | TDO データ遅延時間         | t <sub>TDO</sub>     | 0      | 10  | 0      | 10  | 0       | 10  | ns               | 23.68 |    |
|             | ASE-PINBRK パルス幅     | t <sub>PINBRK</sub>  | 2      | —   | 2      | —   | 2       | —   | Pcyc*            | 23.69 |    |

【注】 \* Pcyc は P クロックサイクルを意味します。

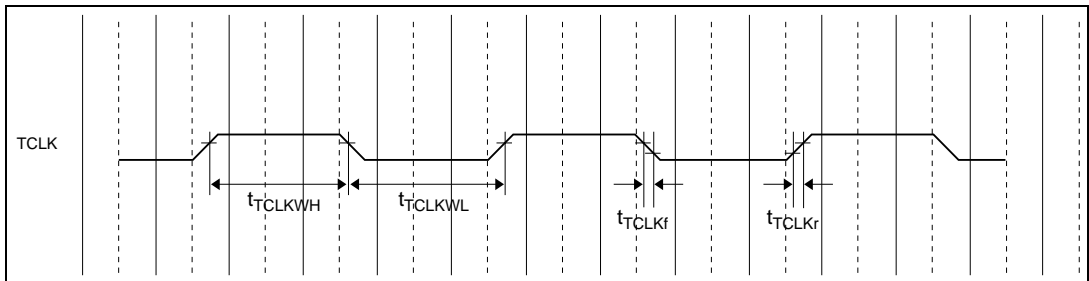


図 23.60 TCLK 入力タイミング

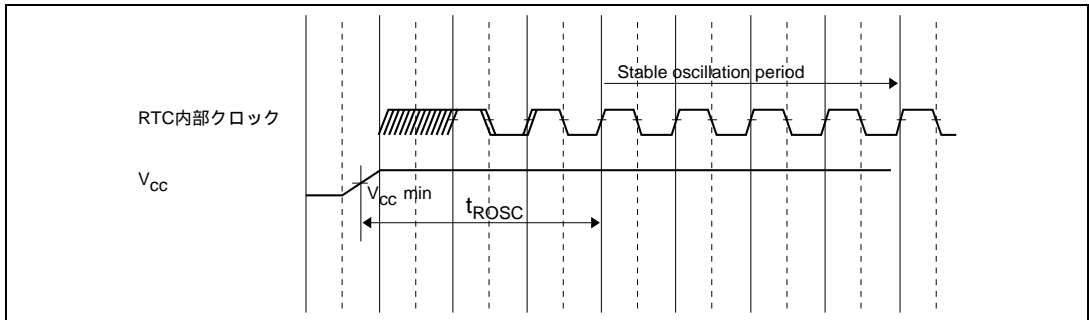


図 23.61 パワーオン RTC 発振安定時間

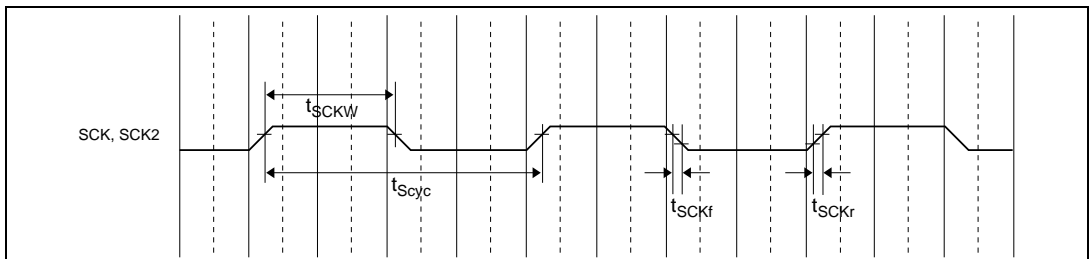


図 23.62 SCK 入力クロックタイミング

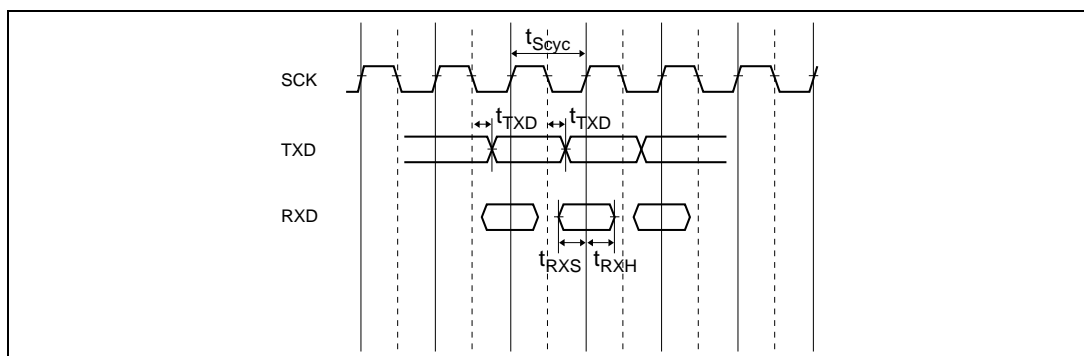


図 23.63 SCI I/O 同期モードクロックタイミング

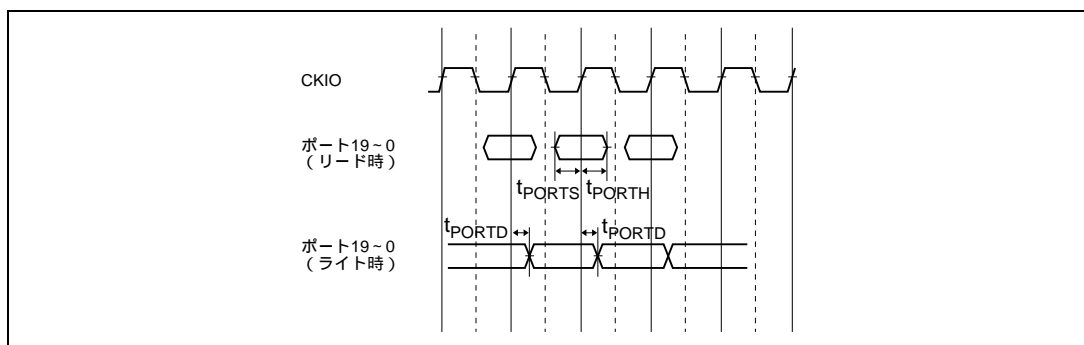


図 23.64 I/O ポート入出力タイミング

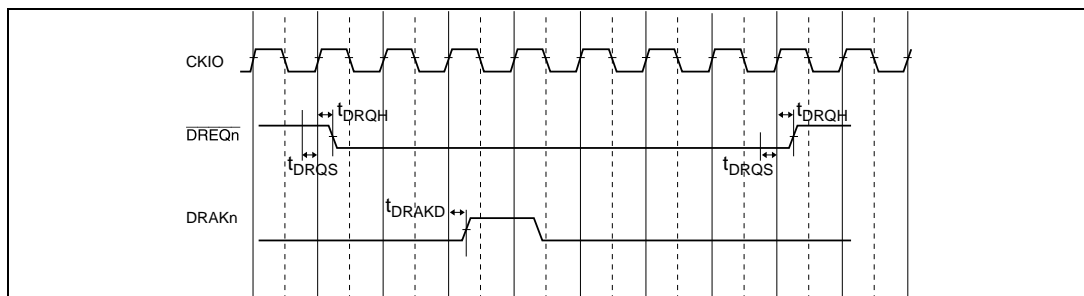


図 23.65 DREQ/DRAK タイミング

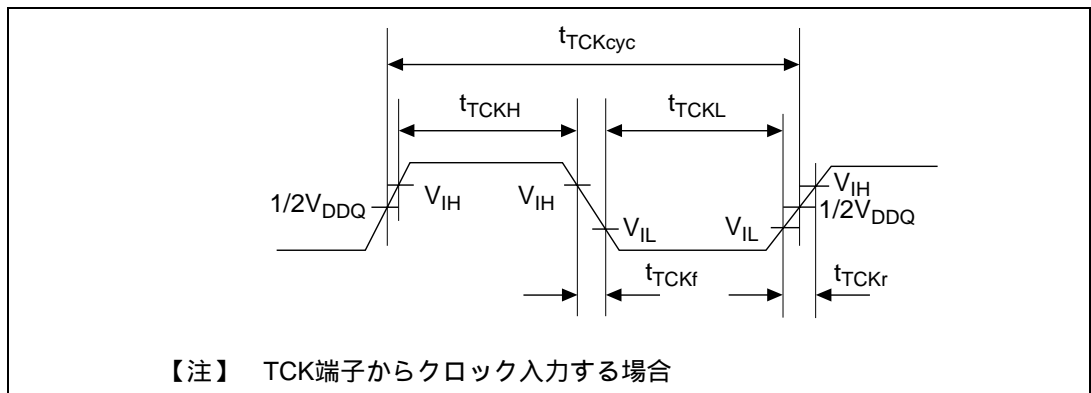


図 23.66 TCK 入力タイミング

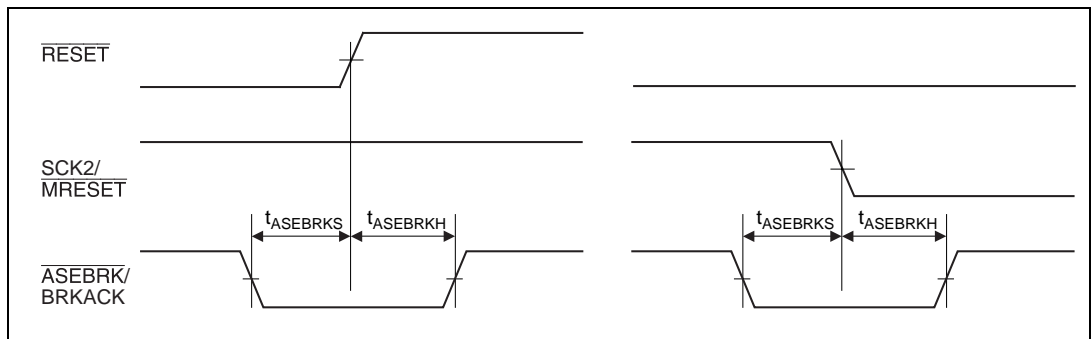


図 23.67 Reset ホールドタイミング

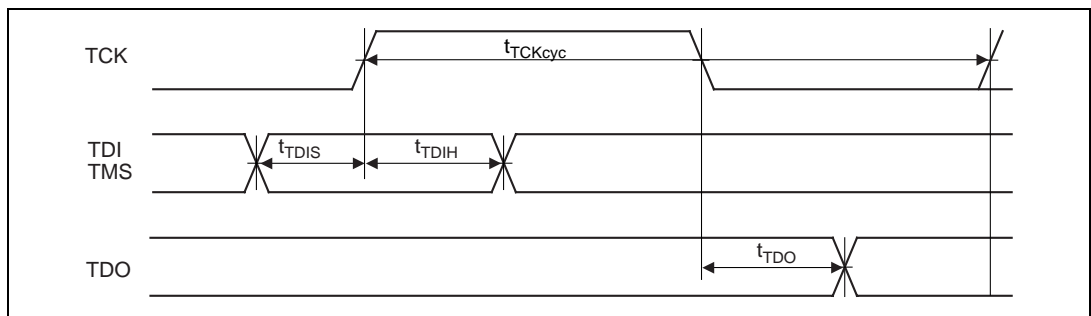


図 23.68 Hitachi-UDI データ転送タイミング

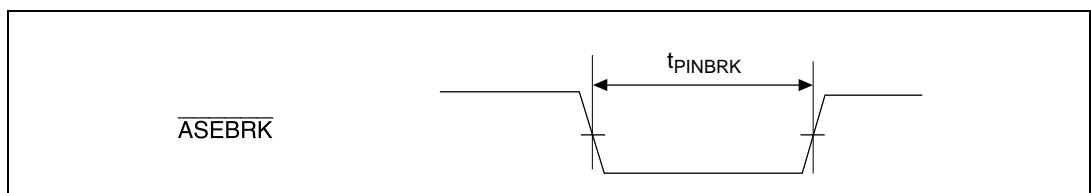


図 23.69 端子ブレイクタイミング



## 23.3.5 AC 特性測定条件

AC 特性測定条件は次のとおりです。

- 入出力信号参照レベル：1.5V ( $V_{DDQ}=3.3\pm0.3V$ )
- 入力パルスレベル： $V_{SSQ}\sim3.0V$   
(ただし、 $\overline{RESET}$ 、 $\overline{TRST}$ 、 $\overline{NMI}$ 、 $\overline{ASEBRK/BRKACK}$ は $V_{SSQ}\sim V_{DDQ}$ )
- 入力立ち上がり、立ち下がり時間：1ns

出力付加回路を図 23.70 に示します。

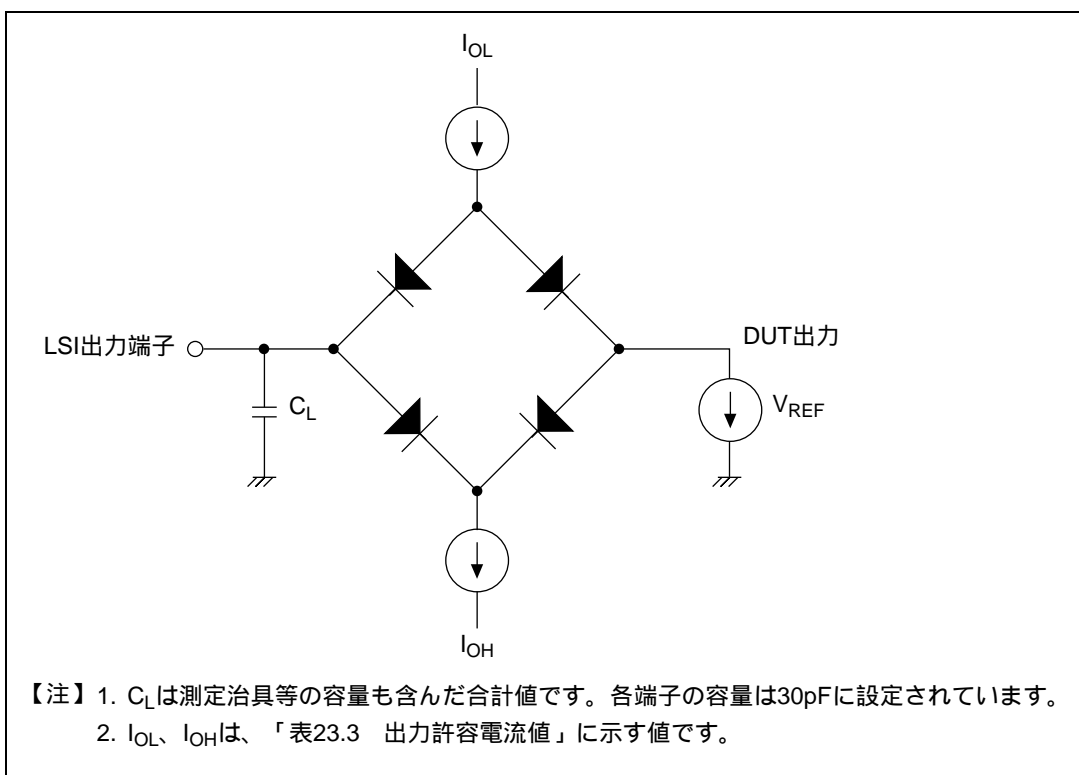


図 23.70 出力付加回路

### 23.3.6 負荷容量による遅延時間の変化

下記に、本 LSI の各端子に規定以上 (30pF) の負荷容量を接続した場合の、遅延時間の変化のグラフ (参考データ) を示します。規定容量を超えて、外部デバイスを接続される場合は、図 23.71 のグラフを参考に設計してください。

なお、接続される負荷容量が図 23.71 の範囲を超える場合は、グラフは直線にはなりません。

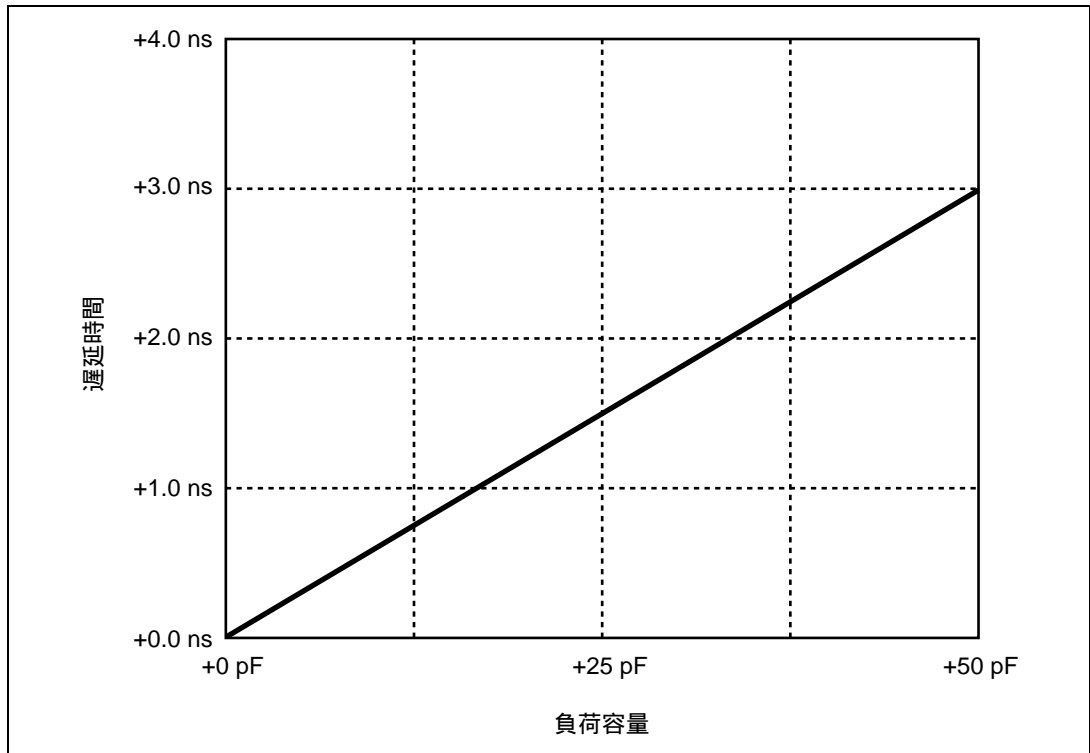


図 23.71 負荷容量－遅延時間

## 付録

### A. アドレス一覧

表 A.1 アドレス一覧 (1)

| モジュール | レジスタ   | P4 アドレス     | エリア7<br>アドレス*1 | サイズ | パワーオン<br>リセット | マニュアル<br>リセット | スリー<br>プ | スタン<br>バイ | 同期<br>クロ<br>ック |
|-------|--------|-------------|----------------|-----|---------------|---------------|----------|-----------|----------------|
| CCN   | PTEH   | H'FF00 0000 | H'1F00 0000    | 32  | 不定            | 不定            | 保持       | 保持        | lclk           |
| CCN   | PTL    | H'FF00 0004 | H'1F00 0004    | 32  | 不定            | 不定            | 保持       | 保持        | lclk           |
| CCN   | TTB    | H'FF00 0008 | H'1F00 0008    | 32  | 不定            | 不定            | 保持       | 保持        | lclk           |
| CCN   | TEA    | H'FF00 000C | H'1F00 000C    | 32  | 不定            | 保持            | 保持       | 保持        | lclk           |
| CCN   | MMUCR  | H'FF00 0010 | H'1F00 0010    | 32  | H'0000 0000   | H'0000 0000   | 保持       | 保持        | lclk           |
| CCN   | BASRA  | H'FF00 0014 | H'1F00 0014    | 8   | 不定            | 保持            | 保持       | 保持        | lclk           |
| CCN   | BASRB  | H'FF00 0018 | H'1F00 0018    | 8   | 不定            | 保持            | 保持       | 保持        | lclk           |
| CCN   | CCR    | H'FF00 001C | H'1F00 001C    | 32  | H'0000 0000   | H'0000 0000   | 保持       | 保持        | lclk           |
| CCN   | TRA    | H'FF00 0020 | H'1F00 0020    | 32  | 不定            | 不定            | 保持       | 保持        | lclk           |
| CCN   | EXPEVT | H'FF00 0024 | H'1F00 0024    | 32  | H'0000 0000   | H'0000 0020   | 保持       | 保持        | lclk           |
| CCN   | INTEVT | H'FF00 0028 | H'1F00 0028    | 32  | 不定            | 不定            | 保持       | 保持        | lclk           |
| CCN   | PTEA   | H'FF00 0034 | H'1F00 0034    | 32  | 不定            | 不定            | 保持       | 保持        | lclk           |
| CCN   | QACR0  | H'FF00 0038 | H'1F00 0038    | 32  | 不定            | 不定            | 保持       | 保持        | lclk           |
| CCN   | QACR1  | H'FF00 003C | H'1F00 003C    | 32  | 不定            | 不定            | 保持       | 保持        | lclk           |
| UBC   | BARA   | H'FF20 0000 | H'1F20 0000    | 32  | 不定            | 保持            | 保持       | 保持        | lclk           |
| UBC   | BAMRA  | H'FF20 0004 | H'1F20 0004    | 8   | 不定            | 保持            | 保持       | 保持        | lclk           |
| UBC   | BBRA   | H'FF20 0008 | H'1F20 0008    | 16  | H'0000        | 保持            | 保持       | 保持        | lclk           |
| UBC   | BARB   | H'FF20 000C | H'1F20 000C    | 32  | 不定            | 保持            | 保持       | 保持        | lclk           |
| UBC   | BAMRB  | H'FF20 0010 | H'1F20 0010    | 8   | 不定            | 保持            | 保持       | 保持        | lclk           |
| UBC   | BBRB   | H'FF20 0014 | H'1F20 0014    | 16  | H'0000        | 保持            | 保持       | 保持        | lclk           |
| UBC   | BDRB   | H'FF20 0018 | H'1F20 0018    | 32  | 不定            | 保持            | 保持       | 保持        | lclk           |
| UBC   | BDMRB  | H'FF20 001C | H'1F20 001C    | 32  | 不定            | 保持            | 保持       | 保持        | lclk           |
| UBC   | BRCR   | H'FF20 0020 | H'1F20 0020    | 16  | H'0000 *2     | 保持            | 保持       | 保持        | lclk           |

【注】 \*1 コントロールレジスタは物理ページ番号フィールドにおける上記アドレスを TLB セットアップすることでアクセスできます。これらのアドレスが TLB を使わずに直接参照すると、動作は限定されます。

\*2 不定ビットが含まれています。各モジュールの説明を参照してください。

表 A.1 アドレス一覧 (2)

| モジュール | レジスタ    | P4 アドレス     | エリア7 アドレス*1 | サイズ | パワーオンリセット     | マニュアルリセット   | スリープ | スタンバイ | 同期クロック |
|-------|---------|-------------|-------------|-----|---------------|-------------|------|-------|--------|
| BSC   | BCR1    | H'FF80 0000 | H'1F80 0000 | 32  | H'0000 0000*2 | 保持          | 保持   | 保持    | Bclk   |
| BSC   | BCR2    | H'FF80 0004 | H'1F80 0004 | 16  | H'3FFC*2      | 保持          | 保持   | 保持    | Bclk   |
| BSC   | WCR1    | H'FF80 0008 | H'1F80 0008 | 32  | H'7777 7777   | 保持          | 保持   | 保持    | Bclk   |
| BSC   | WCR2    | H'FF80 000C | H'1F80 000C | 32  | H'FFFE EFFF   | 保持          | 保持   | 保持    | Bclk   |
| BSC   | WCR3    | H'FF80 0010 | H'1F80 0010 | 32  | H'0777 7777   | 保持          | 保持   | 保持    | Bclk   |
| BSC   | MCR     | H'FF80 0014 | H'1F80 0014 | 32  | H'0000 0000   | 保持          | 保持   | 保持    | Bclk   |
| BSC   | PCR     | H'FF80 0018 | H'1F80 0018 | 16  | H'0000        | 保持          | 保持   | 保持    | Bclk   |
| BSC   | RTCSR   | H'FF80 001C | H'1F80 001C | 16  | H'0000        | 保持          | 保持   | 保持    | Bclk   |
| BSC   | RTCNT   | H'FF80 0020 | H'1F80 0020 | 16  | H'0000        | 保持          | 保持   | 保持    | Bclk   |
| BSC   | RTCOR   | H'FF80 0024 | H'1F80 0024 | 16  | H'0000        | 保持          | 保持   | 保持    | Bclk   |
| BSC   | RFCR    | H'FF80 0028 | H'1F80 0028 | 16  | H'0000        | 保持          | 保持   | 保持    | Bclk   |
| BSC   | PCTRA   | H'FF80 002C | H'1F80 002C | 32  | H'0000 0000   | 保持          | 保持   | 保持    | Bclk   |
| BSC   | PDTRA   | H'FF80 0030 | H'1F80 0030 | 16  | 不定            | 保持          | 保持   | 保持    | Bclk   |
| BSC   | PCTRB   | H'FF80 0040 | H'1F80 0040 | 32  | H'0000 0000   | 保持          | 保持   | 保持    | Bclk   |
| BSC   | PDTRB   | H'FF80 0044 | H'1F80 0044 | 16  | 不定            | 保持          | 保持   | 保持    | Bclk   |
| BSC   | GPIOIC  | H'FF80 0048 | H'1F80 0048 | 16  | H'0000 0000   | 保持          | 保持   | 保持    | Bclk   |
| BSC   | SDMR2   | H'FF90 xxxx | H'1F90 xxxx | 8   | ライトオンリー       |             |      |       | Bclk   |
| BSC   | SDMR3   | H'FF94 xxxx | H'1F94 xxxx | 8   |               |             |      |       | Bclk   |
|       |         |             |             |     |               |             |      |       |        |
| DMAC  | SAR0    | H'FFA0 0000 | H'1FA0 0000 | 32  | 不定            | 不定          | 保持   | 保持    | Bclk   |
| DMAC  | DAR0    | H'FFA0 0004 | H'1FA0 0004 | 32  | 不定            | 不定          | 保持   | 保持    | Bclk   |
| DMAC  | DMATCR0 | H'FFA0 0008 | H'1FA0 0008 | 32  | 不定            | 不定          | 保持   | 保持    | Bclk   |
| DMAC  | CHCR0   | H'FFA0 000C | H'1FA0 000C | 32  | H'0000 0000   | H'0000 0000 | 保持   | 保持    | Bclk   |
| DMAC  | SAR1    | H'FFA0 0010 | H'1FA0 0010 | 32  | 不定            | 不定          | 保持   | 保持    | Bclk   |
| DMAC  | DAR1    | H'FFA0 0014 | H'1FA0 0014 | 32  | 不定            | 不定          | 保持   | 保持    | Bclk   |
| DMAC  | DMATCR1 | H'FFA0 0018 | H'1FA0 0018 | 32  | 不定            | 不定          | 保持   | 保持    | Bclk   |
| DMAC  | CHCR1   | H'FFA0 001C | H'1FA0 001C | 32  | H'0000 0000   | H'0000 0000 | 保持   | 保持    | Bclk   |
| DMAC  | SAR2    | H'FFA0 0020 | H'1FA0 0020 | 32  | 不定            | 不定          | 保持   | 保持    | Bclk   |
| DMAC  | DAR2    | H'FFA0 0024 | H'1FA0 0024 | 32  | 不定            | 不定          | 保持   | 保持    | Bclk   |
| DMAC  | DMATCR2 | H'FFA0 0028 | H'1FA0 0028 | 32  | 不定            | 不定          | 保持   | 保持    | Bclk   |
| DMAC  | CHCR2   | H'FFA0 002C | H'1FA0 002C | 32  | H'0000 0000   | H'0000 0000 | 保持   | 保持    | Bclk   |
| DMAC  | SAR3    | H'FFA0 0030 | H'1FA0 0030 | 32  | 不定            | 不定          | 保持   | 保持    | Bclk   |
| DMAC  | DAR3    | H'FFA0 0034 | H'1FA0 0034 | 32  | 不定            | 不定          | 保持   | 保持    | Bclk   |
| DMAC  | DMATCR3 | H'FFA0 0038 | H'1FA0 0038 | 32  | 不定            | 不定          | 保持   | 保持    | Bclk   |
| DMAC  | CHCR3   | H'FFA0 003C | H'1FA0 003C | 32  | H'0000 0000   | H'0000 0000 | 保持   | 保持    | Bclk   |
| DMAC  | DMAOR   | H'FFA0 0040 | H'1FA0 0040 | 32  | H'0000 0000   | H'0000 0000 | 保持   | 保持    | Bclk   |

【注】 \*1 コントロールレジスタは物理ページ番号フィールドにおける上記アドレスを TLB セットアップすることでアクセスできます。これらのアドレスが TLB を使わずに直接参照すると、動作は限定されます。

\*2 不定ビットが含まれています。各モジュールの説明を参照してください。

表 A.1 アドレス一覧 (3)

| モジュール | レジスタ    | P4 アドレス     | エリア7<br>アドレス*1 | サイズ    | パワーオン<br>リセット | マニュアル<br>リセット | スリープ | スタンバイ | 同期<br>クロック |
|-------|---------|-------------|----------------|--------|---------------|---------------|------|-------|------------|
| CPG   | FRQCR   | H'FFC0 0000 | H'1FC0 0000    | 16     | *2            | 保持            | 保持   | 保持    | Pclk       |
| CPG   | STBCR   | H'FFC0 0004 | H'1FC0 0004    | 8      | H'00          | 保持            | 保持   | 保持    | Pclk       |
| CPG   | WTCNT   | H'FFC0 0008 | H'1FC0 0008    | 8/16*3 | H'00          | 保持            | 保持   | 保持    | Pclk       |
| CPG   | WTCSR   | H'FFC0 000C | H'1FC0 000C    | 8/16*3 | H'00          | 保持            | 保持   | 保持    | Pclk       |
| CPG   | STBCR2  | H'FFC0 0010 | H'1FC0 0010    | 8      | H'00          | 保持            | 保持   | 保持    | Pclk       |
| RTC   | R64CNT  | H'FFC8 0000 | H'1FC8 0000    | 8      | 保持            | 保持            | 保持   | 保持    | Pclk       |
| RTC   | RSECCNT | H'FFC8 0004 | H'1FC8 0004    | 8      | 保持            | 保持            | 保持   | 保持    | Pclk       |
| RTC   | RMINCNT | H'FFC8 0008 | H'1FC8 0008    | 8      | 保持            | 保持            | 保持   | 保持    | Pclk       |
| RTC   | RHRCNT  | H'FFC8 000C | H'1FC8 000C    | 8      | 保持            | 保持            | 保持   | 保持    | Pclk       |
| RTC   | RWKCNT  | H'FFC8 0010 | H'1FC8 0010    | 8      | 保持            | 保持            | 保持   | 保持    | Pclk       |
| RTC   | RDAYCNT | H'FFC8 0014 | H'1FC8 0014    | 8      | 保持            | 保持            | 保持   | 保持    | Pclk       |
| RTC   | RMONCNT | H'FFC8 0018 | H'1FC8 0018    | 8      | 保持            | 保持            | 保持   | 保持    | Pclk       |
| RTC   | RYRCNT  | H'FFC8 001C | H'1FC8 001C    | 16     | 保持            | 保持            | 保持   | 保持    | Pclk       |
| RTC   | RSECAR  | H'FFC8 0020 | H'1FC8 0020    | 8      | 保持*2          | 保持            | 保持   | 保持    | Pclk       |
| RTC   | RMINAR  | H'FFC8 0024 | H'1FC8 0024    | 8      | 保持*2          | 保持            | 保持   | 保持    | Pclk       |
| RTC   | RHRAR   | H'FFC8 0028 | H'1FC8 0028    | 8      | 保持*2          | 保持            | 保持   | 保持    | Pclk       |
| RTC   | RWKAR   | H'FFC8 002C | H'1FC8 002C    | 8      | 保持*2          | 保持            | 保持   | 保持    | Pclk       |
| RTC   | RDAYAR  | H'FFC8 0030 | H'1FC8 0030    | 8      | 保持*2          | 保持            | 保持   | 保持    | Pclk       |
| RTC   | RMONAR  | H'FFC8 0034 | H'1FC8 0034    | 8      | 保持*2          | 保持            | 保持   | 保持    | Pclk       |
| RTC   | RCR1    | H'FFC8 0038 | H'1FC8 0038    | 8      | H'00*2        | H'00*2        | 保持   | 保持    | Pclk       |
| RTC   | RCR2    | H'FFC8 003C | H'1FC8 003C    | 8      | H'09*2        | H'00*2        | 保持   | 保持    | Pclk       |
| INTC  | ICR     | H'FFD0 0000 | H'1FD0 0000    | 16     | H'0000*2      | H'0000*2      | 保持   | 保持    | Pclk       |
| INTC  | IPRA    | H'FFD0 0004 | H'1FD0 0004    | 16     | H'0000        | H'0000        | 保持   | 保持    | Pclk       |
| INTC  | IPRB    | H'FFD0 0008 | H'1FD0 0008    | 16     | H'0000        | H'0000        | 保持   | 保持    | Pclk       |
| INTC  | IPRC    | H'FFD0 000C | H'1FD0 000C    | 16     | H'0000        | H'0000        | 保持   | 保持    | Pclk       |

【注】 \*1 コントロールレジスタは物理ページ番号フィールドにおける上記アドレスを TLB セットアップすることでアクセスできます。これらのアドレスが TLB を使わずに直接参照すると、動作は限定されます。

\*2 不定ビットが含まれています。各モジュールの説明を参照してください。

\*3 書き込みは、ワードサイズで行ってください。上位バイトをそれぞれ H'5A、H'A 5 にして書き込んでください。バイトまたはロングワードサイズでは書き込むことができません。読み出しは、バイトサイズで行ってください。

表 A.1 アドレス一覧 (4)

| モジュール       | レジスタ    | P4 アドレス     | エリア7<br>アドレス*1 | サイズ | パワーオン<br>リセット | マニュアル<br>リセット | スリープ | スタンバイ  | 同期<br>クロック |
|-------------|---------|-------------|----------------|-----|---------------|---------------|------|--------|------------|
| TMU         | TOCR    | H'FFD8 0000 | H'1FD8 0000    | 8   | H'00          | H'00          | 保持   | 保持     | Pclk       |
| TMU         | TSTR    | H'FFD8 0004 | H'1FD8 0004    | 8   | H'00          | H'00          | 保持   | H'00*2 | Pclk       |
| TMU         | TCOR0   | H'FFD8 0008 | H'1FD8 0008    | 32  | H'FFFF FFFF   | H'FFFF FFFF   | 保持   | 保持     | Pclk       |
| TMU         | TCNT0   | H'FFD8 000C | H'1FD8 000C    | 32  | H'FFFF FFFF   | H'FFFF FFFF   | 保持   | 保持     | Pclk       |
| TMU         | TCR0    | H'FFD8 0010 | H'1FD8 0010    | 16  | H'0000        | H'0000        | 保持   | 保持     | Pclk       |
| TMU         | TCOR1   | H'FFD8 0014 | H'1FD8 0014    | 32  | H'FFFF FFFF   | H'FFFF FFFF   | 保持   | 保持     | Pclk       |
| TMU         | TCNT1   | H'FFD8 0018 | H'1FD8 0018    | 32  | H'FFFF FFFF   | H'FFFF FFFF   | 保持   | 保持     | Pclk       |
| TMU         | TCR1    | H'FFD8 001C | H'1FD8 001C    | 16  | H'0000        | H'0000        | 保持   | 保持     | Pclk       |
| TMU         | TCOR2   | H'FFD8 0020 | H'1FD8 0020    | 32  | H'FFFF FFFF   | H'FFFF FFFF   | 保持   | 保持     | Pclk       |
| TMU         | TCNT2   | H'FFD8 0024 | H'1FD8 0024    | 32  | H'FFFF FFFF   | H'FFFF FFFF   | 保持   | 保持     | Pclk       |
| TMU         | TCR2    | H'FFD8 0028 | H'1FD8 0028    | 16  | H'0000        | H'0000        | 保持   | 保持     | Pclk       |
| TMU         | TCPR2   | H'FFD8 002C | H'1FD8 002C    | 32  | 保持            | 保持            | 保持   | 保持     | Pclk       |
|             |         |             |                |     |               |               |      |        |            |
| SCI         | SCSMR1  | H'FFE0 0000 | H'1FE0 0000    | 8   | H'00          | H'00          | 保持   | H'00   | Pclk       |
| SCI         | SCBRR1  | H'FFE0 0004 | H'1FE0 0004    | 8   | H'FF          | H'FF          | 保持   | H'FF   | Pclk       |
| SCI         | SCSCR1  | H'FFE0 0008 | H'1FE0 0008    | 8   | H'00          | H'00          | 保持   | H'00   | Pclk       |
| SCI         | SCTDR1  | H'FFE0 000C | H'1FE0 000C    | 8   | H'FF          | H'FF          | 保持   | H'FF   | Pclk       |
| SCI         | SCSSR1  | H'FFE0 0010 | H'1FE0 0010    | 8   | H'84          | H'84          | 保持   | H'84   | Pclk       |
| SCI         | SCRDR1  | H'FFE0 0014 | H'1FE0 0014    | 8   | H'00          | H'00          | 保持   | H'00   | Pclk       |
| SCI         | SCSCMR1 | H'FFE0 0018 | H'1FE0 0018    | 8   | H'00          | H'00          | 保持   | H'00   | Pclk       |
| SCI         | SCSPTR1 | H'FFE0 001C | H'1FE0 001C    | 8   | H'00*2        | H'00*2        | 保持   | H'00*2 | Pclk       |
|             |         |             |                |     |               |               |      |        |            |
| SCIF        | SCSMR2  | H'FFE8 0000 | H'1FE8 0000    | 16  | H'0000        | H'0000        | 保持   | 保持     | Pclk       |
| SCIF        | SCBRR2  | H'FFE8 0004 | H'1FE8 0004    | 8   | H'FF          | H'FF          | 保持   | 保持     | Pclk       |
| SCIF        | SCSCR2  | H'FFE8 0008 | H'1FE8 0008    | 16  | H'0000        | H'0000        | 保持   | 保持     | Pclk       |
| SCIF        | SCFTDR2 | H'FFE8 000C | H'1FE8 000C    | 8   | 不定            | 不定            | 保持   | 保持     | Pclk       |
| SCIF        | SCFSR2  | H'FFE8 0010 | H'1FE8 0010    | 16  | H'0060        | H'0060        | 保持   | 保持     | Pclk       |
| SCIF        | SCFRDR2 | H'FFE8 0014 | H'1FE8 0014    | 8   | 不定            | 不定            | 保持   | 保持     | Pclk       |
| SCIF        | SCFCR2  | H'FFE8 0018 | H'1FE8 0018    | 16  | H'0000        | H'0000        | 保持   | 保持     | Pclk       |
| SCIF        | SCFDR2  | H'FFE8 001C | H'1FE8 001C    | 16  | H'0000        | H'0000        | 保持   | 保持     | Pclk       |
| SCIF        | SCSPTR2 | H'FFE8 0020 | H'1FE8 0020    | 16  | H'0000*2      | H'0000*2      | 保持   | 保持     | Pclk       |
| SCIF        | SCLSR2  | H'FFE8 0024 | H'1FE8 0024    | 16  | H'0000        | H'0000        | 保持   | 保持     | Pclk       |
|             |         |             |                |     |               |               |      |        |            |
| Hitachi-UDI | SDIR    | H'FFF0 0000 | H'1FF0 0000    | 16  | H'FFFF*2      | 保持            | 保持   | 保持     | Pclk       |
| Hitachi-UDI | SDDR    | H'FFF0 0008 | H'1FF0 0008    | 32  | 保持            | 保持            | 保持   | 保持     | Pclk       |

【注】 \*1    コントロールレジスタは物理ページ番号フィールドにおける上記アドレスを TLB セットアップすることでアクセスできます。これらのアドレスが TLB を使わずに直接参照すると、動作は限定されます。

\*2    不定ビットが含まれています。各モジュールの説明を参照してください。

B. 外形寸法図

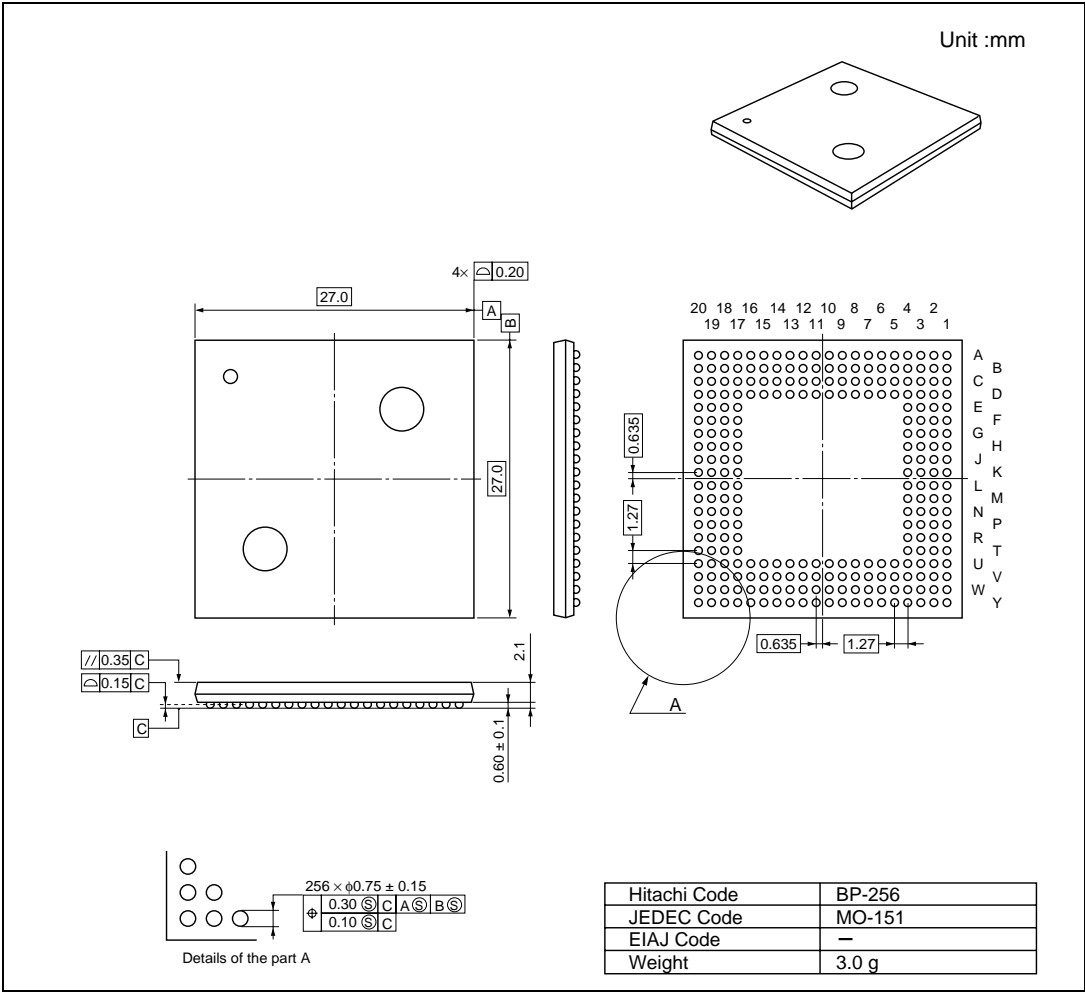
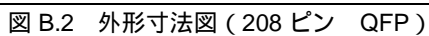


図 B.1 外形寸法図 ( 256 ピン BGA )





## C. モード端子の設定

MD8～MD0 端子の値は、 $\overline{\text{RESET}}$  および  $\overline{\text{SCK2/MRESET}}$  端子によるパワーオンリセット時に入力されます。

### クロックモード

| モード | 端子の値 |     |     | 分周器 1 | PLL1 | PLL2 | 初期クロック周波数比*2 |            |                     |
|-----|------|-----|-----|-------|------|------|--------------|------------|---------------------|
|     | MD2  | MD1 | MD0 |       |      |      | CPU<br>クロック  | バス<br>クロック | 周辺<br>モジュール<br>クロック |
| 0   | 0    | 0   | 0   | Off   | On   | On   | 6            | 3/2        | 3/2                 |
| 1   | 0    | 0   | 1   | Off   | On   | On   | 6            | 1          | 1                   |
| 2   | 0    | 1   | 0   | On    | On   | On   | 3            | 1          | 1/2                 |
| 3   | 0    | 1   | 1   | Off   | On   | On   | 6            | 2          | 1                   |
| 4   | 1    | 0   | 0   | On    | On   | On   | 3            | 3/2        | 3/4                 |
| 5   | 1    | 0   | 1   | Off   | On   | On   | 6            | 3          | 3/2                 |

- 【注】 1. MD2～MD0 端子の値は、上記以外の組み合わせは設定できません。  
 2. 入力クロック（EXTAL または水晶発振子の周波数）を 1 とします。

### エリア 0 のバス幅

| 端子の値 |     | バス幅    |
|------|-----|--------|
| MD4  | MD3 |        |
| 0    | 0   | 64 ビット |
| 0    | 1   | 8 ビット  |
| 1    | 0   | 16 ビット |
| 1    | 1   | 32 ビット |

### エンディアン

| 端子の値 | エンディアン    |
|------|-----------|
| MD5  |           |
| 0    | ビッグエンディアン |
| 1    | リトルエンディアン |

### エリア 0 のメモリタイプ

| 端子の値 | メモリタイプ |
|------|--------|
| MD6  |        |
| 0    | MPX バス |
| 1    | 通常メモリ  |

マスタ / スレーブ

| 端子の値 | マスタ / スレーブ |
|------|------------|
| MD7  |            |
| 0    | スレーブ       |
| 1    | マスタ        |

クロック入力

| 端子の値 | クロック入力   |
|------|----------|
| MD8  |          |
| 0    | 外部入力クロック |
| 1    | 水晶発振子    |

## D. CKIO2ENB 端子構成

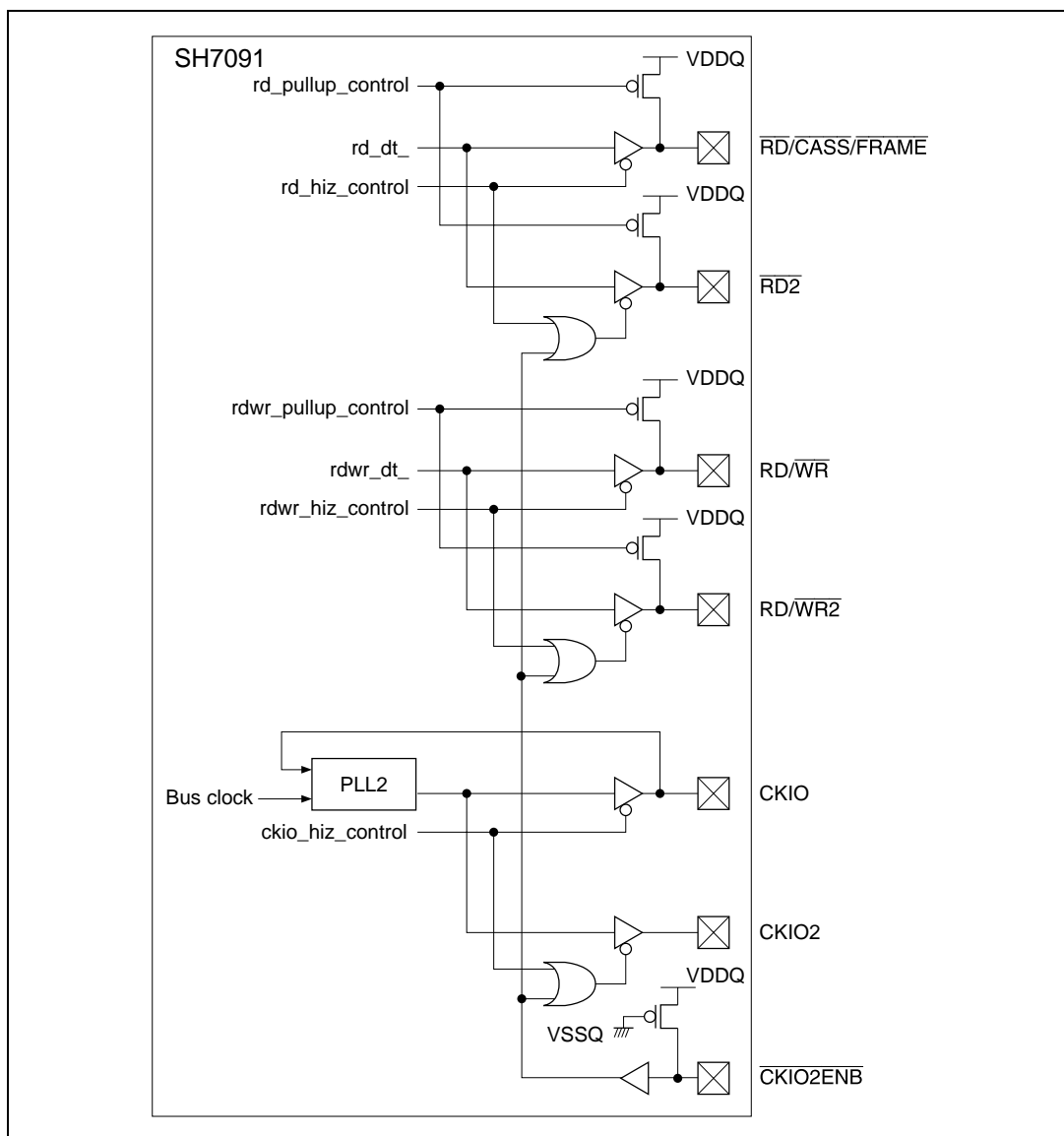


図 D.1 CKIO2ENB 端子構成

| CKIO2ENB | 説明  |
|----------|---|
| 0        | RD2、RD/WR2、および CKIO2 は、それぞれ RD、RD/WR、CKIO と同じ端子状態 |
| 1        | RD2、RD/WR2、および CKIO2 はハイインピーダンス状態                 |

【注】 CKIO は外部クロックと内部クロックの位相を合わせるため、PLL2 にフィードバックされます。これに対し CKIO2 はフィードバックされません。

## E. 端子機能

## E.1 端子の状態

表 E.1 リセット、低消費電力状態、バス解放状態での端子状態 (1)

| 信号名               | I/O               | RESET<br>( Power on ) |          | RESET<br>( Manual ) |                   | スリー<br>プ          | スタン<br>バイ         | バス権<br>解放         | 備考                |
|-------------------|-------------------|-----------------------|----------|---------------------|-------------------|-------------------|-------------------|-------------------|-------------------|
|                   |                   | マスタ                   | スレー<br>ブ | マスタ                 | スレー<br>ブ          |                   |                   |                   |                   |
| D0 ~ D7           | I/O               | Z                     | Z        | Z                   | Z                 | Z                 | Z                 | Z                 |                   |
| D8 ~ D15          | I/O               | Z                     | Z        | Z                   | Z                 | Z                 | Z                 | Z                 |                   |
| D16 ~ D23         | I/O               | Z                     | Z        | Z                   | Z                 | Z                 | Z                 | Z                 |                   |
| D24 ~ D31         | I/O               | Z                     | Z        | Z                   | Z                 | Z                 | Z                 | Z                 |                   |
| D32 ~ D39         | I/O               | Z                     | Z        | ZK                  | ZK                | ZK                | ZK                | ZK                | PORT 使用時<br>出力保持  |
| D40 ~ D47         | I/O               | Z                     | Z        | ZK                  | ZK                | ZK                | ZK                | ZK                | PORT 使用時<br>出力保持  |
| D48 ~ D55         | I/O               | Z                     | Z        | Z                   | Z                 | Z                 | Z                 | Z                 |                   |
| D56 ~ D63         | I/O               | Z                     | Z        | Z                   | Z                 | Z                 | Z                 | Z                 |                   |
| A0, A1, A18 ~ A25 | O                 | Z                     | Z        | Z                   | Z                 | Z                 | Z                 | Z                 |                   |
| A2 ~ A17          | O                 | Z                     | Z        | ZO <sup>*9</sup>    | Z                 | O                 | ZO <sup>*7</sup>  | Z                 |                   |
| RESET             | I                 | I                     | I        | I                   | I                 | I                 | I                 | I                 |                   |
| BACK/BSREQ        | O                 | H                     | H        | H                   | H                 | O                 | H                 | O                 |                   |
| BREQ/BSACK        | I                 | I                     | I        | I                   | I                 | I                 | I                 | I                 |                   |
| BS                | O                 | H                     | Z        | H                   | Z                 | O <sup>*4</sup>   | ZH <sup>*7</sup>  | Z                 |                   |
| CKE               | O                 | H                     | H        | O <sup>*6</sup>     | O <sup>*6</sup>   | O <sup>*6</sup>   | L                 | O <sup>*6</sup>   |                   |
| CS6 ~ CS0         | O                 | H                     | Z        | H                   | Z                 | O <sup>*4</sup>   | ZH <sup>*7</sup>  | Z                 |                   |
| RAS               | O                 | H                     | Z        | O <sup>*6</sup>     | Z                 | O <sup>*4</sup>   | ZO <sup>*5</sup>  | ZO <sup>*5</sup>  |                   |
| RD/CASS           | O                 | H                     | Z        | O <sup>*6</sup>     | Z                 | O <sup>*4</sup>   | ZO <sup>*5</sup>  | ZO <sup>*5</sup>  |                   |
| RD/WR             | O                 | H                     | Z        | H                   | Z                 | O <sup>*4</sup>   | ZH <sup>*7</sup>  | Z                 |                   |
| RDY               | I                 | I                     | I        | I                   | I                 | I                 | I                 | I                 |                   |
| WE7/CAS7/DQM7     | O                 | H                     | Z        | O <sup>*6</sup>     | Z                 | O <sup>*4</sup>   | ZO <sup>*5</sup>  | ZO <sup>*5</sup>  |                   |
| WE6/CAS6/DQM6     | O                 | H                     | Z        | O <sup>*6</sup>     | Z                 | O <sup>*4</sup>   | ZO <sup>*5</sup>  | ZO <sup>*5</sup>  |                   |
| WE5/CAS5/DQM5     | O                 | H                     | Z        | O <sup>*6</sup>     | Z                 | O <sup>*4</sup>   | ZO <sup>*5</sup>  | ZO <sup>*5</sup>  |                   |
| WE4/CAS4/DQM4     | O                 | H                     | Z        | O <sup>*6</sup>     | Z                 | O <sup>*4</sup>   | ZO <sup>*5</sup>  | ZO <sup>*5</sup>  |                   |
| WE3/CAS3/DQM3     | O                 | H                     | Z        | O <sup>*6</sup>     | Z                 | O <sup>*4</sup>   | ZO <sup>*5</sup>  | ZO <sup>*5</sup>  |                   |
| WE2/CAS2/DQM2     | O                 | H                     | Z        | O <sup>*6</sup>     | Z                 | O <sup>*4</sup>   | ZO <sup>*5</sup>  | ZO <sup>*5</sup>  |                   |
| WE1/CAS1/DQM1     | O                 | H                     | Z        | O <sup>*6</sup>     | Z                 | O <sup>*4</sup>   | ZO <sup>*5</sup>  | ZO <sup>*5</sup>  |                   |
| WE0/CAS0/DQM0     | O                 | H                     | Z        | O <sup>*6</sup>     | Z                 | O <sup>*4</sup>   | ZO <sup>*5</sup>  | ZO <sup>*5</sup>  |                   |
| DACK1 ~ DACK0     | O                 | L                     | L        | L                   | L                 | O <sup>*4</sup>   | ZO <sup>*8</sup>  | O                 | DMAC              |
| MD7/TXD           | I/O               | I                     | I        | I                   | I                 | IO                | ZO <sup>*8</sup>  | IO                | SCI               |
| MD6/IOIS16        | I                 | I                     | I        | I                   | I                 | I                 | I                 | I                 | PCMCIA<br>( I/O ) |
| MD5/RAS2          | I/O <sup>*1</sup> | I                     | I        | IO <sup>*6</sup>    | I                 | IO <sup>*4</sup>  | IO <sup>*5</sup>  | IO <sup>*5</sup>  | DRAM2             |
| MD4/CE2B          | I/O <sup>*2</sup> | I                     | I        | IH                  | I                 | IO <sup>*4</sup>  | IH <sup>*7</sup>  | I                 | PCMCIA            |
| MD3/CE2A          | I/O <sup>*3</sup> | I                     | I        | IH                  | I                 | IO <sup>*4</sup>  | IH <sup>*7</sup>  | I                 | PCMCIA            |
| CKIO              | O                 | O                     | O        | ZO <sup>*11</sup>   | ZO <sup>*11</sup> | ZO <sup>*11</sup> | ZO <sup>*11</sup> | ZO <sup>*11</sup> |                   |

表 E.1 リセット、低消費電力状態、バス解放状態での端子状態 (2)

| 信号名                   | I/O | RESET<br>(Power on) |          | RESET<br>(Manual) |                   | スリー<br>プ          | スタン<br>バイ         | バス権<br>解放         | 備考          |
|-----------------------|-----|---------------------|----------|-------------------|-------------------|-------------------|-------------------|-------------------|-------------|
|                       |     | マスタ                 | スレー<br>ブ | マスタ               | スレー<br>ブ          |                   |                   |                   |             |
| STATUS1 ~<br>STATUS0  | O   | O                   | O        | O                 | O                 | O                 | O                 | O                 |             |
| IRL3 ~ IRL0           | I   | I                   | I        | I                 | I                 | I                 | I                 | I                 | INTC        |
| NMI                   | I   | I                   | I        | I                 | I                 | I                 | I                 | I                 | INTC        |
| DREQ1 ~ DREQ0         | I   | I                   | I        | I                 | I                 | I                 | I                 | I                 | DMAC        |
| DRAK1 ~ DRAK0         | O   | L                   | L        | L                 | L                 | O <sup>*4</sup>   | ZO <sup>*8</sup>  | O                 | DMAC        |
| MD0/SCK               | I/O | I                   | I        | I                 | I                 | IO                | IO <sup>*8</sup>  | IO                | SCI         |
| RXD                   | I   | I                   | I        | I                 | I                 | I                 | I                 | I                 | SCI         |
| SCK2/MRESET           | I   | I                   | I        | I                 | I                 | I                 | I                 | I                 | SCIF        |
| MD1/TXD2              | I/O | I                   | I        | I                 | I                 | IO                | IO <sup>*8</sup>  | IO                | SCIF        |
| MD2/RXD2              | I   | I                   | I        | I                 | I                 | I                 | I                 | I                 | SCIF        |
| CTS2                  | I/O | I                   | I        | I                 | I                 | IO                | IO <sup>*8</sup>  | IO                | SCIF        |
| MD8/RTS2              | I/O | I                   | I        | I                 | I                 | IO                | IO <sup>*8</sup>  | IO                | SCIF        |
| TCLK                  | I/O | I                   | I        | I                 | I                 | IO                | IO                | IO                | TMU         |
| TDO                   | O   | O                   | O        | O                 | O                 | O                 | O                 | O                 | Hitachi-UDI |
| TMS                   | I   | I                   | I        | I                 | I                 | I                 | I                 | I                 | Hitachi-UDI |
| TCK                   | I   | I                   | I        | I                 | I                 | I                 | I                 | I                 | Hitachi-UDI |
| TDI                   | I   | I                   | I        | I                 | I                 | I                 | I                 | I                 | Hitachi-UDI |
| TRST                  | I   | I                   | I        | I                 | I                 | I                 | I                 | I                 | Hitachi-UDI |
| CKIO2 <sup>*10</sup>  | O   | O                   | O        | ZO <sup>*11</sup> | ZO <sup>*11</sup> | ZO <sup>*11</sup> | ZO <sup>*11</sup> | ZO <sup>*11</sup> |             |
| RD2 <sup>*10</sup>    | O   | H                   | Z        | O <sup>*6</sup>   | Z                 | O <sup>*4</sup>   | ZO <sup>*5</sup>  | ZO <sup>*5</sup>  |             |
| RD/WR2 <sup>*10</sup> | O   | H                   | Z        | H                 | Z                 | O <sup>*4</sup>   | ZH <sup>*7</sup>  | Z                 |             |
| CKIO2ENB              | I   | I                   | I        | I                 | I                 | I                 | I                 | I                 |             |

【注】 I: 入力

O: 出力

H: ハイレベル出力

L: ローレベル出力

Z: ハイインピーダンス

K: 出力状態保持

\*1 エリア 2 - DRAM 使用時出力

\*2 エリア 5 - PCMCIA 使用時出力

\*3 エリア 6 - PCMCIA 使用時出力

\*4 リフレッシュ、DMAC の動作により変化

\*5 レジスタ設定 (BCR1.HIZCNT) により Z (I) or O (リフレッシュ)

\*6 リフレッシュ動作により変化

\*7 レジスタ設定 (BCR1.HIZMEM) により Z (I) or H (状態保持)

\*8 レジスタ設定 (STBCR. PHZ) により, Z or O

\*9 リフレッシュ設定時出力

\*10 CKIO2ENB=0 のとき各状態の動作、CKIO2ENB=1 のとき Z

\*11 レジスタ設定 (FRQCR. CKOEN) により, Z or O

## E.2 未使用端子の処理

- RTC を使用しない場合  
EXTAL2 : 3.3V にプルアップ  
XTAL2 : 何も接続しない  
VDD-RTC : 電源 ( 3.3V )  
VSS-RTC : 電源 ( 0 V )
- PLL1 を使用しない場合  
VDD-PLL1 : 電源 ( 3.3V )  
VSS-PLL1 : 電源 ( 0 V )
- PLL2 を使用しない場合  
VDD-PLL2 : 電源 ( 3.3V )  
VSS-PLL2 : 電源 ( 0 V )
- 内蔵水晶発振器を使用しない場合  
XTAL : 何も接続しない  
VDD-CPG : 電源 ( 3.3V )  
VSS-CPG : 電源 ( 0 V )

## F. シンクロナス DRAM のアドレスマルチプレクス表

- (1) BUS 64 (16M : 512k × 16b × 2) × 4  
 AMX 0 AMXEXT 0 16M, column-addr-8bit 8MB

| SH7091 アドレス端子 |          |          | シンクロナス DRAM<br>アドレス端子 | 機能               |
|---------------|----------|----------|-----------------------|------------------|
|               | RAS サイクル | CAS サイクル |                       |                  |
| A14           | A22      | A22      | A11                   | BANK はバンクアドレスを選択 |
| A13           | A21      | H/L      | A10                   | アドレスプリチャージ設定     |
| A12           | A20      | 0        | A9                    | アドレス             |
| A11           | A19      | 0        | A8                    |                  |
| A10           | A18      | A10      | A7                    |                  |
| A9            | A17      | A9       | A6                    |                  |
| A8            | A16      | A8       | A5                    |                  |
| A7            | A15      | A7       | A4                    |                  |
| A6            | A14      | A6       | A3                    |                  |
| A5            | A13      | A5       | A2                    |                  |
| A4            | A12      | A4       | A1                    |                  |
| A3            | A11      | A3       | A0                    |                  |
| A2            | 未使用      |          |                       |                  |
| A1            | 未使用      |          |                       |                  |
| A0            | 未使用      |          |                       |                  |

- (2) BUS 32 (16M : 512k × 16b × 2) × 2  
 AMX 0 AMXEXT 0 16M, column-addr-8bit 4MB

| SH7091 アドレス端子 |          |          | シンクロナス DRAM<br>アドレス端子 | 機能               |
|---------------|----------|----------|-----------------------|------------------|
|               | RAS サイクル | CAS サイクル |                       |                  |
| A14           |          |          |                       |                  |
| A13           | A21      | A21      | A11                   | BANK はバンクアドレスを選択 |
| A12           | A20      | H/L      | A10                   | アドレスプリチャージ設定     |
| A11           | A19      | 0        | A9                    | アドレス             |
| A10           | A18      | 0        | A8                    |                  |
| A9            | A17      | A9       | A7                    |                  |
| A8            | A16      | A8       | A6                    |                  |
| A7            | A15      | A7       | A5                    |                  |
| A6            | A14      | A6       | A4                    |                  |
| A5            | A13      | A5       | A3                    |                  |
| A4            | A12      | A4       | A2                    |                  |
| A3            | A11      | A3       | A1                    |                  |
| A2            | A10      | A2       | A0                    |                  |
| A1            | 未使用      |          |                       |                  |
| A0            | 未使用      |          |                       |                  |

- (3) BUS 64 (16M : 512k × 16b × 2) × 4  
 AMX 0 AMXEXT 1 16M, column-addr-8bit 8MB

| SH7091 アドレス端子 |          |          | シンクロナス DRAM<br>アドレス端子 | 機能               |
|---------------|----------|----------|-----------------------|------------------|
|               | RAS サイクル | CAS サイクル |                       |                  |
| A14           | A21      | A21      | A11                   | BANK はバンクアドレスを選択 |
| A13           | A22      | H/L      | A10                   | アドレスプリチャージ設定     |
| A12           | A20      | 0        | A9                    | アドレス             |
| A11           | A19      | 0        | A8                    |                  |
| A10           | A18      | A10      | A7                    |                  |
| A9            | A17      | A9       | A6                    |                  |
| A8            | A16      | A8       | A5                    |                  |
| A7            | A15      | A7       | A4                    |                  |
| A6            | A14      | A6       | A3                    |                  |
| A5            | A13      | A5       | A2                    |                  |
| A4            | A12      | A4       | A1                    |                  |
| A3            | A11      | A3       | A0                    |                  |
| A2            | 未使用      |          |                       |                  |
| A1            | 未使用      |          |                       |                  |
| A0            | 未使用      |          |                       |                  |

- (4) BUS 32 (16M : 512k × 16b × 2) × 2  
 AMX 0 AMXEXT 1 16M, column-addr-8bit 4MB

| SH7091 アドレス端子 |          |          | シンクロナス DRAM<br>アドレス端子 | 機能               |
|---------------|----------|----------|-----------------------|------------------|
|               | RAS サイクル | CAS サイクル |                       |                  |
| A14           |          |          |                       |                  |
| A13           | A20      | A20      | A11                   | BANK はバンクアドレスを選択 |
| A12           | A21      | H/L      | A10                   | アドレスプリチャージ設定     |
| A11           | A19      | 0        | A9                    | アドレス             |
| A10           | A18      | 0        | A8                    |                  |
| A9            | A17      | A9       | A7                    |                  |
| A8            | A16      | A8       | A6                    |                  |
| A7            | A15      | A7       | A5                    |                  |
| A6            | A14      | A6       | A4                    |                  |
| A5            | A13      | A5       | A3                    |                  |
| A4            | A12      | A4       | A2                    |                  |
| A3            | A11      | A3       | A1                    |                  |
| A2            | A10      | A2       | A0                    |                  |
| A1            | 未使用      |          |                       |                  |
| A0            | 未使用      |          |                       |                  |



- (5) BUS 64 (16M : 1M × 8b × 2) × 8  
 AMX 1 AMXEXT 0 16M, column-addr-9bit 16MB

| SH7091 アドレス端子 |          |          | シンクロナス DRAM<br>アドレス端子 | 機能               |
|---------------|----------|----------|-----------------------|------------------|
|               | RAS サイクル | CAS サイクル |                       |                  |
| A14           | A23      | A23      | A11                   | BANK はバンクアドレスを選択 |
| A13           | A22      | H/L      | A10                   | アドレスプリチャージ設定     |
| A12           | A21      | 0        | A9                    | アドレス             |
| A11           | A20      | A11      | A8                    |                  |
| A10           | A19      | A10      | A7                    |                  |
| A9            | A18      | A9       | A6                    |                  |
| A8            | A17      | A8       | A5                    |                  |
| A7            | A16      | A7       | A4                    |                  |
| A6            | A15      | A6       | A3                    |                  |
| A5            | A14      | A5       | A2                    |                  |
| A4            | A13      | A4       | A1                    |                  |
| A3            | A12      | A3       | A0                    |                  |
| A2            | 未使用      |          |                       |                  |
| A1            | 未使用      |          |                       |                  |
| A0            | 未使用      |          |                       |                  |

- (6) BUS 32 (16M : 1M × 8b × 2) × 4  
 AMX 1 AMXEXT 0 16M, column-addr-9bit 8MB

| SH7091 アドレス端子 |          |          | シンクロナス DRAM<br>アドレス端子 | 機能               |
|---------------|----------|----------|-----------------------|------------------|
|               | RAS サイクル | CAS サイクル |                       |                  |
| A14           |          |          |                       |                  |
| A13           | A22      | A22      | A11                   | BANK はバンクアドレスを選択 |
| A12           | A21      | H/L      | A10                   | アドレスプリチャージ設定     |
| A11           | A20      | 0        | A9                    | アドレス             |
| A10           | A19      | A10      | A8                    |                  |
| A9            | A18      | A9       | A7                    |                  |
| A8            | A17      | A8       | A6                    |                  |
| A7            | A16      | A7       | A5                    |                  |
| A6            | A15      | A6       | A4                    |                  |
| A5            | A14      | A5       | A3                    |                  |
| A4            | A13      | A4       | A2                    |                  |
| A3            | A12      | A3       | A1                    |                  |
| A2            | A11      | A2       | A0                    |                  |
| A1            | 未使用      |          |                       |                  |
| A0            | 未使用      |          |                       |                  |

- (7) BUS 64 (16M : 1M × 8b × 2) × 8  
 AMX 1 AMXEXT 1 16M, column-addr-9bit 16MB

| SH7091 アドレス端子 |          |          | シンクロナス DRAM<br>アドレス端子 | 機能               |
|---------------|----------|----------|-----------------------|------------------|
|               | RAS サイクル | CAS サイクル |                       |                  |
| A14           | A22      | A22      | A11                   | BANK はバンクアドレスを選択 |
| A13           | A23      | H/L      | A10                   | アドレスプリチャージ設定     |
| A12           | A21      | 0        | A9                    | アドレス             |
| A11           | A20      | A11      | A8                    |                  |
| A10           | A19      | A10      | A7                    |                  |
| A9            | A18      | A9       | A6                    |                  |
| A8            | A17      | A8       | A5                    |                  |
| A7            | A16      | A7       | A4                    |                  |
| A6            | A15      | A6       | A3                    |                  |
| A5            | A14      | A5       | A2                    |                  |
| A4            | A13      | A4       | A1                    |                  |
| A3            | A12      | A3       | A0                    |                  |
| A2            | 未使用      |          |                       |                  |
| A1            | 未使用      |          |                       |                  |
| A0            | 未使用      |          |                       |                  |

- (8) BUS 32 (16M : 1M × 8b × 2) × 4  
 AMX 1 AMXEXT 1 16M, column-addr-9bit 8MB

| SH7091 アドレス端子 |          |          | シンクロナス DRAM<br>アドレス端子 | 機能               |
|---------------|----------|----------|-----------------------|------------------|
|               | RAS サイクル | CAS サイクル |                       |                  |
| A14           |          |          |                       |                  |
| A13           | A21      | A21      | A11                   | BANK はバンクアドレスを選択 |
| A12           | A22      | H/L      | A10                   | アドレスプリチャージ設定     |
| A11           | A20      | 0        | A9                    | アドレス             |
| A10           | A19      | A10      | A8                    |                  |
| A9            | A18      | A9       | A7                    |                  |
| A8            | A17      | A8       | A6                    |                  |
| A7            | A16      | A7       | A5                    |                  |
| A6            | A15      | A6       | A4                    |                  |
| A5            | A14      | A5       | A3                    |                  |
| A4            | A13      | A4       | A2                    |                  |
| A3            | A12      | A3       | A1                    |                  |
| A2            | A11      | A2       | A0                    |                  |
| A1            | 未使用      |          |                       |                  |
| A0            | 未使用      |          |                       |                  |

- (9) BUS 64 (64M : 1M × 16b × 4) × 4  
 AMX 2 64M, column-addr-8bit 32MB

| SH7091 アドレス端子 |          |          | シンクロナス DRAM<br>アドレス端子 | 機能               |
|---------------|----------|----------|-----------------------|------------------|
|               | RAS サイクル | CAS サイクル |                       |                  |
| A16           | A24      | A24      | A13                   | BANK はバンクアドレスを選択 |
| A15           | A23      | A23      | A12                   |                  |
| A14           | A22      | 0        | A11                   |                  |
| A13           | A21      | H/L      | A10                   | アドレスプリチャージ設定     |
| A12           | A20      | 0        | A9                    |                  |
| A11           | A19      | 0        | A8                    |                  |
| A10           | A18      | A10      | A7                    | アドレス             |
| A9            | A17      | A9       | A6                    |                  |
| A8            | A16      | A8       | A5                    |                  |
| A7            | A15      | A7       | A4                    |                  |
| A6            | A14      | A6       | A3                    |                  |
| A5            | A13      | A5       | A2                    |                  |
| A4            | A12      | A4       | A1                    |                  |
| A3            | A11      | A3       | A0                    |                  |
| A2            | 未使用      |          |                       |                  |
| A1            | 未使用      |          |                       |                  |
| A0            | 未使用      |          |                       |                  |

- (10) BUS 32 (64M : 1M × 16b × 4) × 2  
 AMX 2 64M, column-addr-8bit 16MB

| SH7091 アドレス端子 |          |          | シンクロナス DRAM<br>アドレス端子 | 機能               |
|---------------|----------|----------|-----------------------|------------------|
|               | RAS サイクル | CAS サイクル |                       |                  |
| A16           |          |          |                       |                  |
| A15           | A23      | A23      | A13                   | BANK はバンクアドレスを選択 |
| A14           | A22      | A22      | A12                   |                  |
| A13           | A21      | 0        | A11                   |                  |
| A12           | A20      | H/L      | A10                   | アドレスプリチャージ設定     |
| A11           | A19      | 0        | A9                    |                  |
| A10           | A18      | 0        | A8                    |                  |
| A9            | A17      | A9       | A7                    | アドレス             |
| A8            | A16      | A8       | A6                    |                  |
| A7            | A15      | A7       | A5                    |                  |
| A6            | A14      | A6       | A4                    |                  |
| A5            | A13      | A5       | A3                    |                  |
| A4            | A12      | A4       | A2                    |                  |
| A3            | A11      | A3       | A1                    |                  |
| A2            | A10      | A2       | A0                    |                  |
| A1            | 未使用      |          |                       |                  |
| A0            | 未使用      |          |                       |                  |

- (11) BUS 64 (64M : 2M × 8b × 4) × 8  
 AMX 3 64M, column-addr-9bit 64MB

| SH7091 アドレス端子 |          |          | シンクロナス DRAM<br>アドレス端子 | 機能               |
|---------------|----------|----------|-----------------------|------------------|
|               | RAS サイクル | CAS サイクル |                       |                  |
| A16           | A25      | A25      | A13                   | BANK はバンクアドレスを選択 |
| A15           | A24      | A24      | A12                   |                  |
| A14           | A23      | 0        | A11                   |                  |
| A13           | A22      | H/L      | A10                   | アドレスプリチャージ設定     |
| A12           | A21      | 0        | A9                    |                  |
| A11           | A20      | A11      | A8                    |                  |
| A10           | A19      | A10      | A7                    | アドレス             |
| A9            | A18      | A9       | A6                    |                  |
| A8            | A17      | A8       | A5                    |                  |
| A7            | A16      | A7       | A4                    |                  |
| A6            | A15      | A6       | A3                    |                  |
| A5            | A14      | A5       | A2                    |                  |
| A4            | A13      | A4       | A1                    |                  |
| A3            | A12      | A3       | A0                    |                  |
| A2            | 未使用      |          |                       |                  |
| A1            | 未使用      |          |                       |                  |
| A0            | 未使用      |          |                       |                  |

- (12) BUS 32 (64M : 2M × 8b × 4) × 4  
 AMX 3 64M, column-addr-9bit 32MB

| SH7091 アドレス端子 |          |          | シンクロナス DRAM<br>アドレス端子 | 機能               |
|---------------|----------|----------|-----------------------|------------------|
|               | RAS サイクル | CAS サイクル |                       |                  |
| A16           |          |          |                       |                  |
| A15           | A24      | A24      | A13                   | BANK はバンクアドレスを選択 |
| A14           | A23      | A23      | A12                   |                  |
| A13           | A22      | 0        | A11                   |                  |
| A12           | A21      | H/L      | A10                   | アドレスプリチャージ設定     |
| A11           | A20      | 0        | A9                    |                  |
| A10           | A19      | A10      | A8                    |                  |
| A9            | A18      | A9       | A7                    | アドレス             |
| A8            | A17      | A8       | A6                    |                  |
| A7            | A16      | A7       | A5                    |                  |
| A6            | A15      | A6       | A4                    |                  |
| A5            | A14      | A5       | A3                    |                  |
| A4            | A13      | A4       | A2                    |                  |
| A3            | A12      | A3       | A1                    |                  |
| A2            | A11      | A2       | A0                    |                  |
| A1            | 未使用      |          |                       |                  |
| A0            | 未使用      |          |                       |                  |

- (13) BUS 64 (64M : 512k × 32b × 4) × 2  
 AMX 4 64M, column-addr-8bit 16MB

| SH7091 アドレス端子 |          |          | シンクロナス DRAM<br>アドレス端子 | 機能               |
|---------------|----------|----------|-----------------------|------------------|
|               | RAS サイクル | CAS サイクル |                       |                  |
| A15           | A23      | A23      | A12                   | BANK はバンクアドレスを選択 |
| A14           | A22      | A22      | A11                   |                  |
| A13           | A21      | H/L      | A10                   | アドレスプリチャージ設定     |
| A12           | A20      | 0        | A9                    | アドレス             |
| A11           | A19      | 0        | A8                    |                  |
| A10           | A18      | A10      | A7                    |                  |
| A9            | A17      | A9       | A6                    |                  |
| A8            | A16      | A8       | A5                    |                  |
| A7            | A15      | A7       | A4                    |                  |
| A6            | A14      | A6       | A3                    |                  |
| A5            | A13      | A5       | A2                    |                  |
| A4            | A12      | A4       | A1                    |                  |
| A3            | A11      | A3       | A0                    |                  |
| A2            | 未使用      |          |                       |                  |
| A1            | 未使用      |          |                       |                  |
| A0            | 未使用      |          |                       |                  |

- (14) BUS 32 (64M : 512k × 32b × 4) × 1  
 AMX 4 64M, column-addr-8bit 8MB

| SH7091 アドレス端子 |          |          | シンクロナス DRAM<br>アドレス端子 | 機能               |
|---------------|----------|----------|-----------------------|------------------|
|               | RAS サイクル | CAS サイクル |                       |                  |
| A15           |          |          |                       |                  |
| A14           | A22      | A22      | A12                   | BANK はバンクアドレスを選択 |
| A13           | A21      | A21      | A11                   |                  |
| A12           | A20      | H/L      | A10                   | アドレスプリチャージ設定     |
| A11           | A19      | 0        | A9                    | アドレス             |
| A10           | A18      | 0        | A8                    |                  |
| A9            | A17      | A9       | A7                    |                  |
| A8            | A16      | A8       | A6                    |                  |
| A7            | A15      | A7       | A5                    |                  |
| A6            | A14      | A6       | A4                    |                  |
| A5            | A13      | A5       | A3                    |                  |
| A4            | A12      | A4       | A2                    |                  |
| A3            | A11      | A3       | A1                    |                  |
| A2            | A10      | A2       | A0                    |                  |
| A1            | 未使用      |          |                       |                  |
| A0            | 未使用      |          |                       |                  |

- (15) BUS 64 (64M : 1M × 32b × 2) × 2  
 AMX 5 64M, column-addr-8bit 16MB

| SH7091 アドレス端子 |          |          | シンクロナス DRAM<br>アドレス端子 | 機能               |
|---------------|----------|----------|-----------------------|------------------|
|               | RAS サイクル | CAS サイクル |                       |                  |
| A15           | A23      | A23      | A12                   | BANK はバンクアドレスを選択 |
| A14           | A22      | 0        | A11                   |                  |
| A13           | A21      | H/L      | A10                   | アドレスプリチャージ設定     |
| A12           | A20      | 0        | A9                    |                  |
| A11           | A19      | 0        | A8                    | アドレス             |
| A10           | A18      | A10      | A7                    |                  |
| A9            | A17      | A9       | A6                    |                  |
| A8            | A16      | A8       | A5                    |                  |
| A7            | A15      | A7       | A4                    |                  |
| A6            | A14      | A6       | A3                    |                  |
| A5            | A13      | A5       | A2                    |                  |
| A4            | A12      | A4       | A1                    |                  |
| A3            | A11      | A3       | A0                    |                  |
| A2            | 未使用      |          |                       |                  |
| A1            | 未使用      |          |                       |                  |
| A0            | 未使用      |          |                       |                  |

- (16) BUS 32 (64M : 1M × 32b × 2) × 1  
 AMX 5 64M, column-addr-8bit 8MB

| SH7091 アドレス端子 |          |          | シンクロナス DRAM<br>アドレス端子 | 機能               |
|---------------|----------|----------|-----------------------|------------------|
|               | RAS サイクル | CAS サイクル |                       |                  |
| A15           |          |          |                       |                  |
| A14           | A22      | A22      | A12                   | BANK はバンクアドレスを選択 |
| A13           | A21      | 0        | A11                   |                  |
| A12           | A20      | H/L      | A10                   | アドレスプリチャージ設定     |
| A11           | A19      | 0        | A9                    |                  |
| A10           | A18      | 0        | A8                    | アドレス             |
| A9            | A17      | A9       | A7                    |                  |
| A8            | A16      | A8       | A6                    |                  |
| A7            | A15      | A7       | A5                    |                  |
| A6            | A14      | A6       | A4                    |                  |
| A5            | A13      | A5       | A3                    |                  |
| A4            | A12      | A4       | A2                    |                  |
| A3            | A11      | A3       | A1                    |                  |
| A2            | A10      | A2       | A0                    |                  |
| A1            | 未使用      |          |                       |                  |
| A0            | 未使用      |          |                       |                  |

- (17) BUS 64 (16M : 256k × 32b × 2) × 2  
 AMX 7 16M, column-addr-8bit 4MB

| SH7091 アドレス端子 |          |          | シンクロナス DRAM<br>アドレス端子 | 機能               |
|---------------|----------|----------|-----------------------|------------------|
|               | RAS サイクル | CAS サイクル |                       |                  |
| A13           | A21      | A21      | A10                   | BANK はバンクアドレスを選択 |
| A12           | A20      | H/L      | A9                    | アドレスプリチャージ設定     |
| A11           | A19      | 0        | A8                    | アドレス             |
| A10           | A18      | A10      | A7                    |                  |
| A9            | A17      | A9       | A6                    |                  |
| A8            | A16      | A8       | A5                    |                  |
| A7            | A15      | A7       | A4                    |                  |
| A6            | A14      | A6       | A3                    |                  |
| A5            | A13      | A5       | A2                    |                  |
| A4            | A12      | A4       | A1                    |                  |
| A3            | A11      | A3       | A0                    |                  |
| A2            | 未使用      |          |                       |                  |
| A1            | 未使用      |          |                       |                  |
| A0            | 未使用      |          |                       |                  |

- (18) BUS 32 (16M : 256k × 32b × 2) × 1  
 AMX 7 16M, column-addr-8bit 2MB

| SH7091 アドレス端子 |          |          | シンクロナス DRAM<br>アドレス端子 | 機能               |
|---------------|----------|----------|-----------------------|------------------|
|               | RAS サイクル | CAS サイクル |                       |                  |
| A13           |          |          |                       |                  |
| A12           | A20      | A20      | A10                   | BANK はバンクアドレスを選択 |
| A11           | A19      | H/L      | A9                    | アドレスプリチャージ設定     |
| A10           | A18      | 0        | A8                    | アドレス             |
| A9            | A17      | A9       | A7                    |                  |
| A8            | A16      | A8       | A6                    |                  |
| A7            | A15      | A7       | A5                    |                  |
| A6            | A14      | A6       | A4                    |                  |
| A5            | A13      | A5       | A3                    |                  |
| A4            | A12      | A4       | A2                    |                  |
| A3            | A11      | A3       | A1                    |                  |
| A2            | A10      | A2       | A0                    |                  |
| A1            | 未使用      |          |                       |                  |
| A0            | 未使用      |          |                       |                  |

## G. アドレスポート

### (1) 概要

アドレスポートは、パワーオンリセット時に MD6 が 0 ( エリア 0 に MPX が割り当てられています ) の場合に限り、セガモードにより使用できます。

A0、A1、A18～A25 の 10 ビットは、ポートとして使用することができます。ポートとして使用するアドレス端子は、パワーオンリセット時にハイインピーダンスになります。

### (2) 特長

- 入力、出力は、各ビットごとに設定することができます。
- プルアップ抵抗の使用の有無は、各ビットごとに設定することができます。
- ポートとしての動作は、バスコントロールレジスタ 2 ( BCR2 ) の PORTEN ビットがオンのときのみ可能です。
- アドレスポート使用時には、データポートは使用できません。

### (3) レジスタ

データポートを制御するポートコントロールレジスタ A ( PCTRA ) とポートデータレジスタ A ( PDTRA ) はアドレスポートの制御に使用します。詳細については「第 18 章 I/O ポート」を参照してください。

PCTRA、PDTRA の各ビットとアドレス端子の対応を次に示します。

PB0 : A0

PB1 : A1

PB2 : A18

PB3 : A19

PB4 : A20

PB5 : A21

PB6 : A22

PB7 : A23

PB8 : A24

PB9 : A25

PB10 ~ PB 15 : 未使用



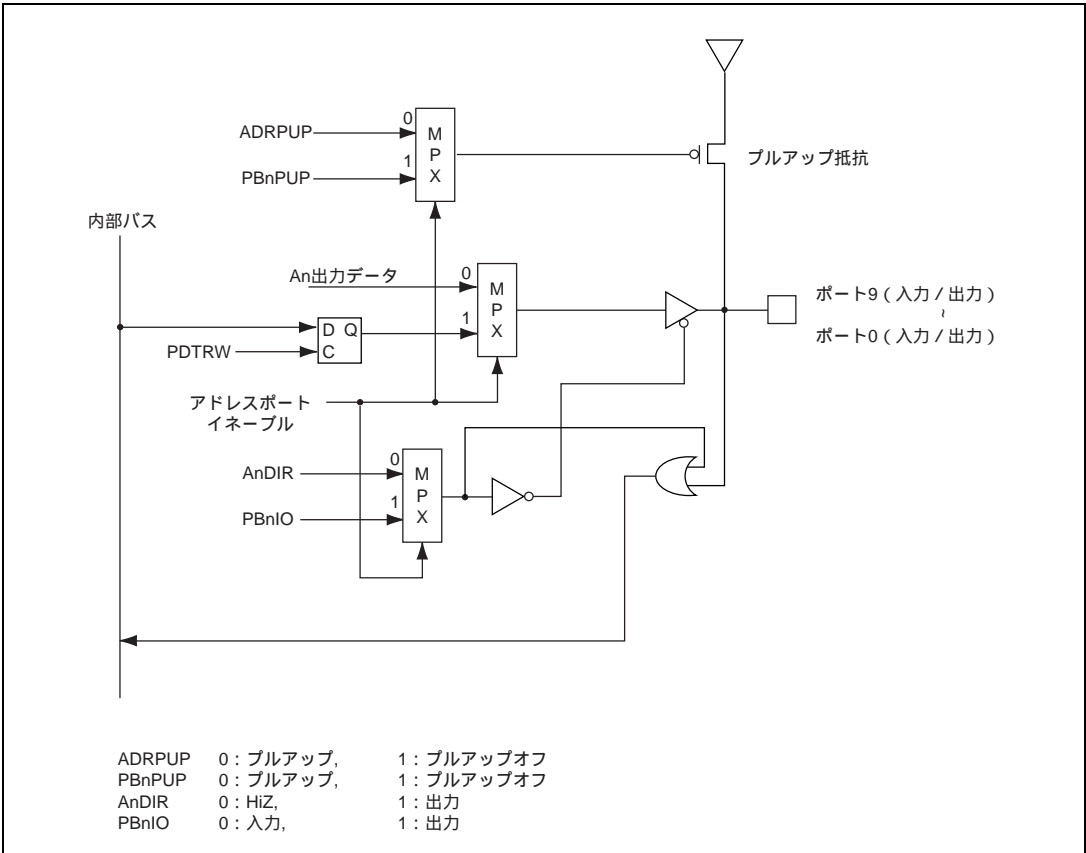


図 G.1 アドレスポート

表 G.1 リセット、低消費電力状態、バス解放状態での端子状態

| 信号数                  | ピン<br>数 | I/O | リセット<br>(パワーオン) |          | リセット<br>(マニュアル)  |          | スリープ | スタン<br>バイ        | バス権解放 |
|----------------------|---------|-----|-----------------|----------|------------------|----------|------|------------------|-------|
|                      |         |     | マスタ             | スレー<br>プ | マスタ              | スレー<br>プ |      |                  |       |
| A0, A1,<br>A18 ~ A25 | 10      | I/O | Z               | Z        | K                | K        | K    | K                | K     |
| A2 ~ A17             | 16      | O   | Z               | Z        | ZO <sup>*1</sup> | Z        | O    | ZO <sup>*2</sup> | Z     |

I : 入力  
O : 出力  
Z : ハイインピーダンス  
K : ポート状態保持

【注】 \*1 リフレッシュ設定時出力  
\*2 レジスタ設定 (BCR1.HIZMEM) により Z or O (状態保持)

## H. SH7091 用オンデマンドデータ転送モード

### H.1 DDT モードにおける端子説明

図 H.1 に DDT モードにおけるシステム構成を示します。

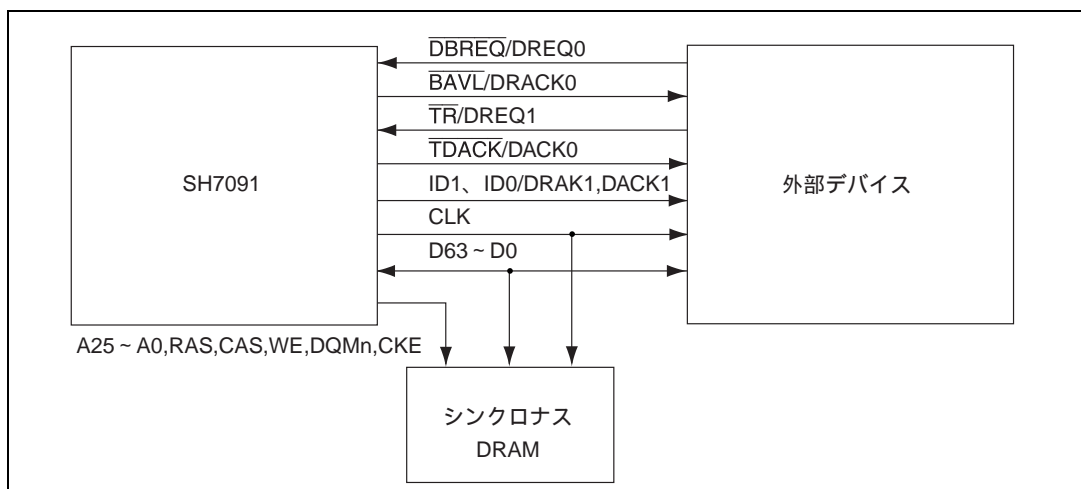


図 H.1 オンデマンド転送モードにおけるシステム構成

- **DBREQ**：外部デバイスから DMAC へ、データ転送要求フォーマット（DTR フォーマット）または DMA 要求を送信するためのデータバス解放要求信号。  
外部デバイスは、データバス解放待ちがある場合、DBREQ をアサートすることによりデータバスを解放させることができます。DBREQ を受け付けた場合、BSC は BAVL をアサートします。
- **BAVL**：データバス D63 ~ D0 の解放信号。  
BAVL のアサートは、データバスが 2 サイクル後に解放されることを意味します。
- **TR**：転送要求信号。  
TR のアサートは次の異なる意味を持ちます。
  - 通常データ転送モード（チャンネル 0、チャンネル 0 以外）の場合は、BAVL をアサートして、2 サイクル後に TR をアサートと同時に DTR フォーマットを出力します。
  - データバス不使用のハンドシェイクプロトコルの場合は、TR のみをアサートすることにより、直前に転送要求したチャンネルに対して転送要求を出すことができます。2 サイクル前に BAVL がアサートされていないときのみ使用可能です。
  - ダイレクトデータ転送モード（チャンネル 2 のみ有効）の場合は、DBREQ、TR を同時にアサートすることにより、チャンネル 2 へ直接転送要求を出すことができます。
- **TDACK**：DMAC から外部デバイスに対する応答ストローブ信号。  
SH7091 は、リードサイクルの場合には、有効なリードデータと同じサイクルで TDACK をアサートします。ライトサイクルでは、有効なライトデータの出力サイクルより 2 サイクル早く TDACK をアサートします。

- ID1、ID0：チャンネル番号通知信号
  - 00：チャンネル 0（デマンドデータ転送を意味します。）
  - 01：チャンネル 1
  - 10：チャンネル 2
  - 11：チャンネル 3

(1) データ転送要求フォーマット

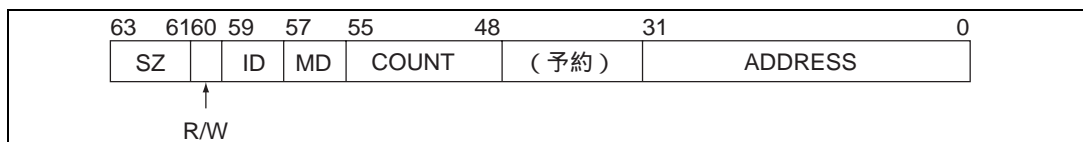


図 H.2 データ転送要求フォーマット

データ転送要求フォーマット（DTR フォーマット）は 64 ビットです。通常データ転送モード（チャンネル 0、チャンネル 0 以外）および、データバスを使用するハンドシェイクプロトコルの場合に、転送データサイズ、リード/ライト、チャンネル番号、転送要求モード、転送回数、転送元または転送先アドレスを指定します。ビット 47～32 への指定は無効です。

通常データ転送モード（チャンネル 0）の場合は、シングルアドレスモードのみ設定可能です。DTR フォーマットにより、DMA チャンネルコントロールレジスタ 0 には DS = ( 0:MD = 10、11、1:MD = 01 )、RL = 0、AL = 0、DM[1:0] = 01、SM[1:0] = 01、RS[3:0] = ( 0010:R/W = 0、0011:R/W = 1 )、TM = ( 0:MD = 11、1:MD = 01、10 )、TS[2:0] = ( SZ )、IE = 0、トランスファカウンタレジスタ 0 には COUNT、ソース/デスティネーションアドレスレジスタ 0 には ADDRESS が設定されます。したがって、DDT モード時には、CPU から上記制御レジスタへの書き込みはできませんが、読み出しは可能です。

ビット 63～61：トランスミットサイズ（SZ2～SZ0）

- 000：バイトサイズ（8 ビット）指定
- 001：ワードサイズ（16 ビット）指定
- 010：ロングワードサイズ（32 ビット）指定
- 011：クワッドワードサイズ（64 ビット）指定
- 100：32 バイトブロック転送指定
- 101：予約
- 110：予約
- 111：転送終了指定

ビット 60：リード/ライト（R/W）

- 0：メモリアドレス指定
- 1：メモリアドレス指定

ビット 59、58：チャンネル番号（ID1、ID0）

- 00：チャンネル 0（デマンドデータ転送）
- 01：チャンネル 1
- 10：チャンネル 2
- 11：チャンネル 3

ビット57、56：転送要求モード（MD1、MD0）

- 00：ハンドシェイクプロトコル（データバス使用）
- 01：バーストモード（エッジ検出）指定
- 10：バーストモード（レベル検出）指定
- 11：サイクルスチールモード指定

ビット55～48：トランスファカウント（COUNT7～COUNT0）

00000000：最大転送回数（16M回）

ビット47～32：予約ビット

ビット31～0：アドレス（ADDRESS31～ADDRESS0）

- R/W = 0：転送元アドレス設定
- R/W = 1：転送先アドレス設定

- 【注】
1. チャネル1～3の場合は、IDフィールドのみ有効です。
  2. チャネル0の場合は、データ転送を開始するには、DTR フォーマット初期値では、MDは01、10または11でなければなりません。
  3. COUNT フィールドは、MD=00 のとき無視されます。
  4. エッジセンスバーストモードで、DMA 転送を連続して実行します。レベルセンスバーストモードおよびサイクルスチールモードは、各データを転送するためにハンドシェイクプロトコルを使用します。
  5. DTR フォーマットの初期化データで COUNT=0 に設定すると、最大転送回数を指定できます。データ転送量が不明の場合は、DTR フォーマットで COUNT = 0 に設定し、DMA 転送を開始させ、必要なデータ量の転送が完了したところで、DTR フォーマット（ID=00、MD 00、SZ=111）を転送すれば、チャネル0のDMA転送を終了させることができます。  
この場合、DMA チャネルコントロールレジスタ0のTEはセットされませんが、転送を再開させることはできません。

## H.2 各チャネルの転送要求受け付けについて

チャネル0は、DTR フォーマットによりDMAデータ転送要求が可能です。DTR フォーマット受け付け後からデータ転送終了までは、次の転送要求は受け付けられません。

チャネル1～3は、ノーマルDMAモードと同様にDMACの制御レジスタへの設定を行った後、DTR フォーマット（ID=01、10、11）により転送要求を外部デバイスから出力してください。チャネル1～3は、最大4つまでの転送要求を受け付けるキュー（リクエストキュー）を各チャネルが持っています。リクエストキューが一杯の場合、5つ目以降の転送要求は無視されますので転送要求を出力しないことが必要です。

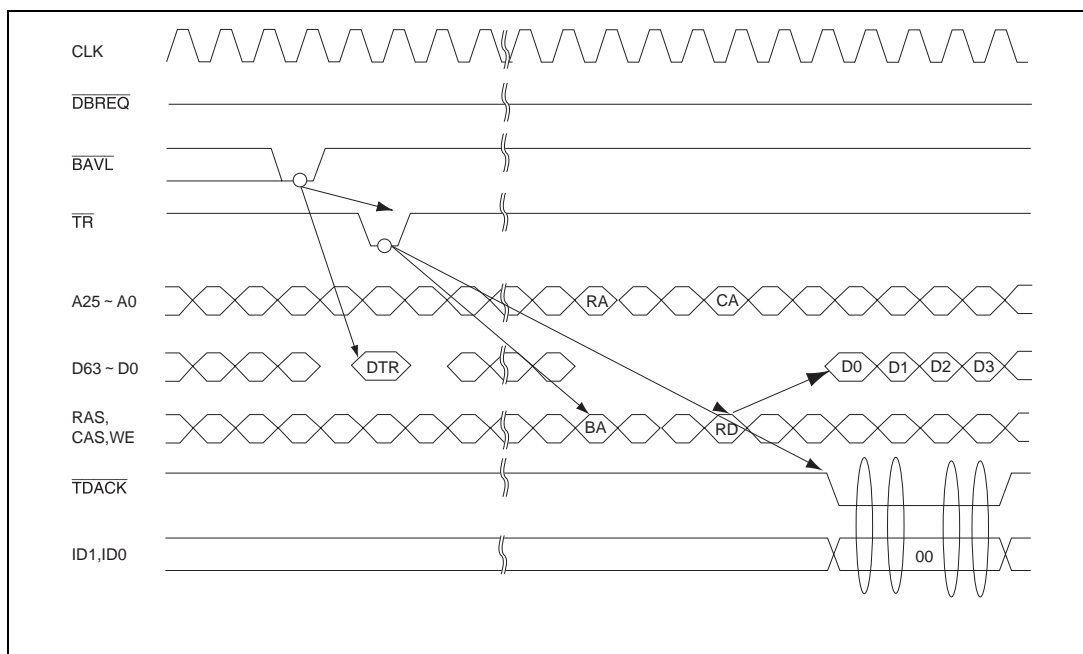


図 H.3 シングルアドレスモード/バーストモード/外部バス 外部デバイス  
32 バイトブロック転送/チャンネル 0 オンデマンドデータ転送

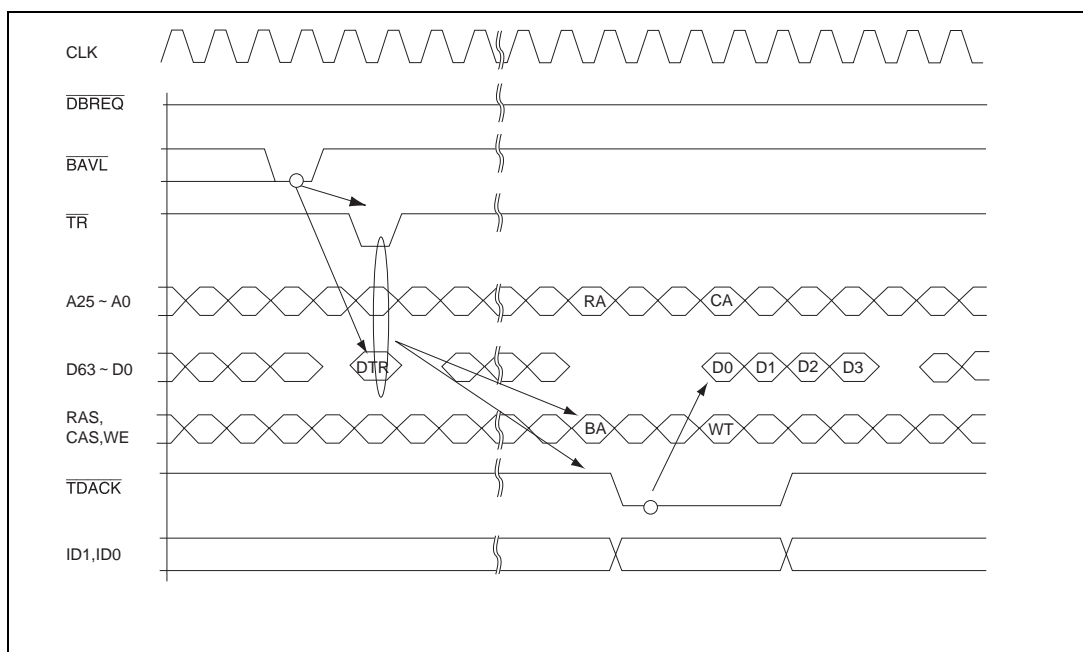


図 H.4 シングルアドレスモード/バーストモード/外部バス 外部バス  
32 バイトブロック転送/チャンネル 0 オンデマンドデータ転送

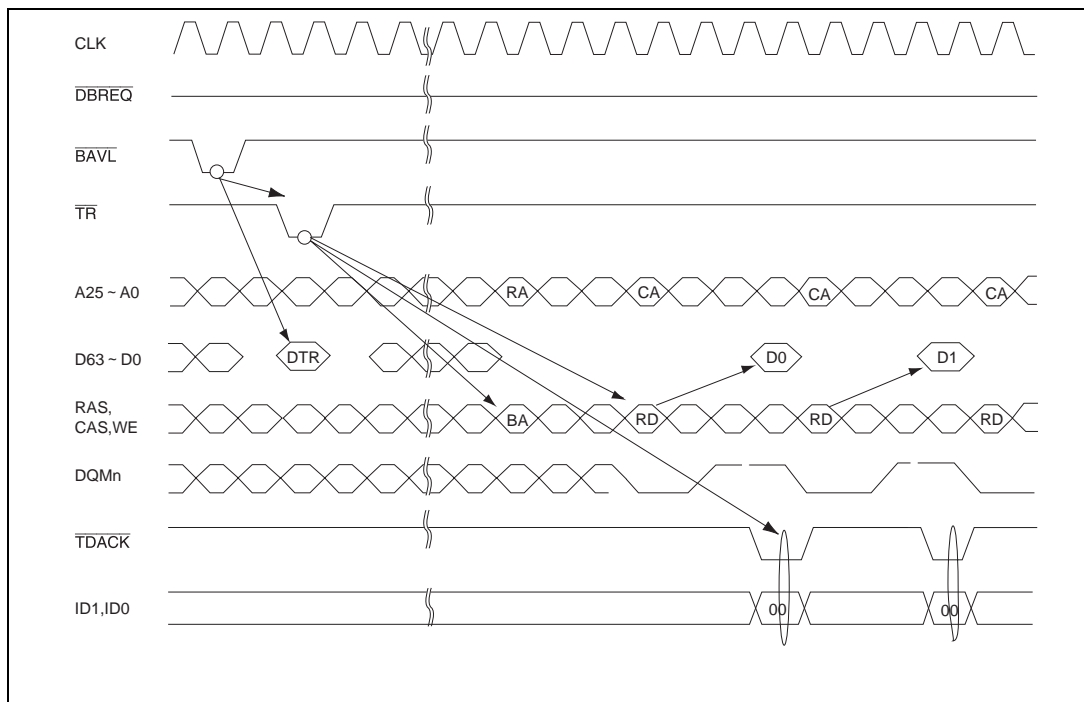


図 H.5 シングルアドレスモード/バーストモード/外部バス 外部デバイス  
64 ビット転送/チャンネル 0 オンデマンドデータ転送

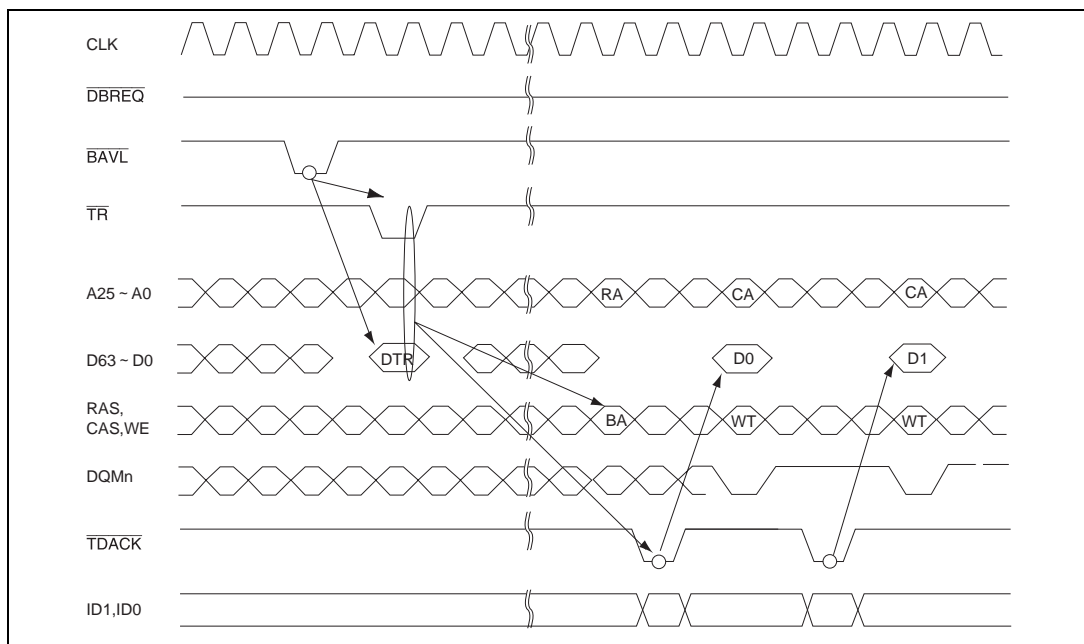


図 H.6 シングルアドレスモード/バーストモード/外部デバイス 外部バス  
64 ビット転送/チャンネル 0 オンデマンドデータ転送

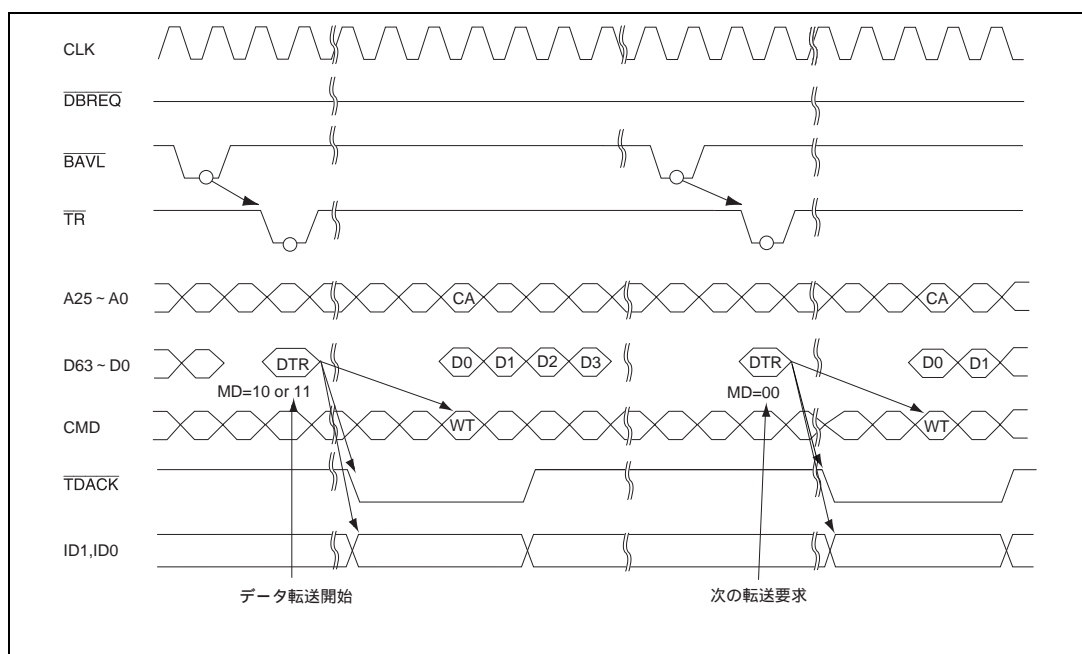


図 H.7 データバスを使用したハンドシェイクプロトコル  
(チャンネル0 オンデマンドデータ転送)

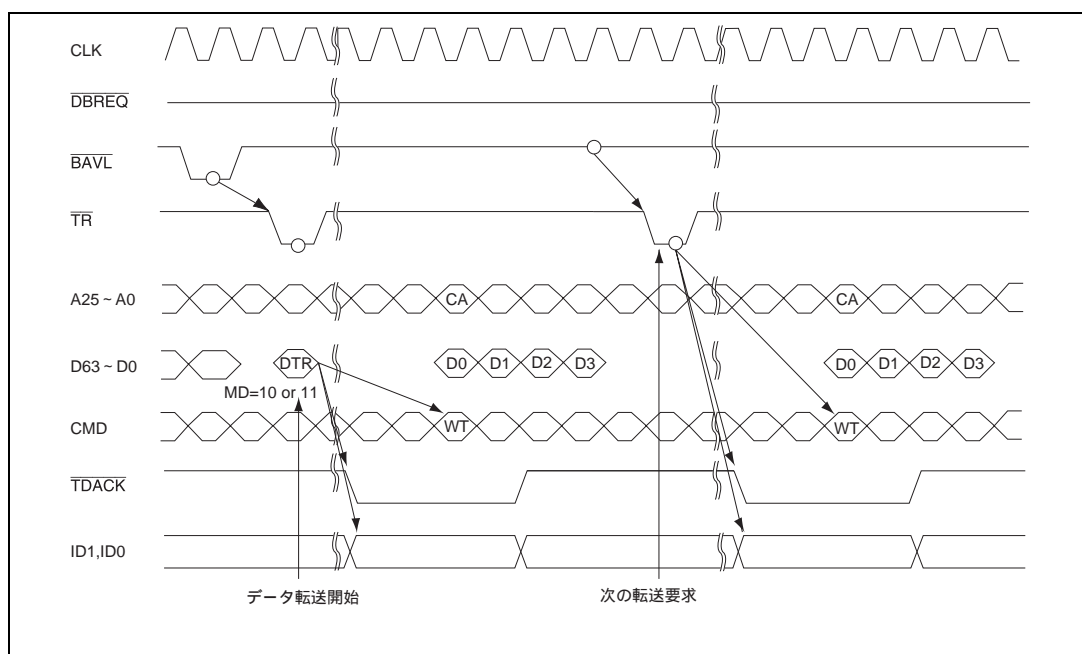


図 H.8 データバスを使用しないハンドシェイクプロトコル  
(チャンネル0 オンデマンドデータ転送)

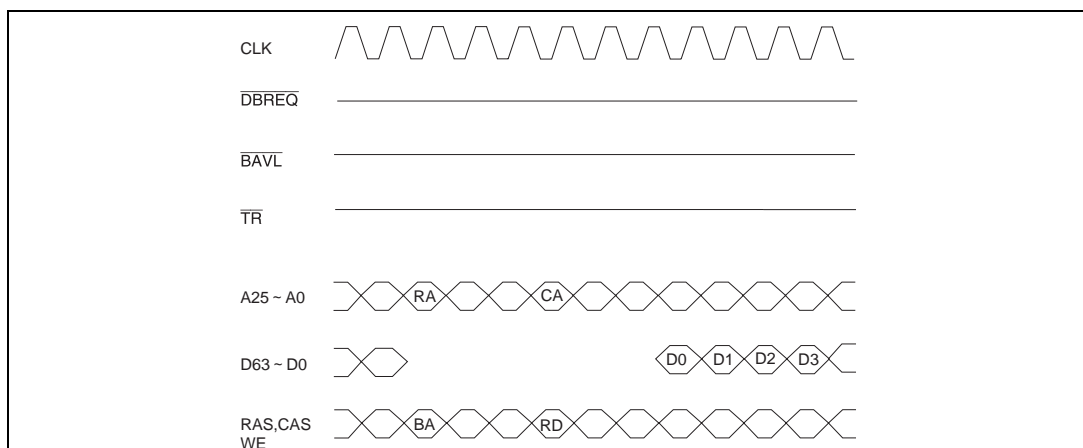


図 H.9 シンクロナス DRAM のプリチャージバンクからのリード

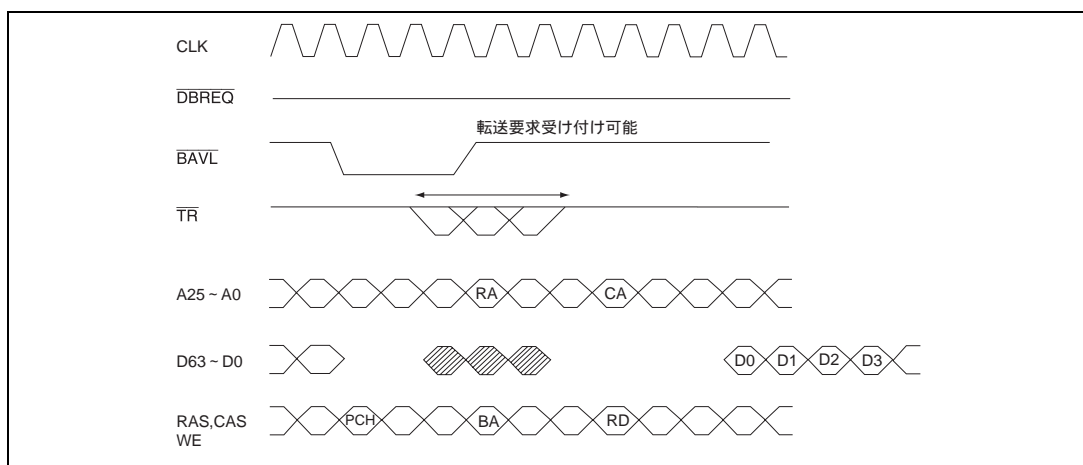


図 H.10 シンクロナス DRAM の非プリチャージバンクからのリード (row ミスの場合)

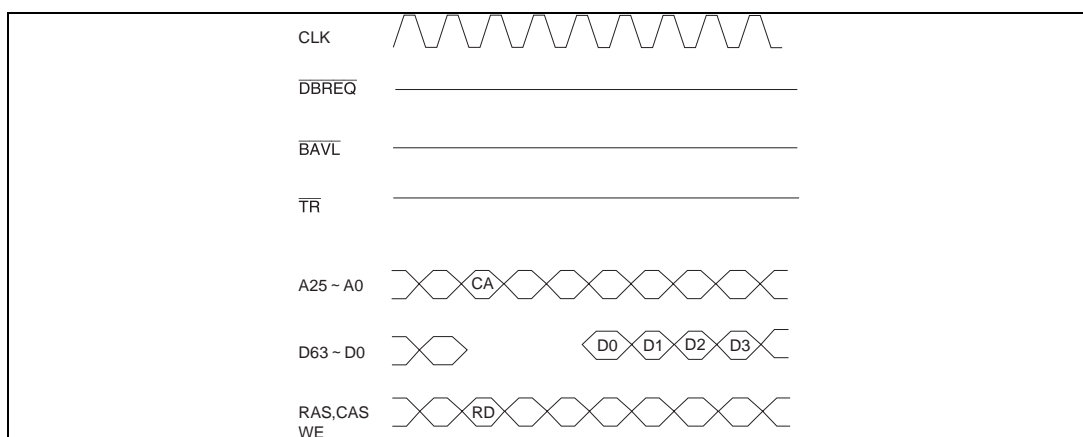


図 H.11 シンクロナス DRAM からのリード、row ヒットの場合



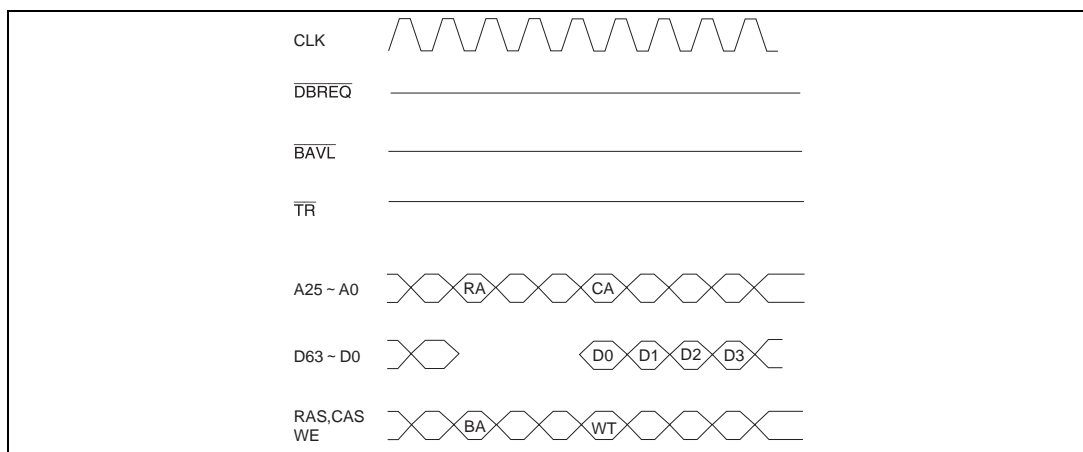


図 H.12 シンクロナス DRAM のプリチャージバンクへのライト

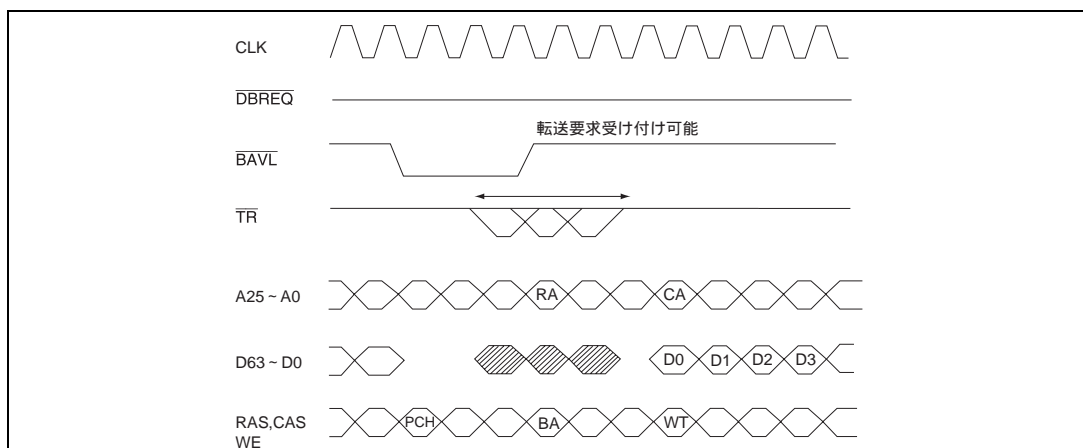


図 H.13 シンクロナス DRAM の非プリチャージバンクへのライト (row ミスの場合)

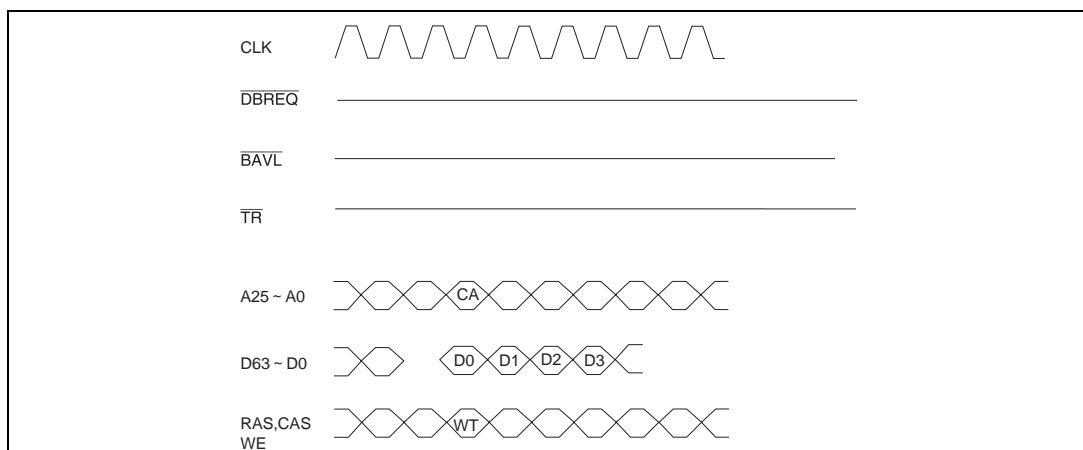


図 H.14 シンクロナス DRAM へのライト (row ヒットの場合)

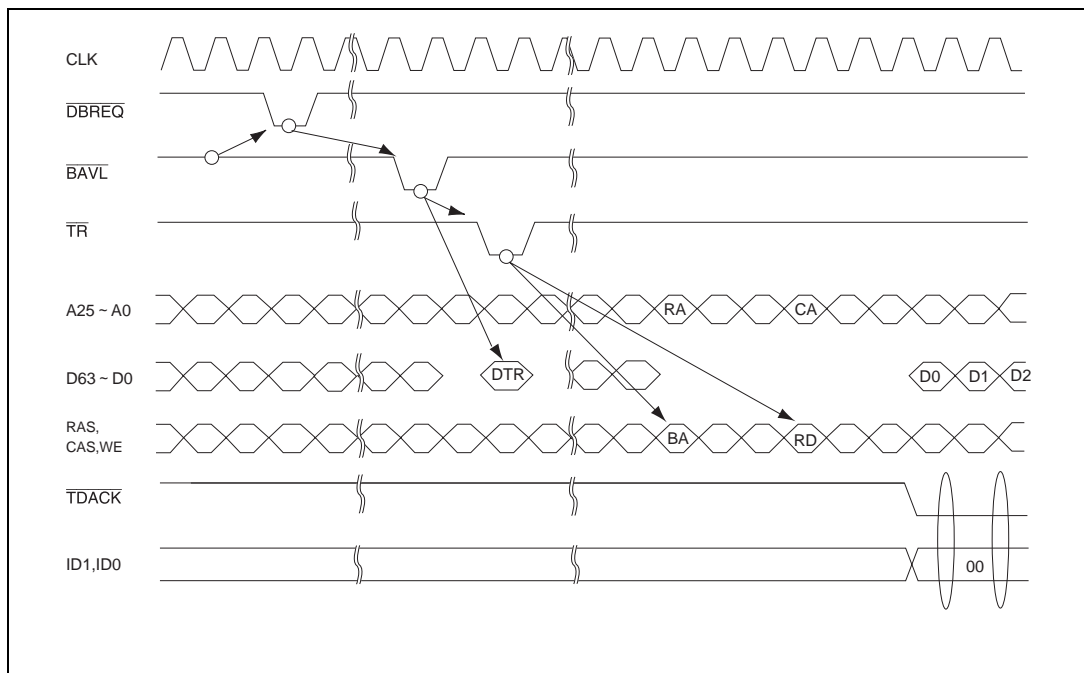


図 H.15 シングルアドレスモード / バーストモード / 外部バス 外部デバイス  
32 バイトブロック転送 / チャンネル 0 オンデマンドデータ転送

- DMA オペレーションレジスタ (DMAOR)

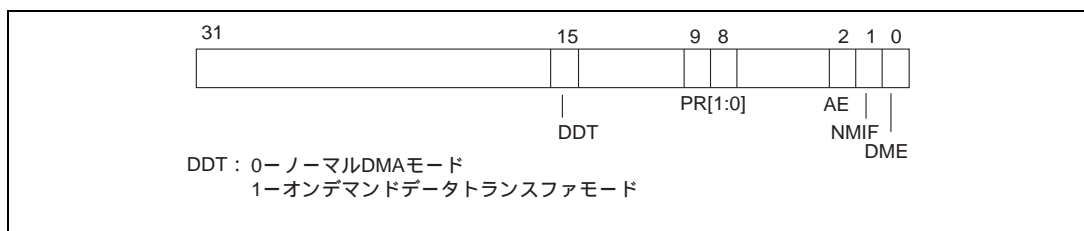


図 H.16 DDT モード設定

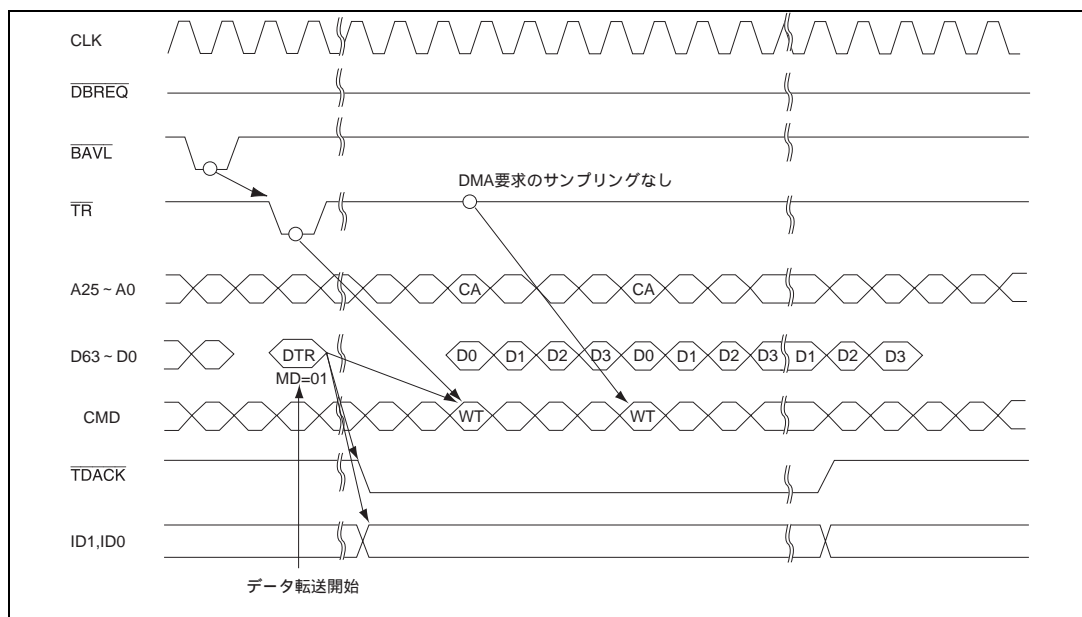


図 H.17 シングルアドレスモード / バーストモード / エッジ検出 /  
外部デバイス 外部バスデータ転送

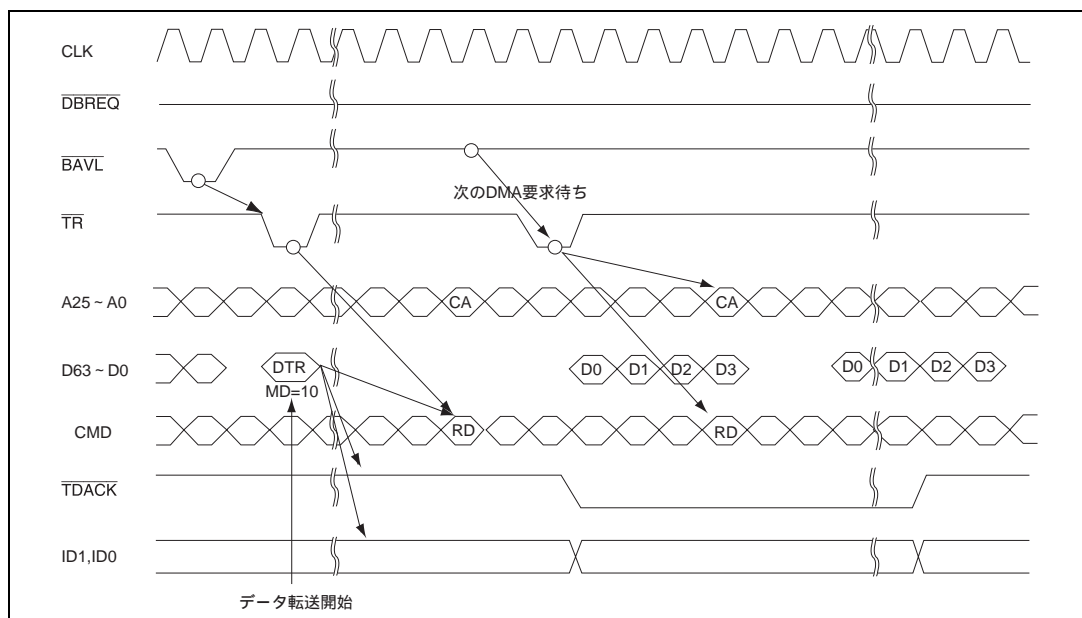


図 H.18 シングルアドレスモード / バーストモード / レベル検出 /  
外部バス 外部デバイスデータ転送

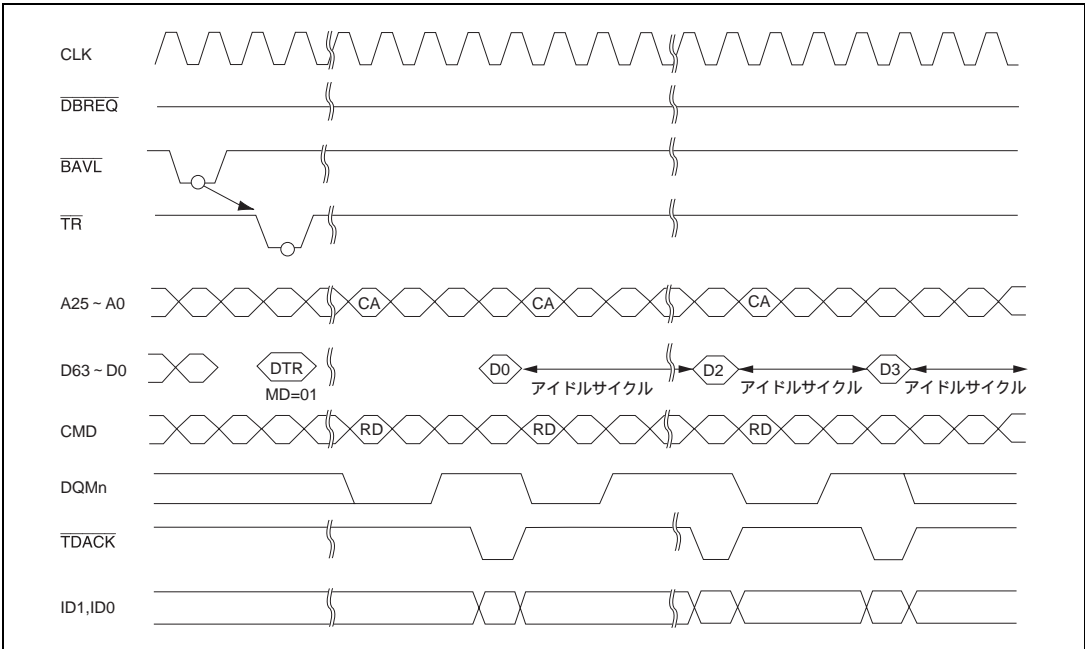


図 H.19 シングルアドレスモード/バーストモード/エッジ検出/バイト、ワード、ロングワード、クワッド/外部バス 外部デバイスデータ転送

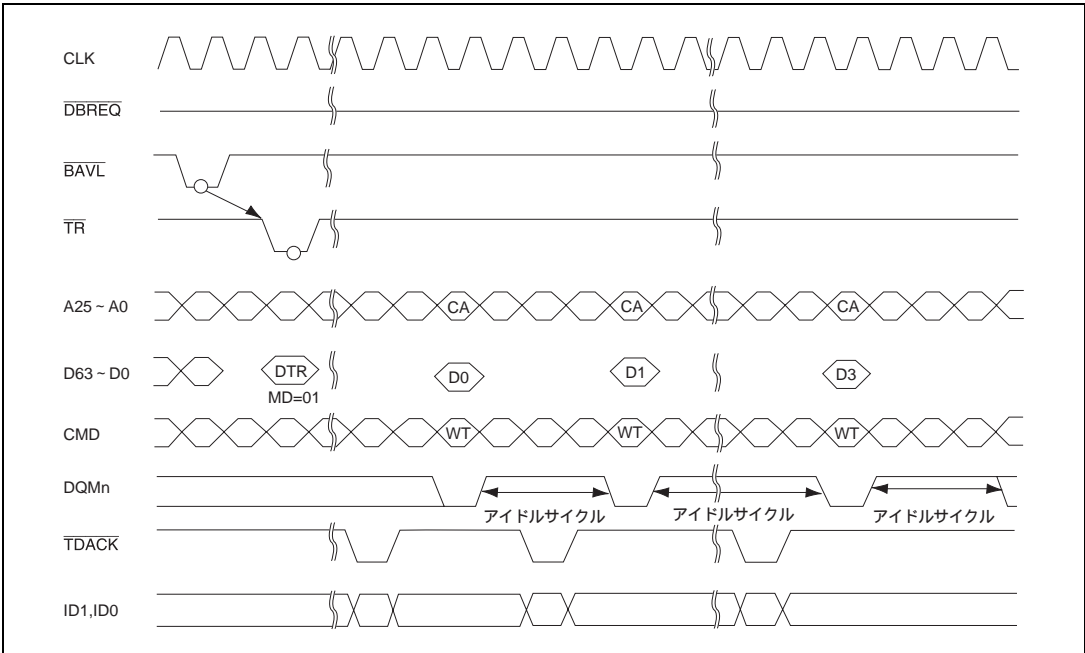


図 H.20 シングルアドレスモード/バーストモード/エッジ検出/バイト、ワード、ロングワード、クワッド/外部バス 外部バスデータ転送

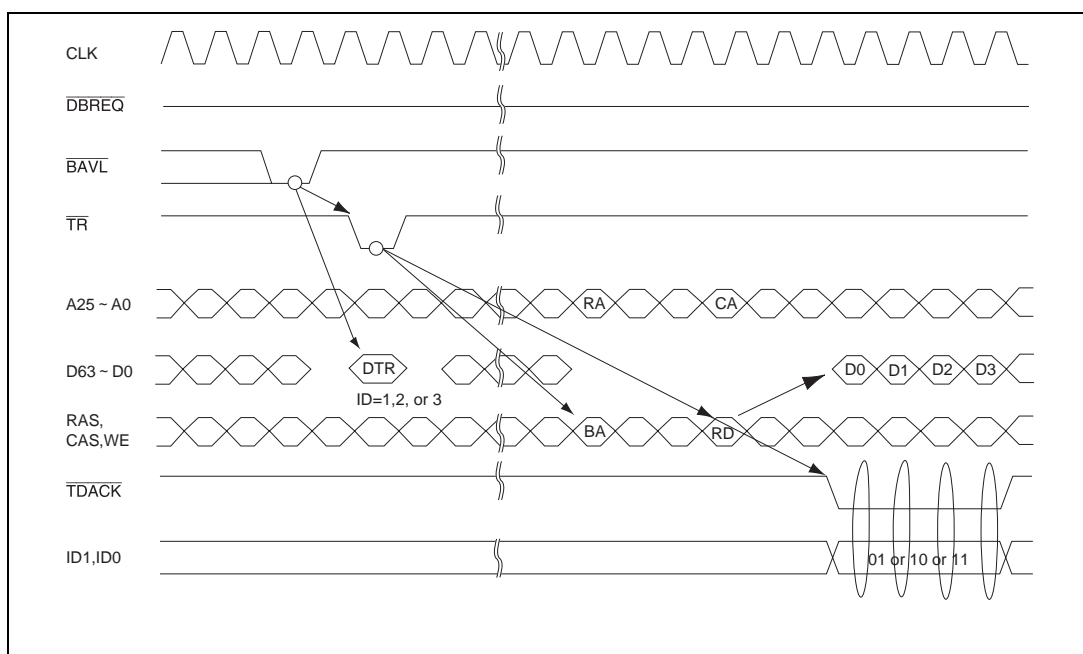


図 H.21 シングルアドレスモード / バーストモード / 32 バイトブロック転送 / データバスを用いたチャネル 1 ~ 3 への DMA 転送要求

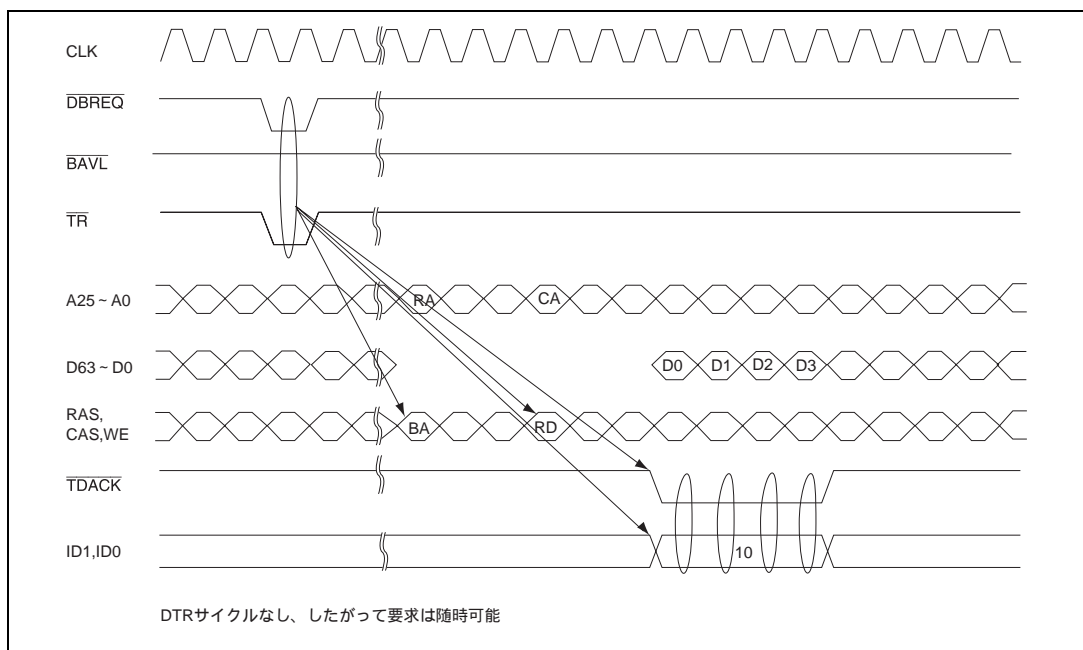


図 H.22 シングルアドレスモード/バーストモード/32 バイトブロック転送 /  
外部バス 外部デバイスデータ転送 / データバス未使用チャンネル 2 への  
ダイレクトデータ転送要求

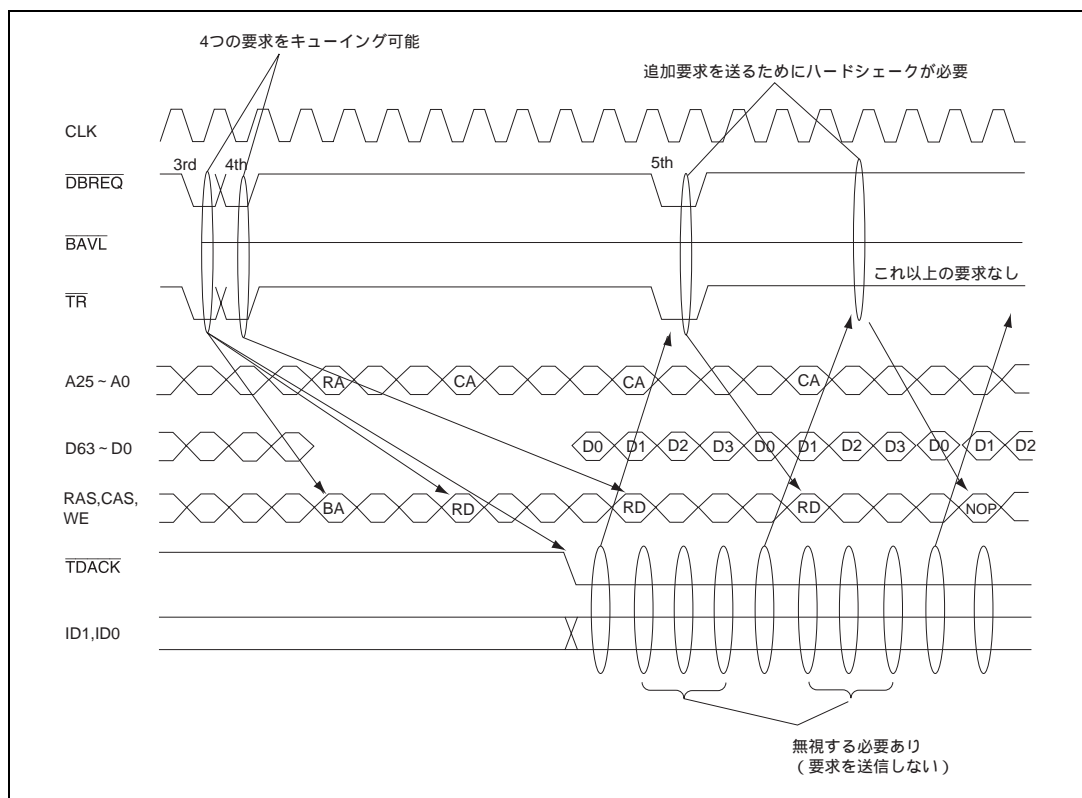


図 H.23 シングルアドレスモード/バーストモード/外部バス 外部デバイスデータ転送 /  
チャンネル2へのダイレクトデータ転送要求

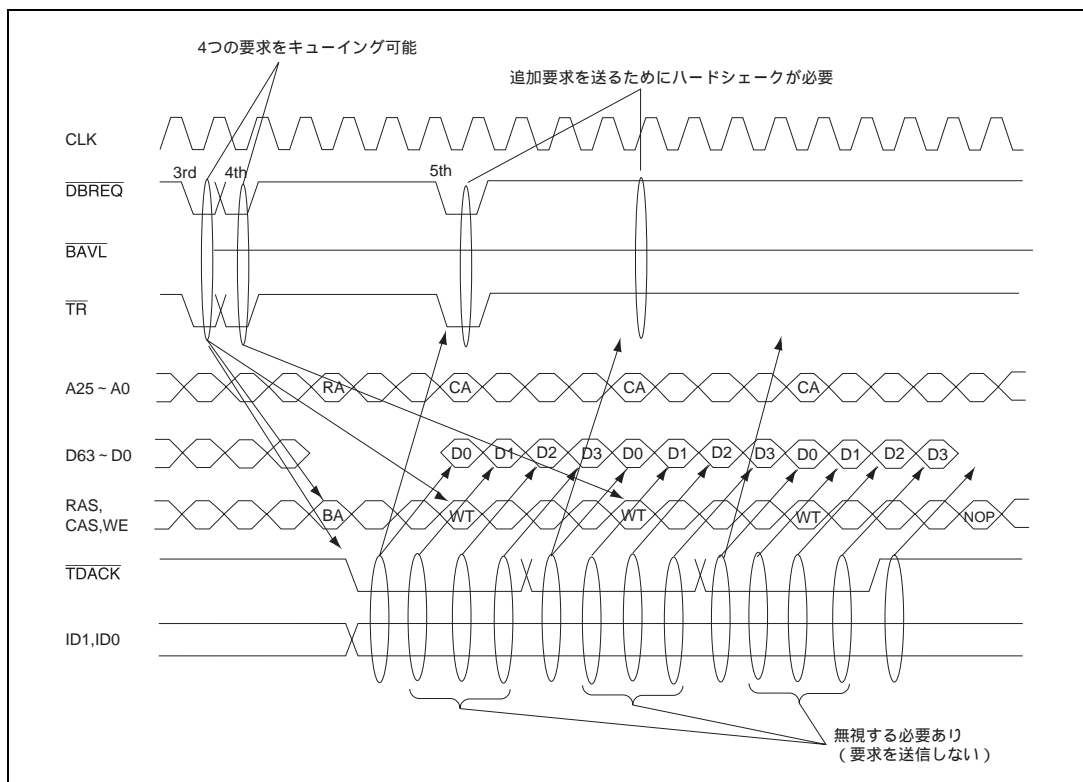


図 H.24 シングルアドレスモード / バーストモード / 外部デバイス 外部バスデータ転送 / チャンネル2 へのダイレクトデータ転送要求



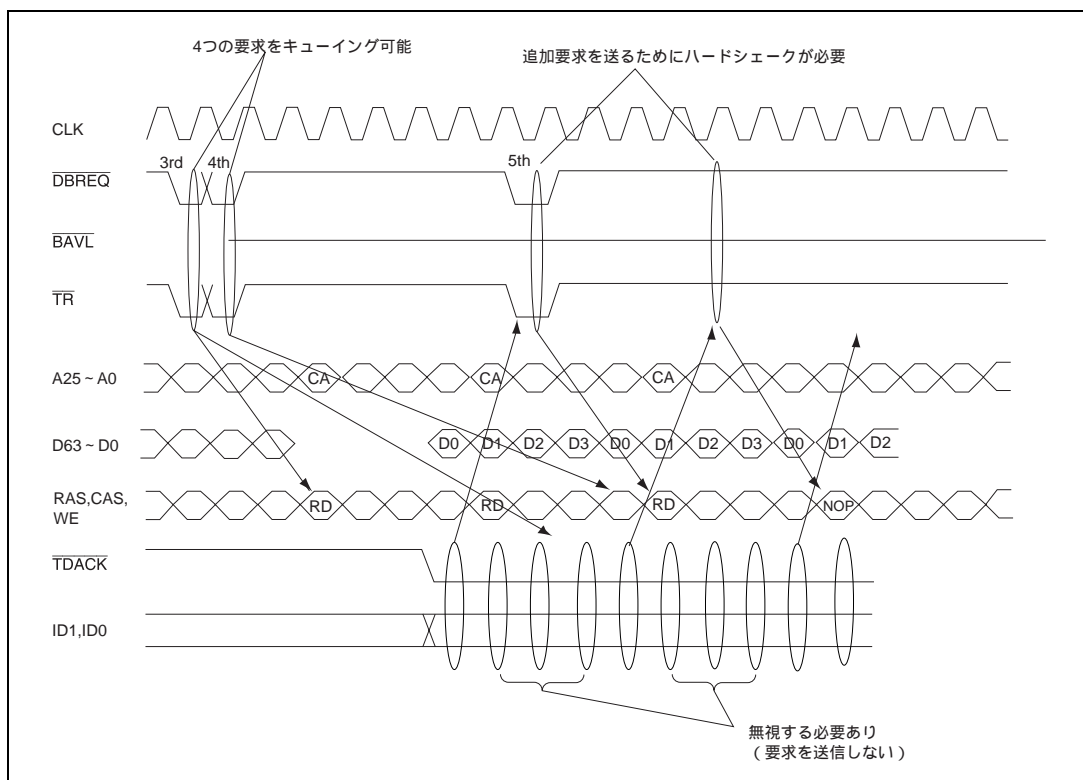


図 H.25 シングルアドレスモード/バーストモード/外部バス 外部デバイスデータ転送  
(アクティブなバンクアドレス)/チャンネル2へのダイレクトデータ転送要求

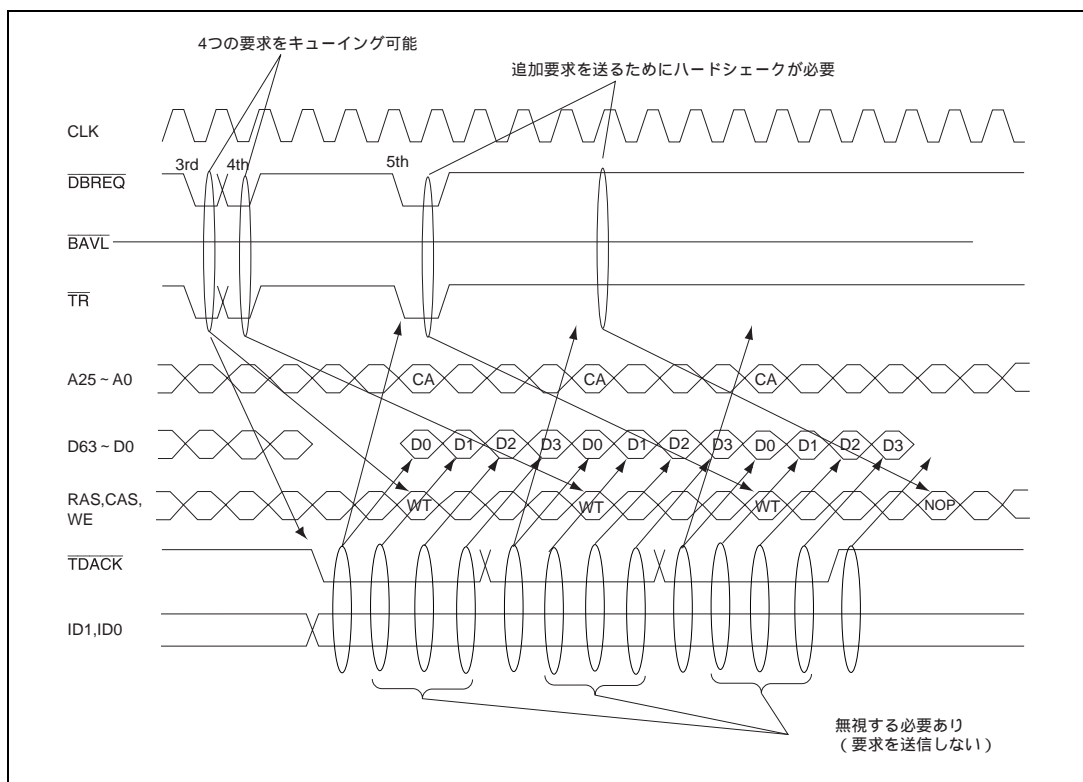


図 H.26 シングルアドレスモード/バーストモード/外部デバイス 外部バスデータ転送  
(アクティブなバンクアドレス)/チャンネル2へのダイレクトデータ転送要求